

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-5

(P2006-5-A)

(43) 公開日 平成18年1月5日(2006.1.5)

(51) Int.CI.

H01L 33/00

(2006.01)

F 1

H01L 33/00

テーマコード(参考)

5FO41

N

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号

特願2004-18 (P2004-182 )

(22) 出願日

平成16年6月21日(2004.6.21)

(71) 出願人 000

株式会社

大阪府

(74) 代理人 1

弁理士

(74) 代理人 1C

弁理士

(74) 代理人 10C

弁理士

(72) 発明者

大阪府

株式会社内

F ターム(参考) 5F041 AA06 DA04 DA07 DA09 DA13

DA35 DA43 DA57 DA58 FF11

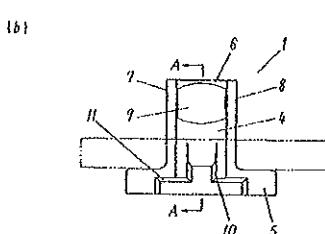
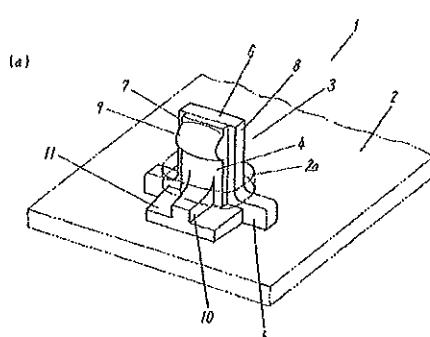
(54) 【発明の名称】半導体発光装置

## (57) 【要約】

【課題】蛍光体による波長変換度の高い樹脂層として、所望とする色度を得ることが可能な半導体発光装置を提供する。

【解決手段】半導体発光素子14と、半導体発光素子14が底面13cに搭載された凹部13と、凹部13に蛍光体を含有する樹脂を充填して半導体発光素子14を封止した第1の樹脂部17と、第1の樹脂部17を覆うように第2の樹脂部である樹脂封止部4とを設けた半導体発光装置1において、第1の樹脂部17は、凹部13の縁部の水平面よりも高く形成されており、第1の樹脂部17の厚みは、周囲部分が凹部13の壁部の高さ以下であり、中心に向かって徐々に厚くなるように形成されていることを特徴とする。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

半導体発光素子と、前記半導体発光素子が底面に搭載された凹部と、前記凹部に蛍光体を含有する樹脂を充填して前記半導体発光素子を封止した第1の樹脂部と、前記第1の樹脂部を覆うように第2の樹脂部とを設けた半導体発光装置において、

前記第1の樹脂部は、前記凹部の縁部の水平面よりも高く形成されていることを特徴とする半導体発光装置。

**【請求項 2】**

前記第1の樹脂部の厚みは、周囲部分が前記凹部の壁部の高さ以下であり、中心に向かって徐々に厚くなるように形成されていることを特徴とする請求項1記載の半導体発光装置 10

。

**【請求項 3】**

前記凹部の縁部に、撥水性を有する樹脂で形成された堰部を設けたことを特徴とする請求項1または2に記載の半導体発光装置。

**【請求項 4】**

前記半導体発光素子に導通接続するワイヤは、第1の樹脂部の表面に略垂直に突出させ、略し字状に屈曲させて配線していることを特徴とする請求項1から3のいずれかの項に記載の半導体発光装置。

**【発明の詳細な説明】****【技術分野】**

20

**【0001】**

本発明は、凹部の底面に搭載した半導体発光素子を覆うように蛍光体を含有した樹脂で封止した半導体発光装置に関する。

**【背景技術】****【0002】**

従来の半導体発光装置は、凹形状としたカップ部の底面に搭載した半導体発光素子を、覆うように蛍光体を含有した樹脂で封止したものが知られている。

**【0003】**

例えば特許文献1に記載された半導体発光装置は、カップ内に波長変換のための蛍光体を含有する第1の樹脂部をカップ部の縁部の水平面より低く充填したものである。 30

**【特許文献1】特許第2998696号公報****【発明の開示】****【発明が解決しようとする課題】****【0004】**

蛍光体は、半導体発光素子から出射される紫外光や可視光によって、蛍光体を励起（低いエネルギー状態から高いエネルギー状態へ電子の軌道が変わること）させて波長変換をしているので、蛍光体を含有した樹脂層の厚みが厚いほどその波長変換度が高くなる。

**【0005】**

しかし、特許文献1に記載の半導体発光装置は、カップ内に波長変換のための蛍光体を含有する第1の樹脂層をカップ部の縁部の水平面より低く充填したものなので、波長変換に必要な厚みを確保することができない。 40

**【0006】**

例えば、シリケート系の樹脂を使用した場合では波長変換度が低いため、所望とする色度を得るために、蛍光体を含有した樹脂層をより厚くする必要がある。

**【0007】**

この樹脂層の厚みは、半導体発光装置の小型化が進むほど厚みを確保することがより困難となる。

**【0008】**

そこで本発明は、蛍光体による波長変換度の高い樹脂層とすることで、所望とする色度を得ることが可能な半導体発光装置を提供することを目的とする。 50

**【課題を解決するための手段】****【0009】**

本発明は、半導体発光素子と、前記半導体発光素子が底面に搭載された凹部と、前記凹部に蛍光体を含有する樹脂を充填して前記半導体発光素子を封止した第1の樹脂部と、前記第1の樹脂部を覆うように第2の樹脂部とを設けた半導体発光装置において、前記第1の樹脂部は、前記凹部の縁部の水平面よりも高く形成されていることを特徴とする。

**【発明の効果】****【0010】**

本発明は、半導体発光素子と、半導体発光素子が底面に搭載された凹部と、凹部に蛍光体を含有する樹脂を充填して半導体発光素子を封止した第1の樹脂部と、第1の樹脂部を覆うように第2の樹脂部とを設けた半導体発光装置において、第1の樹脂部は、凹部の縁部の水平面よりも高く形成されていることを特徴としたものであり、このように構成することで、蛍光体による波長変換のための層厚を確保することができるので、波長変換度の高い樹脂層とすることができる。よって、所望とする色度を得ることが可能である。10

**【発明を実施するための最良の形態】****【0011】**

本願の第1の発明は、半導体発光素子と、半導体発光素子が底面に搭載された凹部と、凹部に蛍光体を含有する樹脂を充填して半導体発光素子を封止した第1の樹脂部と、第1の樹脂部を覆うように第2の樹脂部とを設けた半導体発光装置において、第1の樹脂部は、凹部の縁部の水平面よりも高く形成されていることを特徴としたものであり、蛍光体による波長変換のための層厚を確保することができるので、波長変換度の高い樹脂層とすることができます。20

**【0012】**

本願の第2の発明は、第1の樹脂部の厚みは、周囲部分が前記凹部の壁部の高さ以下であり、中心に向かって徐々に厚くなるように形成されていることを特徴としたものであり、第1の樹脂部を形成する際に、凹部の縁部から樹脂が溢れ出ることが防止できる。また、第1の樹脂部は、中心に向かって徐々に厚くなるように形成されているので、第1の樹脂部が凸レンズと同様の作用をするため、集光性が高い。

**【0013】**

本願の第3の発明は、凹部の縁部に、撥水性を有する樹脂で形成された堰部を設けたことを特徴としたものであり、堰部に撥水性を有する樹脂を用いることにより、第1の樹脂部を形成する際に樹脂が溢れ難くすることができる。30

**【0014】**

本願の第4の発明は、前記半導体発光素子に導通接続するワイヤが、第1の樹脂部の表面に略垂直に突出させ、略し字状に屈曲させて配線されたことを特徴としたものであり、第1の樹脂部の表面に略垂直に突出させることで、第1の樹脂部を形成する際に、ワイヤと第1の樹脂部を形成する樹脂との界面張力を少なくすることができるので、ワイヤを伝って樹脂が登ってくる量を少なくすることができる。また、ワイヤを第1の樹脂部から突出させ、屈曲させるまでの余長を確保することで、樹脂がワイヤから垂れるように膜となることが防止できる。更に、この余長を確保することで、ワイヤと凹部の縁部との距離が確保できるので、樹脂がワイヤを伝って凹部の外側へ漏れることが防止できる。40

**【0015】****(実施の形態)**

本発明の実施の形態に係る半導体発光装置の構成を、図1に基づいて説明する。図1は本発明の実施の形態に係る半導体発光装置の構成を説明する図であり、(a)は斜視図、(b)は正面図である。図2は図1(b)のA-A線断面図である。

**【0016】**

図1(a)および同図(b)に示すように本発明の実施の形態に係る半導体発光装置1は、携帯電話などの液晶表示部やテンキー部のバックライト用光源に用いられている。この半導体発光装置1は、プリント配線基板2に形成した孔部2aに挿入されて固定されて50

いる。

**【0017】**

半導体発光装置1は、T字状の素子搭載基板3と、この素子搭載基板3に搭載された半導体発光素子（図示せず）と、第2の樹脂部である樹脂封止部4とを有している。

**【0018】**

素子搭載基板3は、横方向に伸びる支持部5およびこの支持部5の中間部から縦方向に伸びる差込部6とを備えてT字状に形成されている。以下、差込部6を正面視して、支持部5が設けられている方向を基側、その逆方向を先側として説明する。

**【0019】**

素子搭載基板3には、一対の電極7、8が設けられている。電極7、8は素子搭載基板3の差込部6の中心線に沿って左右に分離して配置され、それぞれ差込部6の両側部と、支持部5の両端部とを覆って形成されている。

**【0020】**

樹脂封止部4は、差込部6の表面の略全面を覆って形成されている。また、樹脂封止部4の先側には、第2の樹脂部であるレンズ部9が一体的に形成されている。一方、樹脂封止部4の基側には、素子搭載基板3の表側に突出した補助支持部10が一体的に設けられ、さらにその基側には、台形板状の吸着用平板11が一体的に設けられている。

**【0021】**

レンズ部9は、その光軸を半導体発光素子の光軸に合わせて配置されている。また、レンズ部9は横長の樽型に形成されており、側方への配光角度が上下方向への配光角度より広くなるように設定されている。

**【0022】**

図2に示すように、素子搭載基板3は、配線パターン（図示せず）が形成されるとともに、凹部13が設けられており、配線パターン上に搭載された保護素子であるツエナーダイオード12と、凹部13の底面に搭載された半導体発光素子14とを備えている。

**【0023】**

ツエナーダイオード12は、半導体発光素子14を静電気などから電気的破壊を防止する機能を有している。ツエナーダイオード12は、その底面と、ワイヤ16とで素子搭載基板3に形成された配線パターンと導通している。

**【0024】**

半導体発光素子14は、半導体発光体14aと、半導体発光体14aを搭載したサブマウント素子14bとからなる。この半導体発光素子14は、サブマウント素子14bに設けられたアノード側およびカソード側の電極と、2本のワイヤ15で素子搭載基板3に形成された配線パターンと導通している。

30

**【0025】**

半導体発光体14aは、サファイアやGaNなどの基板にn型半導体層、発光層、p型半導体層を順次積層し、n型半導体層およびp型半導体層にそれぞれ電極が形成され、基板側を主光取り出し面としてフェイスダウンでサブマウント素子14bにフリップチップ実装されている。この半導体発光体14aは、例えば青色に発光するものが使用できる。

**【0026】**

サブマウント素子14bは、半導体発光体14aの発光を効率良く反射するようにセラミック基板で形成されている。

40

**【0027】**

この半導体発光素子14は、サブマウント素子14bにフェイスダウンでフリップチップ実装されたものに、特に限定されるものではなく、半導体発光体をフェイスアップで直接凹部の底面13cに搭載されたものでもよい。

**【0028】**

素子搭載基板3の凹部13は、貫通孔が形成された基板3aと、貫通孔がない基板3bとを貼着して底面13cを有する穴を形成し、この穴の開口の周囲に、硬化した液状レジストにドライフィルムを貼った堰部13bが設けられている。なお、この凹部13は、1

50

枚の基板にザグリ加工を施して形成された穴の開口に堰部 13 b を設けるようにしてもよい。

#### 【0029】

凹部 13 の基板 3 a の内側面には、メッキ加工によるメッキ層 13 a が形成されている。このメッキ層 13 a は、半導体発光素子 14 から出射された光を反射させ、光の取り出し効率を高めるとともに、放熱性を高めることで半導体発光素子 14 からの発熱や周囲の環境温度による熱の影響を受けて生じる半導体発光素子 14 や、半導体発光素子 14 を覆う後述する第 1 の樹脂層や、この第 1 の樹脂層に含まれる蛍光体の劣化を抑制することができる。

#### 【0030】

凹部 13 には、蛍光体を含有した樹脂を充填して形成される第 1 の樹脂部 17 が設けられている。

#### 【0031】

第 1 の樹脂部 17 に含有された蛍光体を、青色と補色となる関係を持つものとすれば、半導体発光体 14 a から出射された青色の光により励起されて、白色の半導体発光装置 1 とすることができます。

#### 【0032】

第 1 の樹脂部 17 の厚みは、周囲部分が凹部 13 の壁部である底面 13 c から堰部 13 b までの高さ以下であり、中心に向かって徐々に厚くなり、中心は凹部 13 の縁部である堰部 13 b の水平面よりも高く、盛り上がるようになる。

#### 【0033】

このように第 1 の樹脂部 17 の表面が半導体発光素子 14 を中心とした球面となるため、凸レンズのようになります。半導体発光素子 14 から出射された光を第 1 の樹脂部 17 の表面の中心方向に集光することができる。

#### 【0034】

例えば、第 1 の樹脂部 17 の周囲部分が、堰部 13 b の高さより高い場合は、第 1 の樹脂部 17 を形成する際に、第 1 の樹脂部 17 を形成する樹脂が溢れ、堰部 13 b の周囲へ漏れるおそれがある。また、堰部 13 b の上面まで樹脂を盛るように第 1 の樹脂部 17 を形成すると、第 1 の樹脂部 17 の表面の面積が広がるので、第 1 の樹脂部 17 を形成する樹脂の界面張力が弱くなり、凸形状となる中心部の厚みが薄くなる。従って、第 1 の樹脂部 17 に含有した蛍光体による波長変換に必要な厚みを確保することができない。また、第 1 の樹脂部 17 による集光性が低くなる。

#### 【0035】

つまり、図 2 に示される第 1 の樹脂部 17 のように、第 1 の樹脂部 17 の周囲部分を、凹部 13 の壁部である底面 13 c から堰部 13 b までの高さ以下とすることで、中心は凹部 13 の縁部である堰部 13 b の水平面よりも高く、盛り上がるようになることができる。第 1 の樹脂部 17 に含有した蛍光体による波長変換に必要な厚みを確保することができる。

#### 【0036】

また、半導体発光素子 14 から出射された光をレンズ部 9 に向かって集光するような指向特性とができるので、レンズ部 9 のみでは集光できない光を、その前段となる第 1 の樹脂部 17 が集光して、レンズ部 9 へ出射することができる。従って、指向性がよく高輝度な半導体発光装置 1 とすることができます。

#### 【0037】

ここで、第 1 の樹脂部 17 を形成する樹脂は、中心の厚みを厚く形成するために、高チクソ性、高粘性を有するものが望ましい。

#### 【0038】

また、第 1 の樹脂部 17 がエポキシ樹脂で形成されていれば、堰部 13 b のドライフィルムの代わりとして撥水性を有する樹脂として、例えばシリコン樹脂などを用いることにより、第 1 の樹脂部 17 を形成する際に、第 1 の樹脂部 17 を形成する樹脂を溢れ難くす

10

20

30

40

50

することができる。また堰部 13 b を形成した後に、シリコン樹脂を更に積層させてもよい。

【0039】

また、シリコン樹脂の代わりとして第1の樹脂部 17 および樹脂封止部 4 がエポキシ樹脂で形成されていれば、同じ材質であるエポキシ樹脂を使用することで、親和性が高いので、第1の樹脂部 17 および樹脂封止部 4 と、堰部 13 b との密着性を向上させることができる。

【0040】

半導体発光素子 14 に導通接続するワイヤ 15 は、第1の樹脂部 17 の表面に略垂直に突出させ、略 L 字状に屈曲させて配線されている。ワイヤ 15 を、第1の樹脂部 17 の表面に略垂直に突出させることで、第1の樹脂部 17 を形成する際に、ワイヤ 15 と第1の樹脂部 17 を形成する樹脂との界面張力を少なくすることができるので、ワイヤ 15 を伝って樹脂が登ってくる量を少なくすることができる。10

【0041】

また、ワイヤ 15 を第1の樹脂部 17 から突出させ、屈曲させるまでの余長を確保することで、樹脂がワイヤ 15 から垂れるように膜となることが防止できる。更に、この余長を確保することで、ワイヤ 15 と凹部 13 の縁部との距離が確保できるので、樹脂がワイヤ 15 を伝って凹部 13 の外側へ漏れることができ防止できる。

【0042】

次に、本発明の実施の形態に係る半導体発光装置の製造方法について図 1 および図 2 に基づいて説明する。20

【0043】

まず、凹部 13 を形成するために貫通孔が施された基板 3 a と平板である基板 3 b とを接着シートで接着した素子搭載基板 3 に、配線パターンおよびメッキ層 13 a を形成する。

【0044】

次に凹部 13 の開口周囲に印刷法にて液状レジストを塗布して硬化させ、ドライフィルムを貼り凹部 13 の開口部分のみを開けたマスクを被せて露光して堰部 13 b を形成する。

【0045】

半導体発光体 14 a をサブマウント素子 14 b に搭載した半導体発光素子 14 を凹部 13 の底面 13 c に搭載する。また、ツェナーダイオード 12 を素子搭載基板 3 に形成された配線パターン上の所定の位置に搭載する。30

【0046】

ツェナーダイオード 12 と、半導体発光素子 14 からそれぞれワイヤを素子搭載基板 3 に形成された配線パターンに接続する。このワイヤ 15 を配線する際には、ワイヤポンディング装置に凹部 13 の縁部の水平面に対して 90° となるように設定して、第1の樹脂部 17 の表面中央部から突出させることで、第1の樹脂部 17 の表面に略垂直に配線させることができる。

【0047】

凹部 13 へポッティングで高粘性を有し、蛍光体を含有したエポキシ樹脂を充填して半導体発光素子 14 を封止する。その際に、エポキシ樹脂を凹部 13 の壁部である底面 13 c から堰部 13 b までの高さ以下となるようにする。ポッティングで充填された樹脂は、界面張力により表面の中心部分が盛り上がり、凹部 13 の縁部である堰部 13 b の水平面よりも高くなる。この状態で、このエポキシ樹脂が熱硬化性であれば加熱し、光硬化性であれば光を照射して硬化させる。この硬化により第1の樹脂部 17 が形成される。40

【0048】

そして、第1の樹脂部 17 が形成された素子搭載基板 3 を、樹脂封止部 4 の形状に型取った金型で型締めし、エポキシ樹脂を充填して成形するransformer 成形法にて第2の樹脂部である樹脂封止部 4 を形成する。50

## 【0049】

このような手順で半導体発光装置1を製造することができる。

## 【0050】

以上、本発明の実施の形態について説明してきたが、本発明は前記実施の形態に限定されるものではなく、例えば、半導体発光素子が凹部であるカップの底面に搭載され、樹脂封止部が砲弾形状をした基板挿入型半導体発光装置でも適用することが可能である。

## 【産業上の利用可能性】

## 【0051】

本発明は、波長変換度の高い樹脂層とすることで、所望とする色度を得ることが可能となるので、凹部の底面に搭載した半導体発光素子を覆うように蛍光体を含有した樹脂で封止した半導体発光装置に好適である。 10

## 【図面の簡単な説明】

## 【0052】

【図1】本発明の実施の形態に係る半導体発光装置の構成を説明する図であり、(a)は斜視図、(b)は正面図

## 【図2】図1(b)のA-A線断面図

## 【符号の説明】

## 【0053】

- 1 半導体発光装置
- 2 プリント配線基板
- 2 a 孔部
- 3 素子搭載基板
- 4 樹脂封止部
- 5 支持部
- 6 差込部
- 7, 8 電極
- 9 レンズ部
- 10 補助支持部
- 11 吸着用平板
- 12 ツエナーダイオード
- 13 凹部
- 13 a メッキ層
- 13 b 堀部
- 13 c 底面
- 14 半導体発光素子
- 14 a 半導体発光体
- 14 b サブマウント素子
- 15, 16 ワイヤ
- 17 第1の樹脂部

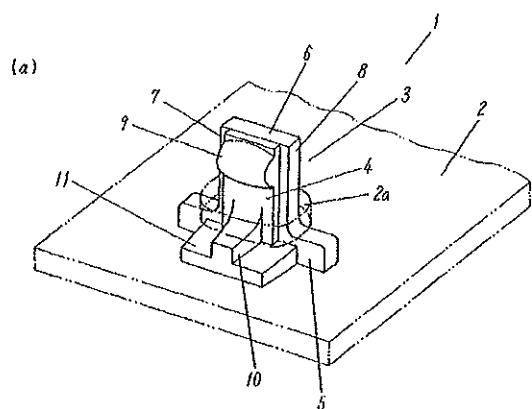
20

30

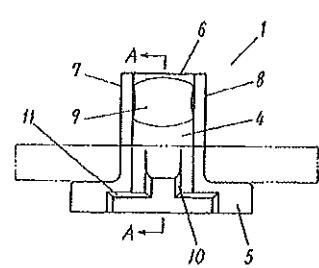
(8)

JP 2006-5 A 2006.1.5

【図1】

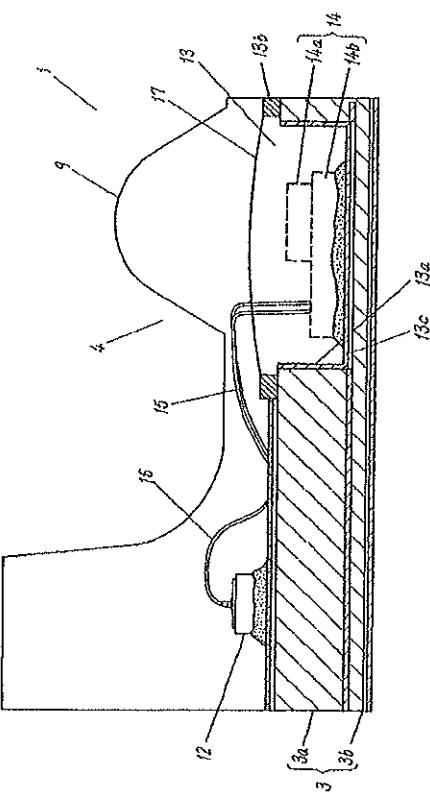


(a)



(b)

【図2】



(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第377号  
(P377)

(45) 発行日 平成18年5月10日(2006.5.10)

(24) 登録日 平成18年2月17日(2006.2.17)

(51) Int. Cl.

F 1

HO 1 L 33/00 (2006.01)  
HO 1 L 21/28 (2006.01)HO 1 L 33/00 E  
HO 1 L 33/00 C  
HO 1 L 21/28 301 R

請求項の数 5 (全 10 頁)

(21) 出願番号	特願2001-14 (P2001-14 )	(73) 特許権者 000C
(22) 出願日	平成13年5月15日(2001.5.15)	株式会社
(65) 公開番号	特開2002-34 (P2002-34 )A	大阪府
(43) 公開日	平成14年11月29日(2002.11.29)	(74) 代理人 1000
審査請求日	平成15年1月24日(2003.1.24)	弁理士
前置審査		(74) 代理人 1000 弁理士
		(74) 代理人 1001 弁理士

最終頁に続く

(54) 【発明の名称】窒化物系半導体発光装置

## (57) 【特許請求の範囲】

## 【請求項 1】

n-GaN基板上に窒化物系半導体多層膜からなる発光素子を有し、該発光素子の基板側をマウント面に固定した窒化物系半導体発光装置において、

前記発光素子の基板側の全面を前記マウント面に固定し、

前記マウント面は、LEDランプのリードフレームのカップ面、表面実装型LEDの液晶ポリマーやガラスエポキシ樹脂からなる基板面、LDのヒートシンク面あるいはサブマウント面、その他の発光素子を含有する半導体発光装置に設けられるマウント面であり、

窒化物系半導体多層膜とは逆の基板面に第1の金属と第2の金属を含む金属層、第2の金属を含む金属層が順次形成され、

前記第2の金属は、前記n-GaN基板に接触するとともに、前記n-GaN基板に対するオーム電極であり、

前記第1の金属は、Hf、Zrのいずれか1つであり、

前記第2の金属を含む金属層が前記マウント面側に位置し、前記第2の金属を含む金属層と前記マウント面とが、Agペーストまたはハンド材により電気的な接続を行なうように固着されていることを特徴とする、窒化物系半導体発光装置。

10

## 【請求項 2】

前記第2の金属は、Al、Agのいずれか1つであることを特徴とする請求項1に記載の窒化物系半導体発光装置。

## 【請求項 3】

20

前記発光素子は、半導体レーザであることを特徴とする請求項1または2のいずれかに記載の窒化物系半導体発光装置。

**【請求項4】**

請求項1から3の窒化物系半導体発光装置の製造方法であって、窒化物半導体多層膜とは逆の基板面に第1の金属と第2の金属を同時に形成し、その後、第2の金属からなるオームик電極を形成することを特徴とする窒化物系半導体発光装置の製造方法。

**【請求項5】**

請求項1から3の窒化物系半導体発光装置の製造方法であって、窒化物半導体多層膜とは逆の基板面に第1の金属、第2の金属からなる膜を順に形成し、熱処理を行うことによって、第1の金属と第2の金属を含む金属膜を形成することを特徴とする窒化物系半導体発光装置の製造方法。 10

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

本発明は、窒化物系半導体発光素子に関する。

**【0002】**

**【従来の技術】**

窒化物系半導体はフルカラーディスプレイ等で既に利用されている高輝度青色LED、純緑色LEDの材料として用いられており、また、さらなる光ディスクの記憶容量の増大のため、短波長光源用の半導体レーザとして開発が進められている。これらのデバイスは、従来、絶縁性のサファイア基板上に形成されており、基板裏面から導通をとることができないため、表面側にp型電極、n型電極が形成され、複雑な電極形成プロセスを必要とした。 20

**【0003】**

最近、サファイア基板表面上にマスク材を部分的に形成して成長を行う選択横方成長方法により、ハイドライド気相成長法で良質なn-GaNバルク結晶の作製がなされ、このバルク結晶を基板として基板裏面から導通をとることが可能な半導体レーザ、LEDを形成した例などが報告されている。

**【0004】**

窒化物系化合物半導体からなるLEDチップを発光素子とする半導体発光装置の断面図を図6について示す。 30

**【0005】**

LEDチップは、n-GaN基板601の(0001)c面上に窒化物系化合物半導体多層膜602が形成されている。窒化物系化合物半導体多層膜602は、バッファ層、n-GaNクラッド層、多重量子井戸活性層、p-AlGaN保護層、p-GaNコンタクト層が順に積層形成されたものである。さらに、該窒化物系化合物半導体多層膜602の最表面には、p型透光性電極603、Pパッド電極604が形成され、該n-GaN基板601裏面には、TiとAlの積層からなるn型電極605が形成されたもので、チップサイズは $350\mu\text{m}$ 角とする。

**【0006】**

上記LEDチップをリードフレーム607のカップ608上にAgペースト606にて固定し、Pパッド電極604とワイヤー609、n型電極605とAgペースト606を介してLEDチップとリードフレーム607との電気的な接続を行う。その後、LEDチップを搭載したリードフレーム607とワイヤー609をモールド樹脂610にて封止し、半導体発光装置を形成される。この半導体発光装置の特性は、室温、20mA通電時に発光輝度が3.0Cd、動作電圧は3.5Vであった。なお、以下において発光輝度、動作電圧は、全て室温、20mA通電時の値とする。 40

**【0007】**

**【発明が解決しようとする課題】**

上記の半導体発光装置を100個用意し、定電流30mA駆動で大気通電試験を行った。

50

試験投入から 5 0 0 0 h r 経過した時点で、半導体発光装置を試験から取り出して、動作電圧を測定したところ、試験投入前の動作電圧に対する変化率は、+ 2 0 % であった。変化率とは、試験投入前の動作電圧に対する電圧変化分を試験投入前の動作電圧で割った値を 1 0 0 倍した値と定義する。電圧増加の場合は + の値として、電圧低下の場合は - の値とする。上記試験にかけたランプを解体して、解析を行ったところ、カップに対して接着されていたチップの n 型電極が剥離しかかっており、さらに試験と詳細な評価を行ったところ、カップ面からの熱歪により n 型電極に剥離が発生したことが分かった。

#### 【0 0 0 8】

##### 【課題を解決するための手段】

本願の窒化物系半導体発光装置は、n-GaN 基板上に窒化物系半導体多層膜からなる発光素子を有し、該発光素子の基板側をマウント面に固定した窒化物系半導体発光装置において、前記発光素子の基板側の全面を前記マウント面に固定し、前記マウント面は、LED ランプのリードフレームのカップ面、表面実装型 LED の液晶ポリマーやガラスエポキシ樹脂からなる基板面、LD のヒートシンク面あるいはサブマウント面、その他の発光素子を含有する半導体発光装置に設けられるマウント面であり、窒化物系半導体多層膜とは逆の基板面に第 1 の金属と第 2 の金属を含む金属層、第 2 の金属を含む金属層が順次形成され、前記第 2 の金属は、前記 n-GaN 基板に接触するとともに、前記 n-GaN 基板に対するオーミック電極であり、前記第 1 の金属は、Hf、Zr のいずれか 1 つであり、前記第 2 の金属を含む金属層が前記マウント面側に位置し、前記第 2 の金属を含む金属層と前記マウント面とが、Ag ペーストまたはハンダ材により電気的な接続を行なうように固定されていることを特徴とする。10 20

#### 【0 0 0 9】

さらに、本願の窒化物系半導体発光装置において、前記第 2 の金属は、Al、Ag のいずれか 1 つであることを特徴とする。

#### 【0 0 1 0】

さらに、本願の窒化物系半導体発光装置において、前記発光素子は、半導体レーザであることを特徴とする。

#### 【0 0 1 1】

本願の窒化物系半導体発光装置の製造方法は、窒化物半導体多層膜とは逆の基板面に第 1 の金属と第 2 の金属を同時に形成し、その後、第 2 の金属からなるオーミック電極を形成することを特徴とする。30

#### 【0 0 1 2】

本願の窒化物系半導体発光装置の製造方法は、窒化物半導体多層膜とは逆の基板面に第 1 の金属、第 2 の金属からなる膜を順に形成し、熱処理を行うことによって、第 1 の金属と第 2 の金属を含む金属膜を形成することを特徴とする。

#### 【0 0 1 3】

本願において、第 2 の金属は、n-GaN 基板結晶とオーミック性がとりやすい物質からなるが、マウント面からの熱歪のため、単独では密着性が不十分で信頼性の低下を招く。そこで、n-GaN 基板結晶との界面付近で第 2 の金属中に第 1 の金属を含有させることで n-GaN 基板と第 2 の金属との反応性を高め、密着性を向上させることができる。形成される第 1 の金属と第 2 の金属を含む金属層の膜厚は、密着性の確保のために 10 nm 以上、オーミック性保持のためには 20 nm 以下であることが好ましい。40

#### 【0 0 1 4】

なお、マウント面とは、LED ランプのリードフレームのカップ面、表面実装型 LED の液晶ポリマーやガラスエポキシ樹脂からなる基板面、LD のヒートシンク面あるいはサブマウント面等、発光素子を含有する半導体発光装置のマウント面である。

#### 【0 0 1 5】

##### 【発明の実施の形態】

###### (実施形態 1)

n-GaN 基板上に窒化物系化合物半導体多層膜が形成されてなる LED チップを発光素50

子とする半導体発光装置の実施形態1を図1を用いて説明する。

#### 【0016】

LEDチップは、n-GaN基板101の(0001)c面上に窒化物系化合物半導体多層膜102が形成されている。窒化物系化合物半導体多層膜102は、バッファ層、n-GaNクラッド層、多重量子井戸活性層、p-AlGaN保護層、p-GaNコンタクト層が順に積層形成されたものである。さらに、該窒化物系化合物半導体多層膜102の最表面にp型電極103、Pパッド電極104が、基板裏面にはn型電極が形成されたもので、チップサイズは350μm角とする。

#### 【0017】

n型電極は、第1の金属と第2の金属を含む金属層105上に第2の金属からなるオームイック電極106が形成された構成からなる。該金属層105中に含まれる第2の金属は、n-GaN基板101と接触している。ここでは、第1の金属としてHf、第2の金属としてAlを用いた例を示し、以下にn型電極の形成方法について説明する。

10

#### 【0018】

まず、Hf層(5nm)、Al層(150nm)を、電子ビーム蒸着法やスパッタ蒸着法などで順番に積層形成し、その後、真空中において500°Cで3分の熱処理を行ない、n-GaN基板101との界面付近でHfとAlを含む金属層105を形成した。形成された金属層105はおよそ10nmであり、Hf、Alはn-GaN基板101に混在して接触していた。Alのみが存在しているおよそ145nmがオームイック電極106となる。しかしながら、金属層105とオームイック電極106の界面は、個別に形成した層からお互いの層への混入となるので、明確な界面が形成されるわけではない。n-GaN基板に対しては、Alのみがオームイック電極になるので、Alとn-GaN基板101は接触していないといけないが、同時にAlとn-GaN基板101との密着性が強固でないといけないので、AlがHfを介してn-GaN基板101と密着している部分が必要である。

20

#### 【0019】

Hf層の厚さは、熱処理時にAlをn-GaN基板101に到達させて、オームイック性を確保するために、10nm以下にすることが必要で、また、Alのオームイック電極106とn-GaN基板101との密着性を向上させるために、5nm以上にすることが必要である。

30

#### 【0020】

上記LEDチップは、Agペースト107によりリードフレーム108のカップ109上に固着し、Pパッド電極104とワイヤー110、n型電極とAgペースト107を介してLEDチップとリードフレーム108との電気的な接続を行う。その後、LEDチップを搭載したリードフレーム108とワイヤー110をモールド樹脂111にて封止し、半導体発光装置を形成する。作製した半導体発光装置の特性は、発光輝度3.0Cd、動作電圧3.5Vであった。

#### 【0021】

また、上記の半導体発光装置を100個用意し、定電流30mA駆動で大気通電試験を行った。試験投入から5000hr経過した時点で、半導体発光装置を試験から取り出して、動作電圧を測定したところ、試験投入前の動作電圧に対する変化率は、±5%以内であった。

40

#### (変形例)

上記実施形態1に対する変形例として第1の金属として、Hfの代わりにZrあるいはScを用いた半導体発光装置の例を示す。第1の金属が、ZrあるいはSc、どちらの場合でも、上記実施形態1に対する変形例の半導体発光装置の特性は、動作電流20mA時に、発光輝度が3.0Cd、動作電圧は3.5Vであった。また、実施形態1に対する変形例の半導体発光装置を100個ずつ用意して、定電流30mA駆動で動作電圧について大気通電試験を行った。5000hr経過時点で、動作電圧の変化率は、第1の金属が、ZrあるいはSc、どちらの場合でも、±5%以内であった。

50

## 【0022】

表1に上記実施形態1およびその比較例、変形例の半導体発光装置の大気通電試験投入前の動作電圧、試験投入から5000hr経過した時点での動作電圧の変化率を示す。

## 【0023】

## 【表1】

	試験投入前の動作電圧	動作電圧変化率(5000hr)
実施形態1	3.5V	±5%以内
変形例 (Zr)	3.5V	±5%以内
変形例 (Sc)	3.5V	±5%以内

10

## 【0024】

また、上記実施形態1およびその変形例においてオーム電極としてA1電極の代わりにAg電極を用いても構わない。Ag電極は、150nm以上であることが望ましい。

20

## (実施形態2)

実施形態1と同じLEDチップを発光素子として、マザーボードに直接実装した表面実装型の半導体発光装置の実施形態2を図2を用いて説明する。

## 【0025】

201はn-GaN基板、202は窒化物系化合物半導体発光素子、203はp型電極、204はPパッド電極、205は金属層、206はオーム電極である。金属層205に含まれる第一の金属はHf、第二の金属はAlである。

30

## 【0026】

上記のLEDチップを、ガラスエポキシ樹脂からなる基板207（マザーボード）の平滑上面にダイボンド電極パターン208とワイヤボンド電極パターン209とを形成し、ダイボンド電極パターン208上に載置したLEDチップをAgペースト210によりダイボンドするとともにLEDチップとワイヤボンド電極パターン209とをワイヤー211によって接続し、最後にLEDチップおよびワイヤーをエポキシ樹脂212により封止する。

## 【0027】

このようにして作製された表面実装型LEDは、発光輝度2.0Cd、動作電圧3.5Vが得られた。また、定電流30mA駆動で大気通電試験を行ったところ、5000hr経過時点で、動作電圧の変化率は±5%以内であった。

40

## (実施形態3)

実施形態1のLEDチップを発光素子として、マザーボードに直接実装した表面実装型の半導体発光装置の実施形態3の発明例の断面図を図3について示す。

## 【0028】

301はn-GaN基板、302は窒化物系化合物半導体発光素子、303はp型電極、304はPパッド電極、305は金属層、306はオーム電極である。金属層305に含まれる第一の金属はHf、第二の金属はAlである。

50

## 【0029】

上記のLEDチップを、液晶ポリマーからなるブロック状の基板307（マザーボード）の上面に反射カップとしての凹部308を設け、この凹部308の内周面に沿ってダイボンド電極パターン309とワイヤボンド電極パターン310と分割形成し、凹部308内に配置したLEDチップをAgペースト311を用いて固定するとともに、LEDチップ

とワイヤボンド電極パターン310とをワイヤー312によって接続し、最後に凹部308内にエポキシ樹脂313を充填してLEDチップおよびワイヤー312を封止した構造である。

**【0030】**

このようにして作製された表面実装型LEDは、発光輝度2.5Cd、動作電圧3.5Vが得られた。

**【0031】**

また、定電流30mA駆動で大気通電試験を行ったところ、5000hr経過時点での動作電圧の変化率は±5%以内であった。

(実施形態4)

n-GaN基板上に窒化物系化合物半導体多層膜が形成されてなるLDチップを発光素子とする半導体発光装置の実施形態4の発明例の断面図を図4について示す。

**【0032】**

LDチップは、n-GaN基板401の(0001)c面上にn-GaNコンタクト層、n-InGaNクラック防止層、n-AlGaNクラッド層、n-GaN光ガイド層、多重量子井戸活性層、AlGaN蒸発防止層、p-GaN光ガイド層、p-AlGaNクラッド層、p-GaNコンタクト層が順次積層されてなる窒化物系化合物半導体多層膜402が形成され、該窒化物系化合物半導体多層膜402上に電流狭窄のためのストライプ状の溝を有する絶縁膜403が形成され、該窒化物系化合物半導体多層膜402の露出している再表面および絶縁膜403上にp型電極404が形成され、n-GaN基板401の裏面にはn型電極が形成された電流狭窄型LDである。LDチップの両端面はn-GaN基板結晶の<1-100>方向に沿ってへき開により形成されている。端面には反射膜の形成はせず、ノンコートである。

**【0033】**

n型電極は、第1の金属と第2の金属を含む金属層405上に第2の金属からなるオーム電極406が形成された構成からなる。該金属層405中に含まれる第2の金属は、n-GaN基板401と接触している。

**【0034】**

ここでは、第1の金属としてHf、第2の金属としてAlを用いた例を示し、以下にn型電極の形成方法について説明する。

**【0035】**

同時スパッタ蒸着法により、300~400°Cの基板加熱を行いながら、HfとAlを含む金属層405を10~20nm形成する。その後、Al層(150nm)を単独でスパッタ蒸着法にて形成する。その後、500°C、3分の熱処理を行う。HfとAlを含む金属層405の厚みは、Al層の密着性の確保のため、10nm以上必要で、オーム性保持のためには、20nm以下であることが必要である。

**【0036】**

このようなLDチップのp型電極404が形成されている面を上側としてステム407上に所定のハンダ材408により熱圧着でダイボンドを行う。p型電極404とリード端子409をワイヤー410にて接続して半導体発光装置が完成する。

**【0037】**

こうして形成された半導体発光装置に対して、電流光出力特性および電流電圧特性を評価したところ、室温連続発振条件で、電流しきい値が、80mA、スロープ効率が0.8W/A、しきい値電圧が4Vで、160mA通電時には、光出力が5mW、動作電圧が6Vであった。さらに、この半導体発光装置を10個用意し、160mAの定電流駆動条件のもと、室温中で200時間まで連続通電させたところ、動作電圧の初期に対する変動値は±10%以内であった。

**【0038】**

また、比較として上記LDチップのn型電極にTi/Alの積層電極を使用した半導体レーザーを作製したところ、室温にて160mAで光出力が5mW、動作電圧が6Vであつ

10

20

30

40

50

た。本実施の形態と全く同じ特性が得られたが、上記条件で通電試験を行ったところ、動作電圧が、初期に対して30%増加し、500時間までさらに通電させると熱暴走により素子が破壊された。

(実施形態5)

実施形態4のLDチップを、以下の構成にて、実装した半導体発光装置の例を図5に示す。

【0039】

501はn-GaN基板、502は窒化物系半導体多層膜、503は絶縁膜、504はp型電極、505は金属層、506はオーミック電極である。

【0040】

システム507上に固定されたサブマウント508上に、p型電極504が形成されている面を上側としてLDチップを実装した。サブマウント508の上下面にはあらかじめハンダ材509がコートされており、熱圧着にてシステム507とサブマウント508、サブマウント508とLDチップを融着させる。p型電極504とリード端子510をワイヤー511aにて接続し、サブマウント508上面にコートされたハンダ材509とシステム507とをワイヤー511bにて接続する。

【0041】

サブマウントは、LDチップとシステム507との熱膨張係数差で発生する熱応力の緩衝材であり、LDチップに負荷をかけないために、LDチップと同等の熱膨張係数で、熱伝導性の良好な材質からなる。LDチップを構成する窒化物系化合物半導体の熱膨張係数は3.4~4.4×10-6/℃なので、3~5×10-6/℃の熱膨張係数の材質、例えば、AlN、SiC、Siなどが良い。また、熱伝導率は、40W/m/K以上であることが望ましい。また、ハンダ材509には、AuSnを使用した。

【0042】

こうして形成された半導体発光装置に対して、電流光出力特性および電流電圧特性を評価したところ、室温連続発振条件で、電流しきい値が、80mA、スロープ効率が0.8W/A、しきい値電圧が4Vで、160mA通電時には、光出力が5mW、動作電圧が6Vであった。

【0043】

さらに、この半導体発光装置を10個用意し、160mAの定電流駆動条件のもと、室温中で200時間まで連続通電させたところ、動作電圧の初期に対する変動値は±5%以内であった。

【0044】

上記のようにサブマウント508を介してLDチップを実装することで、実装部分、すなわちn型電極やハンダ材509への負荷が小さくなるので、半導体発光装置の動作電圧の信頼性をさらに向上させることができる。

【0045】

【発明の効果】

本発明によれば、n-GaN基板上に窒化物系化合物半導体多層膜が形成されてなる発光素子をマウント面に搭載した半導体発光装置において、n-GaN基板裏面に形成されたn型電極を、Hf、Zr、Scのいずれかからなる第1の金属とn-GaN基板に対してオーミック性を有する第2の金属を含む金属層上に第2の金属からなるオーミック電極が形成された構成とすることで、オーミック電極とn-GaN基板との密着性を改善して、マウント面から受ける熱歪に対して高い信頼性を有する半導体発光装置を提供できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体発光装置の断面図である。

【図2】本発明の実施の形態2の半導体発光装置の断面図である。

【図3】本発明の実施の形態3の半導体発光装置の断面図である。

【図4】本発明の実施の形態4の半導体発光装置の断面図である。

【図5】本発明の実施の形態5の半導体発光装置の断面図である。

10

20

30

40

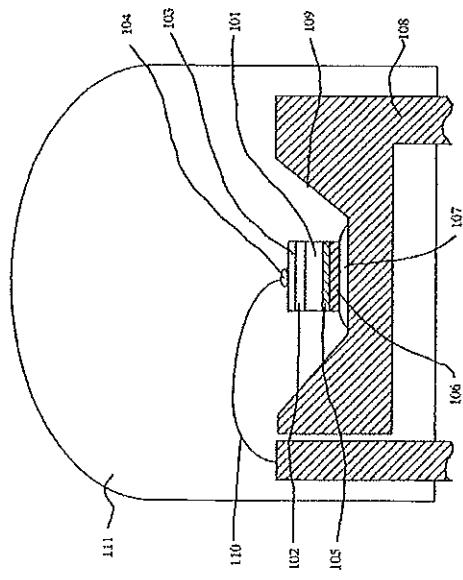
50

【図6】本発明の従来例の半導体発光装置の断面図である。

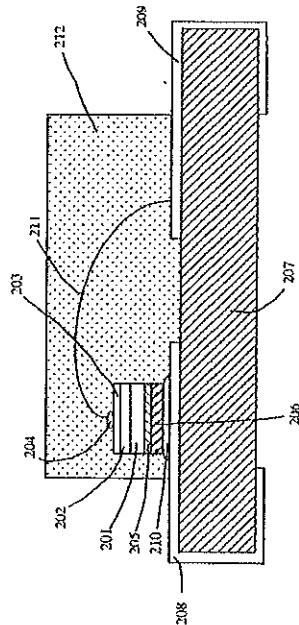
【符号の説明】

- |                                   |    |
|-----------------------------------|----|
| 101、201、301、401、501…n-GaN基板       | 10 |
| 102、202、302、402、502…窒化物系化合物半導体多層膜 |    |
| 103、203、303、404、504…p型電極          |    |
| 104、204、304、…pパッド電極               |    |
| 105、205、305、405、505…金属層           |    |
| 106、206、306、406、506…オーム電極         |    |
| 107、210、311…Agペースト                |    |
| 108、…リードフレーム                      | 10 |
| 109…カップ                           |    |
| 110、211、312、410、511a、511b…ワイヤー    |    |
| 111…モールド樹脂                        |    |
| 208、309…ダイボンド電極パターン               |    |
| 209、310…ワイヤボンド電極パターン              |    |
| 212、313…エポキシ樹脂                    |    |
| 403、503…絶縁膜                       |    |
| 407、507…ステム                       |    |
| 408、509…ハンダ材                      |    |
| 508…サブマウント                        | 20 |

【図1】



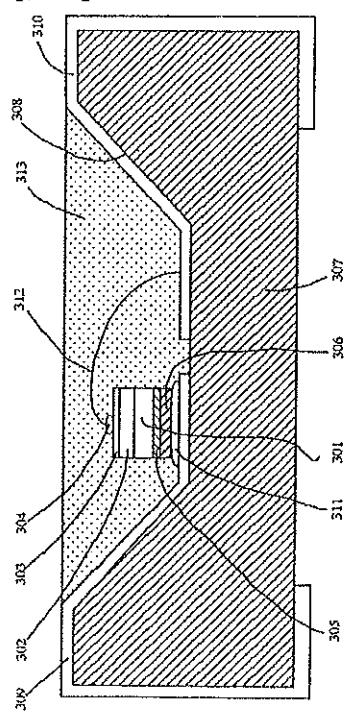
【図2】



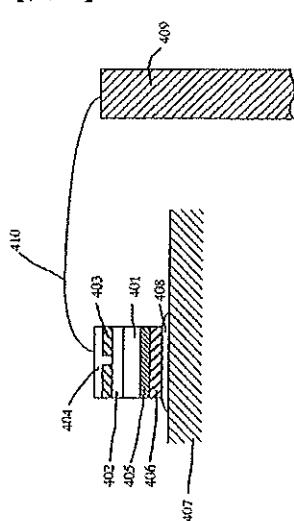
(9)

JP 377 B2 2006.5.10

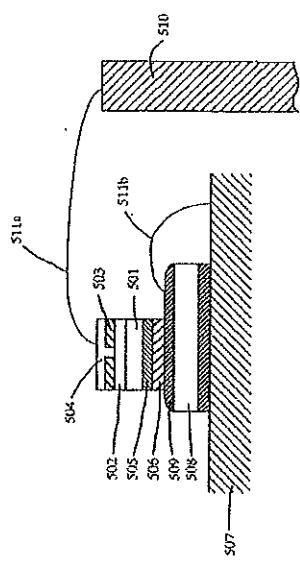
【図3】



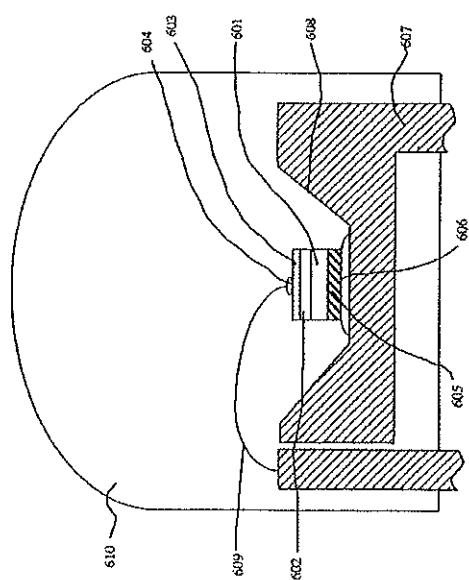
【図4】



【図5】



【図6】



(10)

JP 377 B2 2006.5.10

---

フロントページの続き

## (72)発明者

大阪府 株式会社内

## (72)発明者

大阪府 株式会社内

## (72)発明者

大阪府 株式会社内

審査官 樋本 英吾

## (56)参考文献 特開平11-340571 (JP, A)

特開平09-027638 (JP, A)

特開2000-164928 (JP, A)

特開平10-229219 (JP, A)

特開平08-236271 (JP, A)

特開2001-119103 (JP, A)

特開2001-094151 (JP, A)

特開2001-085736 (JP, A)

## (58)調査した分野(Int.Cl., DB名)

H01L 33/00

H01L 21/28

JP 3120 U 2006.4.20

(19) 日本国特許庁(JP)

## (12) 登録実用新案公報(U)

(11) 実用新案登録番号  
実用新案登録第3120号  
(U3120)

(45) 発行日 平成18年4月20日(2006.4.20)

(24) 登録日 平成18年3月29日(2006.3.29)

(51) Int.Cl.

B 42 F 17/00 (2006.01)

F 1

B 42 F 17/00

A

評価書の請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号

実願2006- (U2006- )

(22) 出願日

平成18年2月10日(2006.2.10)

(73) 実用新案権者

株式会社

福岡県

(74) 代理人

100C

弁理士

(72) 考案者

福岡県

株式会社内

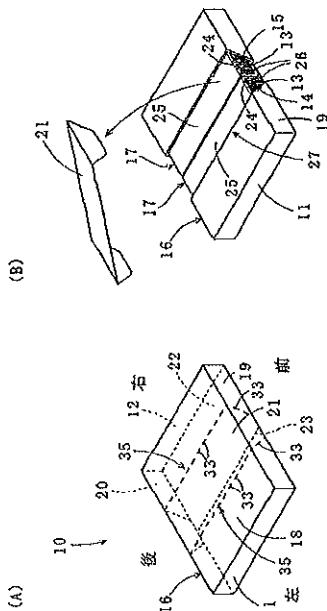
(54) 【考案の名称】名刺ケース

## (57) 【要約】

【課題】名刺を収納した状態で封筒に入れて輸送中に名刺が破損するのを防止でき、輸送後には使用中の名刺及び受領した他人の名刺の保管用としても使用できる名刺ケースを提供する。

【解決手段】厚地の紙材29で形成され、左右少なくとも一方の側面が開閉可能な蓋11、12となって、それぞれ重ねられた実質長方形の名刺13からなる名刺群14、15を並べて収納する収納箱16と、紙材で形成され、収納箱16内に並べて収容した名刺群14、15を他の名刺群15、14と区別する仕切り17とを有する。

【選択図】図1



**【実用新案登録請求の範囲】****【請求項 1】**

厚地の紙材で形成され、左右少なくとも一方の側面が開閉可能な蓋となって、それぞれ重ねられた実質長方形の名刺からなる名刺群を並べて収納する収納箱と、紙材で形成され、前記収納箱内に並べて収容した前記名刺群を他の名刺群と区別する仕切りとを有することを特徴とする名刺ケース。

**【請求項 2】**

請求項1記載の名刺ケースにおいて、前記名刺群は2組あって、前記収納箱の中央側表面及びこれに連接する前後の側面に切り取り可能な蓋板部が設けられ、前記収納箱の裏面の中央部には前後方向に指向する折り曲げ線が形成されていることを特徴とする名刺ケース<sup>10</sup>。

**【請求項 3】**

請求項2記載の名刺ケースにおいて、該仕切りはそれぞれの前記名刺群に対して設けられ、並べて収納された前記名刺群の隣接する面に接する仕切り板部を中心にして、その両側に第1、第2のカバー板部を有して断面コ字状になっていることを特徴とする名刺ケース。

**【請求項 4】**

請求項3記載の名刺ケースにおいて、前記名刺群は平面視して長辺側の面が隣接して前記収納箱に配置されて、前記仕切りの前記第1のカバー板部は、前記名刺と実質的に同一形状となって、その先側にはインデックス記入部が並べて形成されていることを特徴とする名刺ケース。<sup>20</sup>

**【考案の詳細な説明】****【技術分野】****【0001】**

本考案は、名刺を収納した状態で封筒に入れて輸送中に名刺が破損するのを防止し、輸送後には使用中の名刺及び受領した他人の名刺の保管用として使用する名刺ケースに関する。

**【背景技術】****【0002】**

名刺は、例えば100枚単位で印刷され、合成樹脂製のケースに収納された状態で納品される。そして、名刺を使い終わると不要になった名刺ケースは廃棄されるが、合成樹脂製のケースは製造コストが高い上に、焼却時には環境汚染の問題を有する。そこで、合成樹脂製のケースに代わって、製造費が安く、廃棄した場合にも環境汚染の問題が生じない紙製の名刺ケースが提案されている（例えば、特許文献1、2参照）。

**【0003】**

**【特許文献1】** 実用新案登録第3013265号公報

**【特許文献2】** 実用新案登録第3044991号公報

**【考案の開示】****【考案が解決しようとする課題】****【0004】**

しかしながら、特許文献1、2に記載された名刺ケースでは、印刷した名刺を全て重ねて名刺ケースに収納するため、名刺ケースの厚みが大きくなる。このため、名刺を収納した名刺ケースを封筒に入れて輸送しようとしても嵩ぱり、規格外サイズの輸送物になって輸送コストが増大するという問題が生じていた。

**【0005】**

本考案はかかる事情に鑑みてなされたもので、名刺を収納した状態で封筒に入れて輸送中に名刺が破損するのを防止でき、輸送後には使用中の名刺及び受領した他人の名刺の保管用としても使用できる名刺ケースを提供することを目的とする。

**【課題を解決するための手段】****【0006】**

30

40

50

前記目的に沿う本考案に係る名刺ケースは、厚地の紙材で形成され、左右少なくとも一方の側面が開閉可能な蓋となって、それぞれ重ねられた実質長方形の名刺からなる名刺群を並べて収納する収納箱と、

紙材で形成され、前記収納箱内に並べて収容した前記名刺群を他の名刺群と区別する仕切りとを有する。なお、ここで、収納箱に並べて収納される名刺群は2つの場合、更に3以上の場合を含む。

#### 【0007】

本考案に係る名刺ケースにおいて、前記名刺群は2組あって、前記収納箱の中央側表面及びこれに連接する前後の側面に切り取り可能な蓋板部が設けられ、前記収納箱の裏面の中央部には前後方向に指向する折り曲げ線が形成されていることが好ましい。10

#### 【0008】

本考案に係る名刺ケースにおいて、該仕切りはそれぞれの前記名刺群に対して設けられ、並べて収納された前記名刺群の隣接する面に接する仕切り板部を中心にして、その両側に第1、第2のカバー板部を有して断面コ字状にすることができる。

#### 【0009】

本考案に係る名刺ケースにおいて、前記名刺群は平面視して長辺側の面が隣接して前記収納箱に配置されて、前記仕切りの前記第1のカバー板部は、前記名刺と実質的に同一形状となって、その先側にはインデックス記入部が並べて形成されていることが好ましい。

#### 【考案の効果】

#### 【0010】

請求項1～4記載の名刺ケースにおいては、名刺を重ねて名刺群を形成し、形成した名刺群を蓋を開けて収納箱内に並べて収納できるので、名刺を全て重ねて収納箱に収納する場合と比べて収納箱の厚みを薄くでき、名刺ケースを封筒に入れた際に封筒の厚みを薄くできる。このため、封筒が嵩ばらず、輸送が容易になる。また、収納箱内に並べて収容した名刺群を他の名刺群と区別する仕切りがあるので、輸送中に名刺がずれるのを防止できる。

#### 【0011】

特に、請求項2記載の名刺ケースにおいては、収納箱には切り取り可能な蓋板部が設けられているので、蓋板部を切り取ることにより収納箱に開口部を形成することができ、裏面の中央部には前後方向に指向する折り曲げ線が形成されているので、名刺群を収納箱から取り出して収納箱の裏面を折り曲げ線に沿って谷折りすることができ、収納箱の左右の側面を底面にして立設可能で、開口部が上方を向いて、二つ折りされた状態の収納箱に変形することができ、取り出した名刺群を開口部から収納箱に戻すことで、使用する名刺を保管することができる。30

#### 【0012】

請求項3記載の名刺ケースにおいては、仕切りは、名刺群の隣接する面に接する仕切り板部を中心にして、その両側に第1、第2のカバー板部を有して断面コ字状になっているので、収納箱の蓋を開け、蓋板部を切り取って形成された開口部から指を差し込んで仕切りを押し出す、又は開口部から仕切りを名刺群を挟んだ状態で引き抜くことで、名刺を名刺群単位で収納箱から取り出すことができる。40

#### 【0013】

請求項4記載の名刺ケースにおいては、仕切りから不要なインデックス記入部の一部又は全部を切り取って仕切りを名刺群を収容している収納箱に戻すことにより、名刺の使用により収納箱内に生じた空間部を利用して、受領した他人の名刺を自己の名刺と区別しながら整理、収納することができる。

#### 【考案を実施するための最良の形態】

#### 【0014】

続いて、添付した図面を参照しつつ、本考案を具体化した実施の形態につき説明し、本考案の理解に供する。

ここで、図1（A）は本考案の一実施の形態に係る名刺ケースに名刺を収納して輸送する

50

時の状態を示す斜視図、(B)は蓋板部を切り取って開口部を形成した状態の同名刺ケースの斜視図、図2は同名刺ケースの収納箱の展開図、図3は同名刺ケースの仕切りの展開図、図4(A)～(E)は同名刺ケースの使用方法の手順を示す斜視図、図5は(A)～(F)は同名刺ケースの別の使用方法の手順を示す斜視図である。

#### 【0015】

図1(A)、(B)に示すように、本考案の一実施の形態に係る名刺ケース10は、厚地(例えは、厚みが0.3～0.5mm)の紙材29(図2参照)で形成され、左右の側面が開閉可能な蓋11、12となって、それぞれ重ねられた実質長方形の名刺13からなる2つの名刺群14、15を並べて収納する収納箱16と、紙材(例えは、厚みが0.3～0.5mm)で形成され、収納箱16内に並べて収容した一方の名刺群14を他方の名刺群15と区別する仕切り17とを有している。ここで、収納箱16の左右方向の内寸法は、2つの名刺群14、15を平面視して長辺側の面が隣接するように並べ、名刺群14、15の隣接する面側にそれぞれ仕切り17を設けた状態で収納可能(名刺13の短辺長さ×2+仕切り17の紙材の厚さ×2)に形成され、収納箱16の前後方向の内寸法は名刺13の長辺長さと実質的に等しく形成されている。10

#### 【0016】

このような構成とすることにより、作製(印刷)した複数枚(例えは、100枚)の名刺13を名刺群14、15に分け、収納箱16の蓋11、12のいずれか一方又は双方を開けて名刺群14、15を収納箱16内に並べて収納することができ、従来のように名刺を全て重ねて収納する場合に使用するケースの厚みに比べて、収納箱16の厚みを、例えは15～18mmと薄くすることができる。このため、名刺ケース10を封筒に入れた際の総厚みを薄く、例えは20mm以内にでき、封筒が嵩ばらないため輸送が容易になる。そして、名刺ケース10を封筒に入れた際の総厚みを薄くできることで、名刺ケース10を収容した封筒を、輸送業において予め設定されている規格寸法輸送物として取り扱うことができ、輸送コストの低減も図れる。そして、収納箱16内に並べて収容した名刺群14、15は、仕切り17で区別されるので、輸送中に名刺13がずれて名刺群14、15が崩れるのが防止される。20

#### 【0017】

ここで、収納箱16の表面18の中央部分(中央側表面)及びこれに連接する前後の側面19、20に切り取り可能な蓋板部21が設けられ、収納箱16の裏面22の中央部には前後方向に指向する折り曲げ線23が形成されている。また、仕切り17は名刺群14、15に対してそれぞれ設けられ、各仕切り17は並べて収納された名刺群14、15の隣接する面に接する仕切り板部24を中心にして、その両側に第1、第2のカバー板部25、26を有して断面コ字状になっている。30

#### 【0018】

このような構成とすることにより、蓋板部21を切り取ることにより、収納箱16の中央側表面18及びこれに連接する前後の側面19、20に開口部27を形成することができ、開口部27から名刺群14、15の隣接する側をそれぞれ仕切り17で覆われている状態で露出させることができる。そして、収納箱16の蓋11、12を開けて、仕切り17と共に名刺群14、15をそれぞれ取り出し、裏面22を折り曲げ線23に沿って谷折りすることで、収納箱16の左右の蓋11、12となっている側面を底面にして立設可能で、開口部が上方に向いて二つ折りされた状態の収納箱16a(図4参照)に変形できる。次いで、収納箱16a内に名刺群14、15を戻すと、名刺群14、15の長辺側の面を上方に向け上部を露出させた状態にすることができる、名刺群14、15から名刺13を順次取り出すことができる。また、蓋板部21を切り取り開口部27から仕切り17のみを抜き取ると、名刺群14、15を収納箱16に並べて収納したときの状態でその隣接側を開口部27から露出させることができ、名刺群14、15から名刺13を順次取り出すこともできる。40

#### 【0019】

ここで、収納箱16は、例えは、図2に示すような、収納箱16を展開して示した板紙250

9を組み立てることで形成できる。そして、この展開図において、板紙29は、表面18と、表面18の左右両側に連接して設けられた蓋（側面）11、12を備え、蓋11、12の外側には連接して蓋折り込み部30が設けられている。また、板紙29は、表面18の前後にそれぞれ連接する側面19、20、及び側面20の外側（後側）に連接する裏面22を備え、側面19、20の左右両側には側折り込み部31が設けられ、裏面22の後側には組み立て時に連接して側面19の裏側に固定される固定部32が設けられている。

#### 【0020】

更に、板紙29の前後方向に向いた中心線Cに対称に、側面19、表面18、側面20に連続して切れ目33を間隔を設けて並べて形成される切り取り点線35がそれぞれ設けられ、裏面22には中心線Cに沿ってミシン目からなる折り曲げ線23が形成されている。  
また、固定部32には、固定部32を側面19の裏側に固定した際に、側面19に形成されている切り取り点線35の形状と実質的に合同となる形状に、切れ目33を間隔を設けて並べて形成される切り取り点線36が中心線Cに対称にそれぞれ形成されている。これによって、左右対称となる切り取り点線35、36で挟まれた領域が蓋板部21になる。  
10

#### 【0021】

図3の仕切り17の展開図に示すように、各仕切り17の第1のカバー板部25は、名刺13と実質的に同一形状となって、基板39とその先側に複数並べて形成されているインデックス記入部37を有している。ここで、符号38は、第1のカバー板部25の基板39とインデックス記入部37の境界を示す浅い窪みによって形成された境界線、符号40は浅い窪みに沿って山折りして第1のカバー板部25と仕切り板部24の角部を形成する20  
第1の山折り案内線、符号41はミシン目に沿って山折りして仕切り板部24と第2のカバー板部26の角部を形成する第2の山折り案内線、符号45はインデックス記入部37の上端部をインデックス記入部37の基側から切り離す際の案内となるミシン目からなる切り離し案内線である。

#### 【0022】

次に、本考案の一実施の形態に係る名刺ケース10の使用方法について説明する。  
名刺13を輸送する場合、先ず、輸送しようとする複数枚の名刺13を2分割して名刺群14、15を形成する。そして、展開状態の仕切り17を第2、第1の山折り案内線41、40に沿って山折りして断面コ字状にし、名刺群14の長辺側の側面に仕切り板部24の内側を当接させ、名刺群14の表面に第1のカバー板部25の裏側を、裏面に第2のカバー板部26の裏側を当接させる。また、名刺群15にも、名刺群14と同様に断面コ字状の仕切り17を被せる。次いで、収納箱16の蓋11、12を開けて、名刺群14、15に被せた仕切り17の仕切り板部24同士が隣接するように収納箱16に名刺群14、15を並べて装入し、蓋11、12を閉じる。次いで、名刺13を収納している収納箱16を封筒に入れて送付する。  
30

#### 【0023】

封筒が到着すると、図4(A)に示すように、封筒を開けて収納箱16を取り出す。そして、対称に形成された切り取り点線35、36に沿って蓋板部21を切り取り、図4(B)に示すように収納箱16に開口部27を形成する。次いで、図4(C)に示すように、収納箱16の蓋11、12を開けて仕切り17と共に名刺群14、15を取り出し、名刺群14、15から断面コ字状の仕切り17を分離し平面状に広げる。そして、図4(D)に示すように、平面状にした仕切り17から、第2の山折り案内線41に沿って第2のカバー板部26を切り離し、更に、使用に際して必要なインデックス記入部37のみ残し、不要となるインデックス記入部37の上端部を切り離し案内線45に沿って切り取ってインデックス板43を形成する。また、収納箱16の裏面22を折り曲げ線23に沿って谷折りして、収納箱16の左右の蓋11、12を底面にして立設した収納箱16aに変形する。次いで、図4(E)に示すように、収納箱16a内に名刺群14、15を戻し、更にインデックス板43も差し込む。これによって、各名刺群14、15から順次名刺13を取り出すことができる。そして、名刺の使用で空間部が生じると、空間部には受領した他人の名刺を収納することができ、その場合、この空間部にインデックス板43を移動させ  
40  
50

て自己の名刺13との仕切りとして作用させることができる。

#### 【0024】

また、本考案の名刺ケース10の別の使用方法の手順を図5（A）～（F）に示す。ここで、名刺ケース10の別の使用方法は、前記した名刺ケース10の使用方法と比べて、仕切り17からインデックス板44を形成する方法、及び使用する名刺13の保管方法が異なるので、インデックス板44の形成方法及び使用する名刺13の収納方法についてのみ説明する。

図4（D）に示すように、名刺群14、15と共に取り出した仕切り17の第1、第2の山折り案内線40、41を逆に折り返して各仕切り17を平面状に戻す。次いで、使用に際して不要となるインデックス記入部37の上端部を切り離し案内線45に沿って切り離しインデックス板44を形成し、境界線38に沿ってインデックス板44を谷折りする。そして、図4（E）に示すように、インデックス板44のインデックス記入部37が開口部27に露出するように、一方のインデックス板44を開口部27から収納箱16の左右いずれか一方の収納部に、他方のインデックス板44を開口部27から収納箱16の他方の収納部にそれぞれ装入する。次いで、図4（F）に示すように、各蓋11、12を開けて、名刺群14、15を収納箱16内に戻して蓋11、12を閉じる。これによって、開口部27から名刺群14、15の名刺13を順次取り出すことができる。そして、名刺の使用で収納部に空間が生じると、生じた空間に受領した他人の名刺を挿入して、インデックス板44を自己の名刺13と他人の名刺の間で仕切りとして作用させることができる。

#### 【0025】

20

以上、本考案の実施の形態を説明したが、本考案は、この実施の形態に限定されるものではなく、考案の要旨を変更しない範囲での変更は可能であり、前記したそれぞれの実施の形態や変形例の一部又は全部を組み合わせて本考案の名刺ケースを構成する場合も本考案の権利範囲に含まれる。

例えば、収納箱の左右の側面を開閉可能な蓋としたが、左右の一方の側面のみを開閉可能な蓋としてもよい。

#### 【図面の簡単な説明】

#### 【0026】

【図1】（A）は本考案の一実施の形態に係る名刺ケースに名刺を収納して輸送する時の状態を示す斜視図、（B）は蓋板部を切り取って開口部を形成した状態の同名刺ケースの斜視図である。  
30

【図2】同名刺ケースの収納箱の展開図である。

【図3】同名刺ケースの仕切りの展開図である。

【図4】（A）～（E）は同名刺ケースの使用方法の手順を示す斜視図である。

【図5】（A）～（F）は同名刺ケースの別の使用方法の手順を示す斜視図である。

#### 【符号の説明】

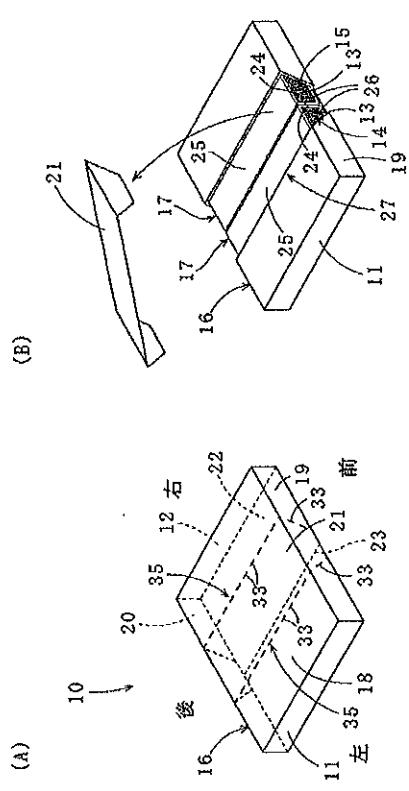
#### 【0027】

10：名刺ケース、11、12：蓋、13：名刺、14、15：名刺群、16、16a：収納箱、17：仕切り、18：表面、19、20：側面、21：蓋板部、22：裏面、23：折り曲げ線、24：仕切り板部、25：第1のカバー板部、26：第2のカバー板部  
40、27：開口部、29：板紙、30：蓋折り込み部、31：側折り込み部、32：固定部、33：切れ目、35、36：切り取り点線、37：インデックス記入部、38：境界線、39：基板、40：第1の山折り案内線、41：第2の山折り案内線、43、44：インデックス板、45：切り離し案内線

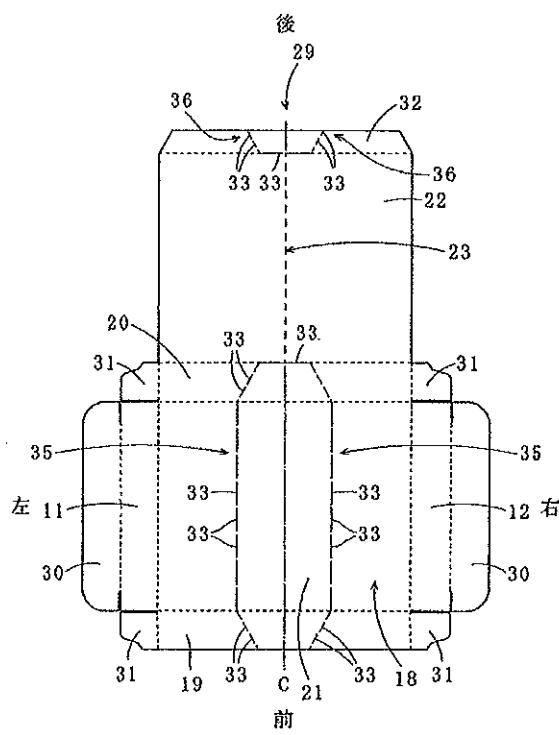
(7)

JP 3127 U 2006.4.20

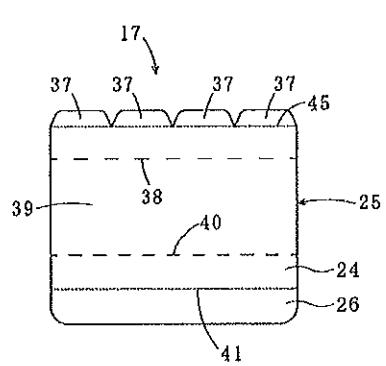
【図 1】



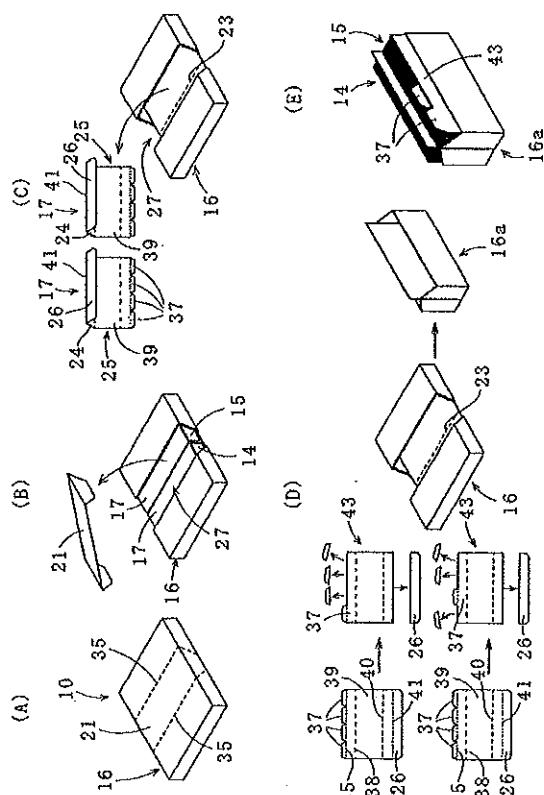
【図 2】



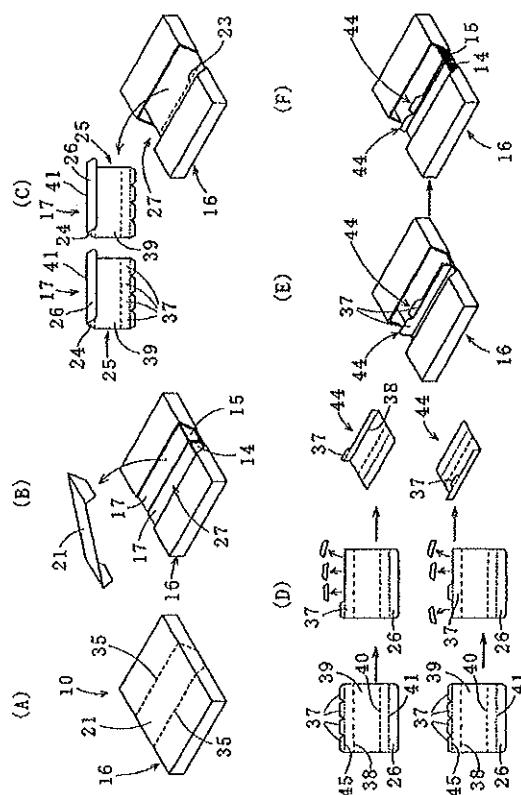
【図 3】



【図 4】



【図 5】



(19) 日本国特許庁(JP)

(12) 実用新案登録公報(Y2)

(11) 実用新案登録番号

実用新案登録第260号  
(U260)

(45) 発行日 平成18年4月5日(2006.4.5)

(24) 登録日 平成18年1月27日(2006.1.27)

(51) Int.CI.

B60J 5/00 (2006.01)

F 1

B60J 5/00

P

請求項の数 10 (全 9 頁)

(21) 出願番号	実願2003-27 (U2003-27)
(22) 出願日	平成15年11月18日(2003.11.18)
出願変更の表示	特願平6-50 の変更
原出願日	平成5年9月20日(1993.9.20)
(65) 公開番号	実開2004- (U2004-8A)
(43) 公開日	平成16年5月13日(2004.5.13)
審査請求日	平成15年11月18日(2003.11.18)
(31) 優先権主張番号	920... -7
(32) 優先日	平成4年9月25日(1992.9.25)
(33) 優先権主張国	スウェーデン(SE)

(73) 実用新案権者	503423926 ブランヤ・ハードテク・アクチボラグ PLANNJA HARDTECH AB スウェーデン国、971 88 ルレオ (番地なし) 971 88 Lulea, Sweden
(74) 代理人	1000 弁理士
(74) 代理人	1000 弁理士
(74) 代理人	1000 弁理士

最終頁に続く

(54) 【考案の名称】安全バー

**(57) 【実用新案登録請求の範囲】****【請求項 1】**

好ましくは衝突、特に側部衝突の際に保護するための自動車搭載の安全バーとしてのバー構造体であって、2個のウェブ(7)によって抱かれた中央フランジ(6)と、それぞれのウェブ(7)に接続すると共にバー構造体の両側部から外方に延出する側部フランジ(8)とからなり、開放形で略台形の断面形状を形成し、好ましくはその中央部に一定の断面形状の第一部分を有するバー構造体において、前記バー構造体には、中央フランジ(6)の幅(b)がバー構造体の端部に向かって減少している第二部分(2)が少なくとも一つ含まれると共に、この第二部分(2)とバー構造体の端部との間には、第二部分に隣接し、中央フランジ(6)の幅(b)が本質的に一定で、高さ(h)が端部に向かって減少している第三部分(3)を含む略台形の断面形状の移行部分が位置付けられており、荷重が中央フランジ(6)側から加わるよう取着されることを特徴とするバー構造体。

**【請求項 2】**

前記第二部分(2)は、その幅(c)がバー構造体の端部に向かって減少している側部フランジ(8)を有することを特徴とする請求項1記載のバー構造体。

**【請求項 3】**

前記第二部分(2)が、ほぼ一定の高さ(h)を有していることを特徴とする請求項1又は2に記載のバー構造体。

**【請求項 4】**

前記移行部分は、中央フランジ(6)の幅(b)が本質的に一定で、高さ(h)が端部に

向かって減少している第三部分（3）を少なくとも一つ含むことを特徴とする請求項1乃至3のいずれか1項に記載のバー構造体。

**【請求項5】**

前記移行部分は、中央フランジ（6）の幅（b）が本質的に一定で、高さ（h）がバー構造体の端部に向かって減少し、バー構造体を構成する金属板の肉厚に至る第四部分（4）を有することを特徴とする請求項4記載のバー構造体。

**【請求項6】**

前記各部分の中央フランジ（6）が、同一の平面内に位置していることを特徴とする請求項1乃至5のいずれか1項に記載のバー構造体。

**【請求項7】**

前記各部分の側部フランジ（8）が、同一平面内に位置していることを特徴とする請求項1乃至5のいずれか1項に記載のバー構造体。

10

**【請求項8】**

前記中央フランジ（6）が、側部フランジ（8）の一方又は双方と同じ面に底面が位置するチャンネル（9）を有することを特徴とする請求項1乃至7のいずれか1項に記載のバー構造体。

**【請求項9】**

バー構造体が、その長さ方向において、第一部分（1）を中心として左右ほぼ対称形に構成されていることを特徴とする請求項1乃至8のいずれか1項に記載のバー構造体。

**【請求項10】**

バー構造体が、その長さ方向において、互いに接続された二つの第二部分（2）を中心として左右ほぼ対称形に構成され、このバー構造体から第一部分（1）が省かれていることを特徴とする請求項1乃至8のいずれか1項に記載のバー構造体。

20

**【考案の詳細な説明】**

**【技術分野】**

**【0001】**

本考案は、バー構造体に関し、好ましくは、排他的ではないが、衝突、特に側部衝突の際に保護をもたらす、好ましくは開放形で略台形の断面形状を有する自動車搭載の安全バー構造体に関するものである。このバー構造体は、二つのウェブに抱かれた中央フランジを有し、これらのウェブには、その他端にバー構造体の各側面から外方に向って延出する側部フランジが連結されている。

30

**【背景技術】**

**【0002】**

安全バー構造体は、種々の異なる態様で使用されているが、自動車における保護装置としてのバー構造体の使用が最大のものである。他の一般的な使用としては、事故の際に自動車が道路から飛び出すことを防止するための高速道及び道路に沿って設ける防護壁としての使用がある。

**【0003】**

側面衝突に対抗することを意図した自動車搭載の安全バー構造体は、特許文献1により知られている。この特許明細書に記載されているように、その安全バーは閉じた断面形状を有し、この断面形状はバーの全長に亘って不变一様である。しかしながら、製造の見地からは、バーは開放断面形状を有するのが好ましく、製造コストを安くすることができると共に腐食等に対する表面処理コストを安くすることができる。しかしながら、今まで知られた開放断面形状の安全バーは、バーの重量に対するエネルギー吸収能力に関しては満足すべきものでなかった。開放断面形状のバーは、裂き開かれずに、即ち、バーの両側のウェブが互いに引き離されないで衝突力に対抗するためには非常に大きな壁厚を必要とすることが分かつてき。

40

**【0004】**

**【特許文献1】スエーデン特許明細書S E-C-434245**

**【考案の開示】**

50

**【考案が解決しようとする課題】****【0005】**

本考案の目的は、特に、側面衝突に対する保護のための自動車搭載の安全バーとして意図され、台形で一辺が開放された断面形状を有する安全バーに関して、その欠点が除去されたバー構造体を提供することである。すなわち、本考案は、台形で一辺が開放された断面形状を有する安全バーにおいて、バーの重量に対するエネルギー吸収能力に関して満足すべき性能を有するバー構造体を提供することを目的としている。

**【課題を解決するための手段】****【0006】**

本考案の安全バーは、2個のウェブによって抱かれた中央フランジ（6）と、それぞれのウェブに接続すると共にバー構造体の両側部から外方に延出する側部フランジとからなり、開放形で略台形の断面形状を形成し、好ましくは、その中央部に一定の断面形状の第一部分を有するバー構造体であって、このバー構造体には、中央フランジの幅が端部に向かって減少している第二部分が少なくとも一つ含まれている。なお、この第二部分の高さは、望ましくは一定であり、そして、好適には、この第二部分において、バー構造体のウェブに外向きに連結されている側部フランジの幅は、バーの端部に向かって減少している。

10

**【0007】**

本考案の安全バー構造体は、また、第二部分とバー構造体の端部との間に、第二部分に隣接し、中央フランジの幅がほぼ一定でありかつ高さがバー構造体の端部に向かって減少する第三部分を含む略台形の断面形状の移行部分が位置づけられている。また、第三部分とこのバー構造体の端部との間の移行部分には、中央フランジの幅がほぼ一定でかつ高さがバー構造体の端部に向かって減少し、遂にはバー構造体の金属板の肉厚に至る少なくとも一つの部分（第四部分）を有することもできる。なお、本考案の安全バー構造体は、荷重が中央フランジ側から加わるよう取着されるものである。

20

**【0008】**

それぞれの部分の中央フランジは、側部フランジがバーの端部に向かって減少するバーの高さに対応して傾き、異なった平面にあるのに対し、望ましくは、一つの同じ平面にある。しかしながら、それぞれの部分の側部フランジが一つの同じ平面にあるものもまた本発明の範囲内にあり、この場合には、それぞれの部分の中央フランジが、バー構造体の端部に向かって減少する高さに対応して傾き、異なった平面に位置することとなる。種々の高さ（幅）のウェブもまた本考案の範囲に入り、この場合、側部フランジもまた種々の平面内に位置するが、ウェブは、バー構造体の両側において、同じ高さ（幅）を有することが望ましい。両側の側部フランジが一つの同じ平面にあるときには、望ましくは、長いバーの一側部にあるウェブに他の側部にあるものより低い高さを与えることにより、中央フランジも、また、安全バーの両側部に対して傾斜させることができる。

30

**【考案の効果】****【0009】**

本考案のバー構造体は、その第二部分の中央フランジ及び望ましくは側部フランジの幅がバー構造体の端部に向かって減少し、第三部分及び選択的には第四部分の高さも減少しているので、中央フランジに荷重が加わったときには、バー構造体の各ウェブが外側へ曲って互いに離れることが不可能であるか、または少なくとも困難である。このことは、衝突のとき安全バーが平坦になることを防止し、或いは、少なくともそのような平坦化を困難にするものである。

40

**【0010】**

本考案の安全バー構造体の更なる詳細及び特性的な特徴は、添付の図面を参照してなされる次の説明から明らかになるであろう。

**【考案を実施するための最良の形態】****【0011】**

実施の形態1.

50

図面には、一端部から延出し、安全バーの中央部の第一部分1を少し含む、安全バーの一部分しか示されていないが、図1乃至3に示された安全バーの全体は、中央の第一部分1に関して左右対称である。安全バーは、ほぼ一様な、開放された台形の断面形状を有し、第一部分1の両端に隣接して、高さ(h)が一定で中央フランジの幅(b)がバーの端部に向かって減少していく第二部分2を有している。また、それぞれの第二部分2に隣接して、中央フランジの幅(b)が一定で高さ(h)がバーの端部に向かって減少する第三部分3を有している。それぞれの第三部分3は、バーの各端部において中央フランジの幅(b)が一定でかつ高さ(h)がバーの端部に向かって減少しており、この減少はバーの金属板の厚さになる第四部分4で終るまで続いている。それぞれの第四部分4は、その端部に取付部5を有し、これによって安全バーは、自動車に、例えば、自動車の側部すなわちドアに加重の加わる中央フランジを外側に向けて取着される。10

#### 【0012】

第一部1における安全バーの台形の断面形状は、図1から明らかであろう。すなわち、この安全バーが互いに等しい高さの2個のウェブ7によって抱かれた中央フランジ6を含んでいることも分かるであろう。各ウェブ7、7には、側部フランジ8が連結し、この側部フランジ8は、各側部において安全バーから外方へ延出していて、この2個の側部フランジ8の面は、同じ平面内に位置している。この断面形状は、また図4Aに示されている。各ウェブ7、7は、側部フランジ8の面を通って延びる平面の垂線に対し角度(v)を成して傾斜し、このため中央フランジ6は、側部フランジ8の内端間の距離より小さい幅(b)を有している。この角度(v)は0-10°でよいが、図示の例では、ウェブ7は、5°の角度(v)で傾いている。20

#### 【0013】

安全バーの第二部分2の断面形状は、一定の高さ(h)でバーの端部に向かって中央フランジ6の幅(b)が減少している。この場合、ウェブ7が側部フランジ8の面を含む平面の垂線に対して傾斜する角度(v)は一定であり、第一部1における傾斜角度(v)と等しい。側部フランジ8の幅(c)は、バーの端部に向かって減少している。図示の例の場合、この減少幅は第一部1に適用されている幅の33%である。しかしながら、側部フランジ8の幅(c)は、第一部1に適用される幅(c)の60%まで減少してもよい。図示の例の場合、第二部分2において中央フランジ6の幅(b)は、第一部1に適用されている幅(b)の約35%まで減少する。しかしながら、第二部分2の中央フランジ6は、第一部1の中央フランジ6を展延する面と同じ平面内にある。本考案の安全バーの代替実施例によれば、第一部1は省略できるが、この場合二つの第二部分2は、最大断面を持つそれぞれの端部で互いに連結される。30

#### 【0014】

安全バーの第三部分3の断面形状は、中央フランジの幅(b)が一定でかつ高さ(h)がバーの端部に向かって減少している。しかしながら、第三部分3の中央フランジ6は、第二部分2における中央フランジ6を展延する面と同じ平面内にある。図示の例の場合、高さ(h)は、第二部分2における高さから約50%減少している。この場合、ウェブ7は、第一部1及び第二部分2の場合と同じ角度で傾斜している。側部フランジ8の幅(c)は、この例では一定であり、第二部分2に適用された幅の狭い方の幅と等しい。40

#### 【0015】

第四部分4における安全バーの断面形状は、中央フランジの幅(b)が一定で、高さ(h)がゼロまで減少している。この場合、中央フランジ6の幅(b)は、第三部分3における中央フランジ6の幅(b)に等しい。しかしながら、第四部分4の中央フランジ6は、第三部分3における中央フランジ6を展延する面と同じ平面内にある。図示の例の場合、高さ(h)は、第三部分3における最も低い高さ(h)から第四部分4の端部における金属板の厚さまで減少する。側部フランジ8の幅(c)は、安全バーのそれぞれの端部に向かって増加する。図示の実施例の場合、この増加は第三部分3における幅の約300%であり、このため中央フランジ6と二つの側部フランジ8との結合幅(b+2c)は、取付部5の幅に等しく、取付部5は、第四部分4の中央フランジ6を通る面と同じ平面内に50

位置している。

**【0016】**

各部分のウェブ7は、安全バーの長手方向に沿う異なる部分の間で、また同じ一つの部分内においても、互いに異なる角度で傾斜してよい。

**【0017】**

図4B-4Fは、図4Aに示される基本的な形状に追加され得る本考案の安全バーに適用できる横断面形状を更に示している。図4Gは、バーの中央フランジの中を延び、かつ底が側部フランジ8、8と同一平面に位置するチャンネル9を有する安全バーの横断面形状を示している。2個の中央フランジ部分6.1及び6.2は、それぞれ図1-3に示された単一中央フランジ6に関して既に説明されたものと同じ形状を持っている。代替的に、中央フランジ6.1の形状は、他の中央フランジ6.2の形状から完全に或いは部分的に変えることができる。分割中央フランジは、安全バーの外側のウェブの間に延びる幅(b)を有し、一方、この安全バーの残る部分の寸法は、図1-3に関連して説明されたものと同様である。この形状のバーは、自動車、例えば、自動車のドアにバーを取り付けるときのように、使用可能な垂直方向の空間が限定されているときに非常に適している。

10

**【0018】**

それぞれの部分の中央フランジ6と端部の取付部5が、同一平面内に位置しているので、図示された安全バーは、平坦な荷重吸収側部を有している。安全バーが図3における矢印(p)の方向の荷重を受けるとき、すなわち、自動車が本考案の安全バーが取着されている側部に衝突力を受けるとき、中央フランジ6は、このバーの長手方向に沿って圧縮力を受け、一方、側部フランジ8は引張力を受ける。中央フランジ6は、もしかしてバーの内部に向かって座屈するかもしれない。中央フランジ6の幅(b)が、バーの端部に向かって減少し、側部フランジ8の幅(c)が第二部分2において減少し、そして高さ(h)が第三部分3及び第四部分4において減少しているので、安全バーのウェブ7が外側に曲げられることは防止され、或いは、安全バーを多かれ少なかれ平坦化するかかる曲げを生じさせることは少なくとも困難になる。なお、両側の側部フランジ8を一つの同一の平面内に位置させることも本考案の構成である。

20

**【0019】**

図5は、種々の形状の安全バーのエネルギー吸収容量をJ/kgで表して比較するグラフである。関連するすべての安全バーは、約900mmの長さと約40mmの最大高さ(h)を有している。金属板は、約1.6mmの肉厚を有している。グラフは、N(ニュートン)で表す荷重の関数として、mm(ミリメートル)で表すバーの突入量を示している。安全バーは、150mmまで突入してエネルギーを吸収し、その後、例えば、自動車のフレーム部品の形の周囲構造物が150mm-300mmの突入量を以てエネルギーを吸収する。kg(キログラム)で表す重量は、バーの固有重量に関係し、そしてそれぞれのケースにおいてバーにより吸収されるエネルギーは、その変形曲線の下側の面積によって示される。図5における曲線I-Vは、等しい長さ及び中央部即ち第一部1において同一の形状及び寸法を持つ安全バーに関連し、次に示す特性を持っている。

30

**【0020】**

- |       |   |
|-------|---|
| 曲線I   | 一様な第一部1を持つ本考案の安全バーを表している。   |
| 曲線II  | 一様な第一部1が省かれた本考案の安全バーを表している。   |
| 曲線III | バーの全長に沿って一様な断面(第一部1に類似)を有する安全バーを表している。                                  |
| 曲線IV  | 中央フランジ6及び側部フランジ8の幅とウェブ7の高さがそれぞれ安全バーの端部に向かって線形的に減少している安全バーを表している。        |
| 曲線V   | ウェブ7の高さが安全バーの中心から端部に向かって線形的に減少し、且つ中央フランジ6と側部フランジ8が一定の幅を有している安全バーを表している。 |

40

50

**【0021】**

曲線I及びIIによって表されるように、本考案の安全バーのエネルギー吸収容量は、曲線IIIによって表される一様な断面の安全バーのエネルギー吸収容量より66%も多いエネルギーを吸収することができ、そして曲線IVによって表される、中央フランジ及び側部フランジの幅とウェブの高さが端部に向かって線形的に減少している安全バーのエネルギー吸収容量より28%、そして曲線Vによって表される、ウェブの高さが中心から端部に向かって線形的に減少し、中央フランジと側部フランジが一定の幅を有している安全バーのエネルギー吸収容量より22%も大きいエネルギー吸収容量を持っている。本考案の安全バーの大きなエネルギー吸収容量は、恐らく、側部フランジに作用する引張力がバーの内部に向かってウェブ7を押し入れようとする力のモーメントを生じさせることによる。この力モーメントの大きさは、本考案の安全バーの第二部分2における中央フランジ6の幅(b)及び側部フランジ8の幅(c)の減少によるものである。

10

**【0022】**

第二部分2の断面形状が、本考案にとって中心的意義を持つことが指摘されるべきである。第一部分1と隣接する第二部分2との結合長は、安全バーの全長の約20-30%に構成するのが望ましい。第三部分3と第四部分4は、一緒になって第二部分2とバーの端部5との間に台形断面形状の移行部分を形成している。

**【0023】**

本考案の一実施例によれば、安全バーは、第一部分1の左右にバーの長さに沿ってほぼ対称的に構成される。

20

**【0024】****実施の形態2.**

別の実施例によれば、安全バーは、二つの互いに連結された第二部分2の左右にその長さに沿ってほぼ対称的に構成されるが、この場合第一部分は省略されている。

**【0025】**

本考案は、図示され且つ説明された実施例に限定されるものではなく、そして変更及び修正が後に続く請求の範囲の中で案出され得ることを理解すべきである。

**【図面の簡単な説明】****【0026】**

【図1】荷重吸収側に対する方向から見た本考案のバー構造体の斜視側面図である。

30

【図2】図1に示されたバー構造体の荷重吸収側を直接に見た図である。

【図3】図1及び図2に示されたバー構造体をその一側面から見て示した図である。

【図4】図1乃至3に示されたバー構造体の代替断面形状の実施例を示す図である。

【図5】異なるバー構造体について、各突入量に対する加えられた荷重の関数及び各安全バーのエネルギー吸収容量の関数を示している。

**【符号の説明】****【0027】**

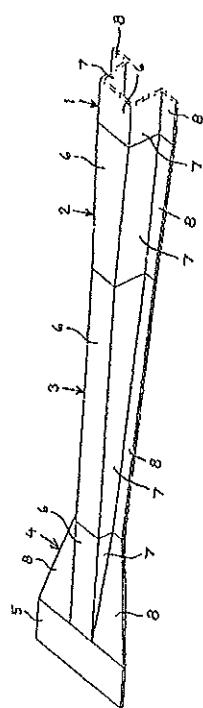
- |   |        |
|---|--------|
| 1 | 第一部分   |
| 2 | 第二部分   |
| 3 | 第三部分   |
| 4 | 第四部分   |
| 5 | 取付部    |
| 6 | 中央フランジ |
| 7 | ウェブ    |
| 8 | 側部フランジ |

40

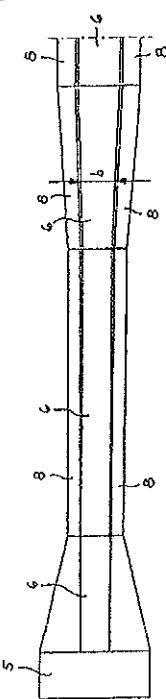
(7)

JP 260. Y2 2006.4.5

【図 1】



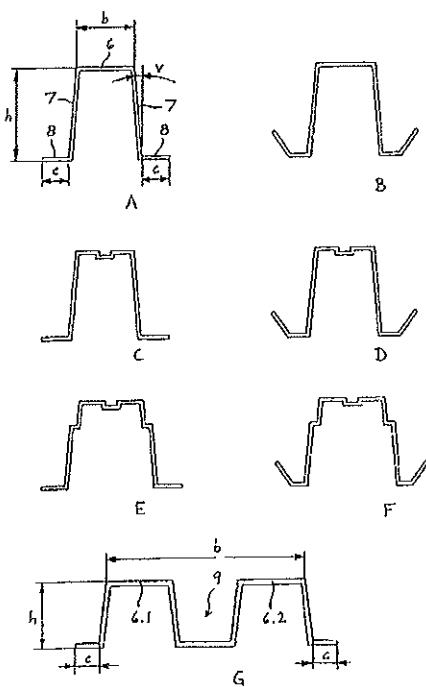
【図 2】



【図 3】



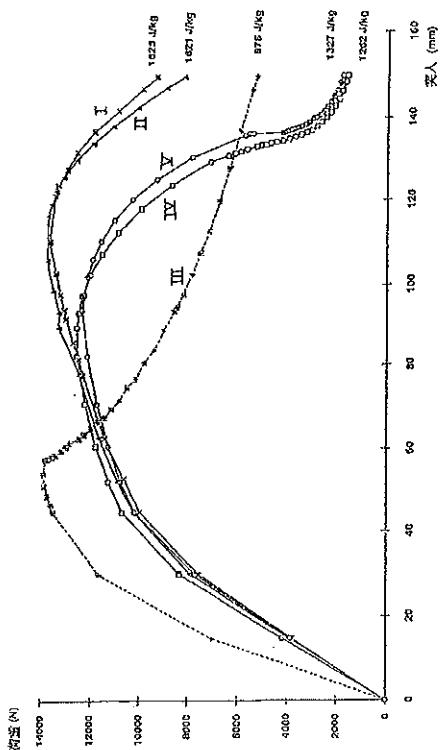
【図 4】



(8)

JP 260 Y2 2006.4.5

【図 5】



(9)

JP 260. Y2 2006.4.5

---

フロントページの続き

(72)考案者 ヨンソン、マーティン  
スウェーデン国、951 90 ルレオ、ベーリング 2331

審査官 野村 亨

(56)参考文献 仏国特許発明第02425338 (FR, B1)  
米国特許第04838606 (US, A)  
仏国特許発明第02207039 (FR, B1)  
特開平02-114019 (JP, A)  
実開昭60-170216 (JP, U)  
特開昭56-167516 (JP, A)  
特開平1-240322 (JP, A)  
実開昭51-145123 (JP, U)  
特開平4-78720 (JP, A)  
特公昭53-42177 (JP, B2)  
特開平4-238624 (JP, A)  
特開平4-183635 (JP, A)  
米国特許第4948196 (US, A)  
米国特許第4796946 (US, A)  
特開昭63-61627 (JP, A)  
特公昭60-20208 (JP, B2)

(58)調査した分野(Int.Cl., DB名)

B60J 5/00

(19) 【発行国】日本国特許庁 (JP)  
 (45) 【発行日】平成18年5月8日 (2006. 5. 8)  
 (12) 【公報種別】意匠公報 (S)  
 (11) 【登録番号】意匠登録第127 号 (D127 )  
 (24) 【登録日】平成18年3月17日 (2006. 3. 17)  
 (54) 【意匠に係る物品】半導体発光装置  
 (52) 【意匠分類】H1-720  
 (51) 【国際意匠分類(参考)】14-99  
 (21) 【出願番号】意願2003-1 (D2003-1 )  
 (22) 【出願日】平成15年1月27日 (2003. 1. 27)  
 【審査番号】不服2004-23 (D2004-23 /J1)  
 【審判請求日】平成16年11月18日 (2004. 11. 18)  
 (72) 【創作者】

【氏名】

【住所又は居所】大阪府 株式会社内

(73) 【意匠権者】

【識別番号】000

【氏名又は名称】 株式会社

【氏名又は名称原語表記】 KABUSHIKI KAISHA

【住所又は居所】大阪府 ○

【住所又は居所原語表記】

saka 545-8522 JAPAN

(74) 【代理人】

【識別番号】100

【弁理士】

【氏名又は名称】

(74) 【代理人】

【識別番号】100

【弁理士】

【氏名又は名称】

【審判長】【特許庁審判官】日比野 香

【特許庁審判官】山崎 裕造

【特許庁審判官】岩井 芳紀

(55) 【意匠に係る物品の説明】本物品は、赤、青、緑のLEDチップを搭載した、表面実装型半導体発光装置である。

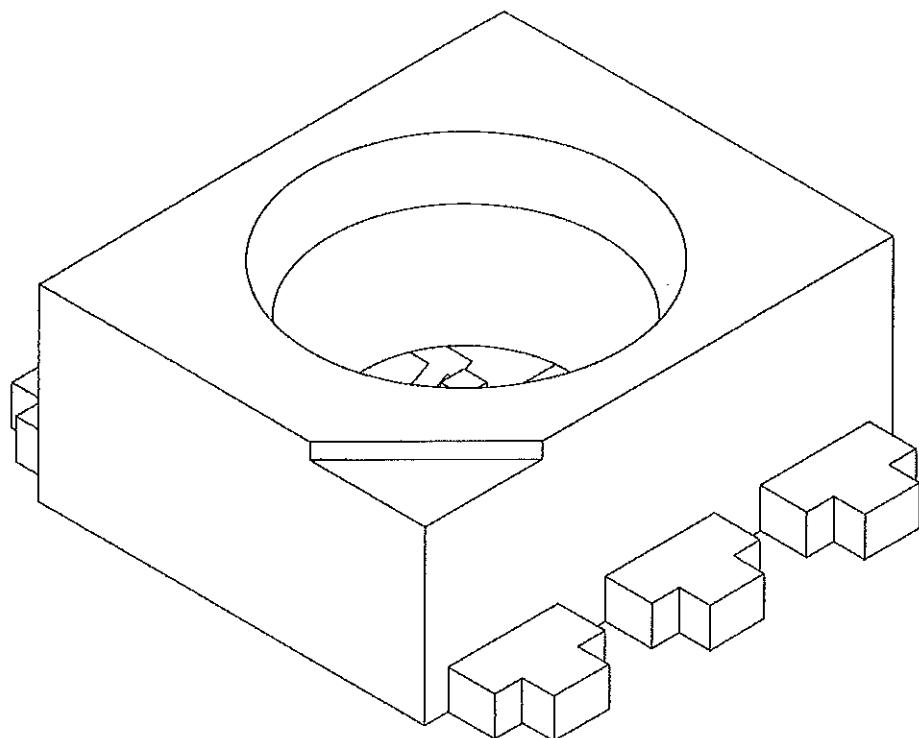
(55) 【意匠の説明】透明部を示した参考図中、斜線部は透明である。

【図面】

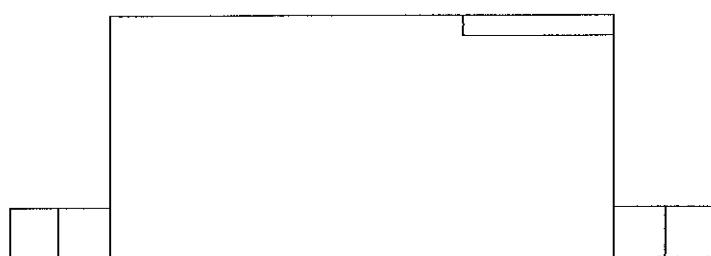
【斜視図】

(2)

意匠登録 127



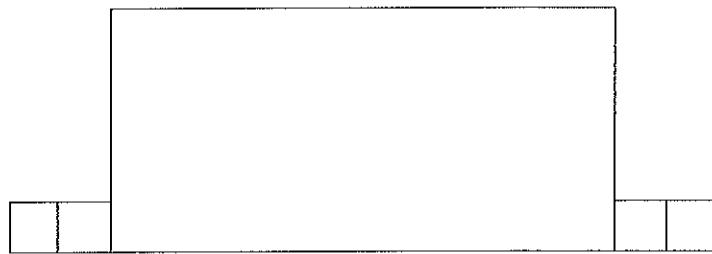
【正面図】



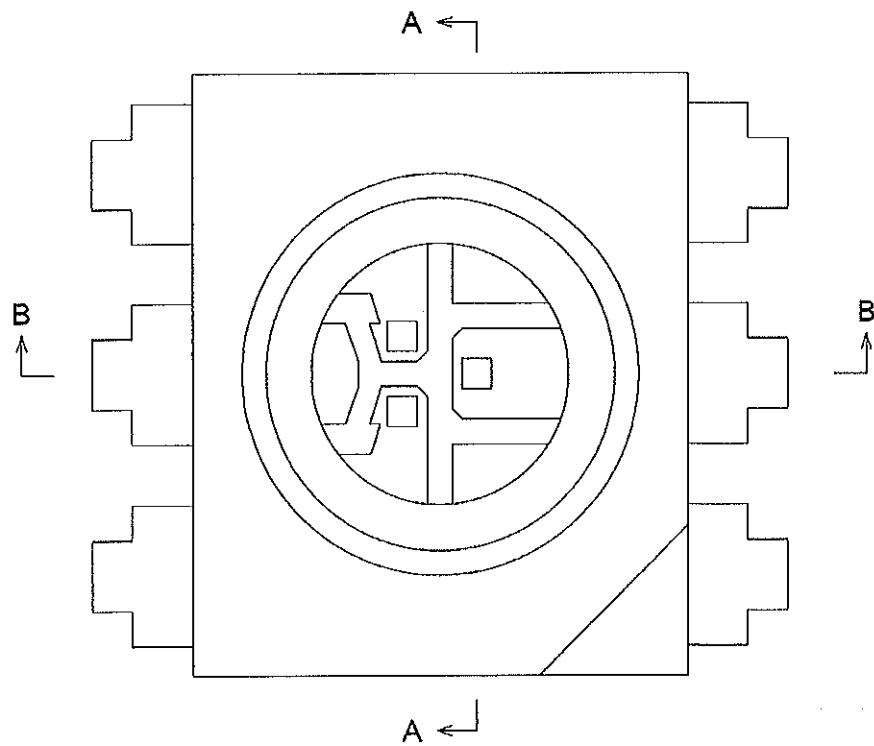
【背面図】

(3)

意匠登録 127



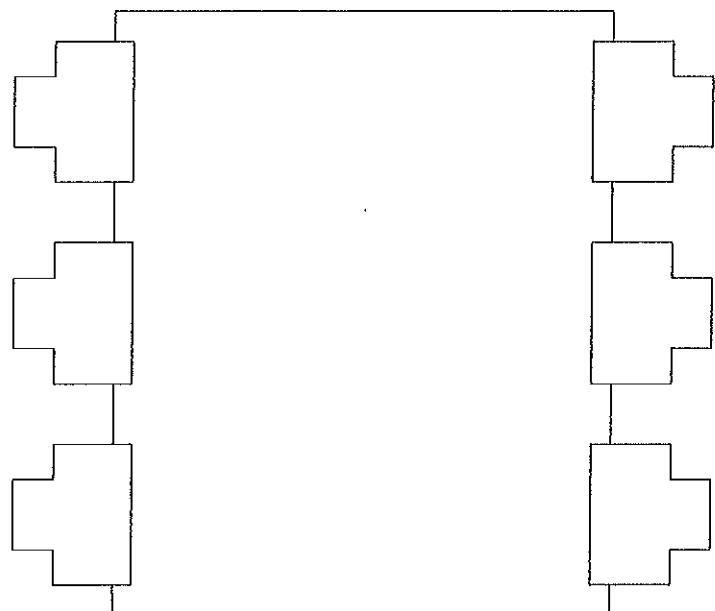
【平面図】



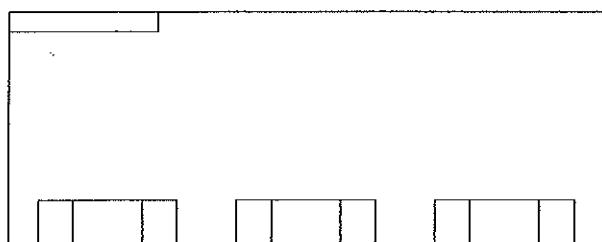
【底面図】

(4)

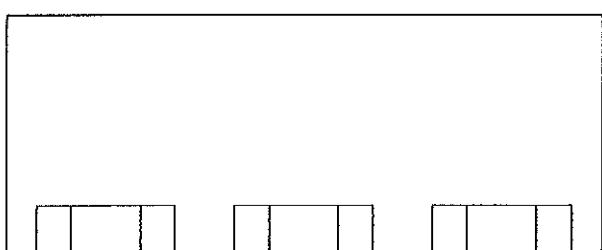
意匠登録 127



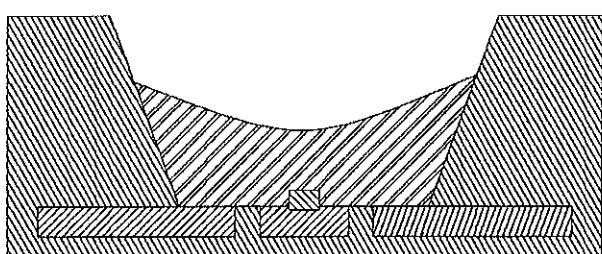
【右側面図】



【左側面図】



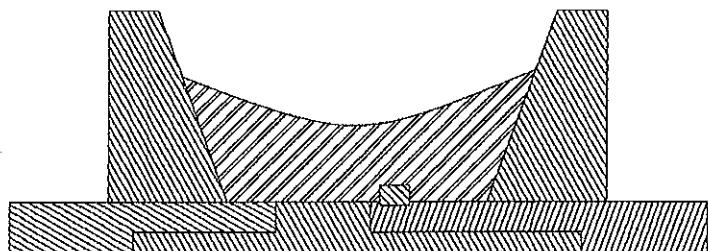
【内部機構を省略したA-A端面図】



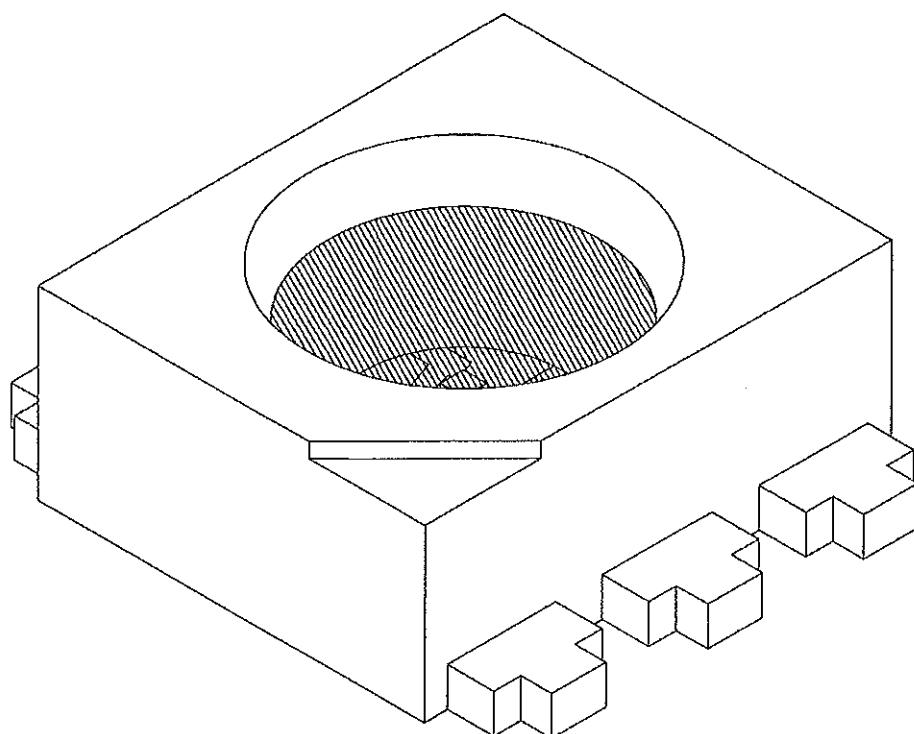
(5)

意匠登録 127.

【内部機構を省略したB-B端面図】



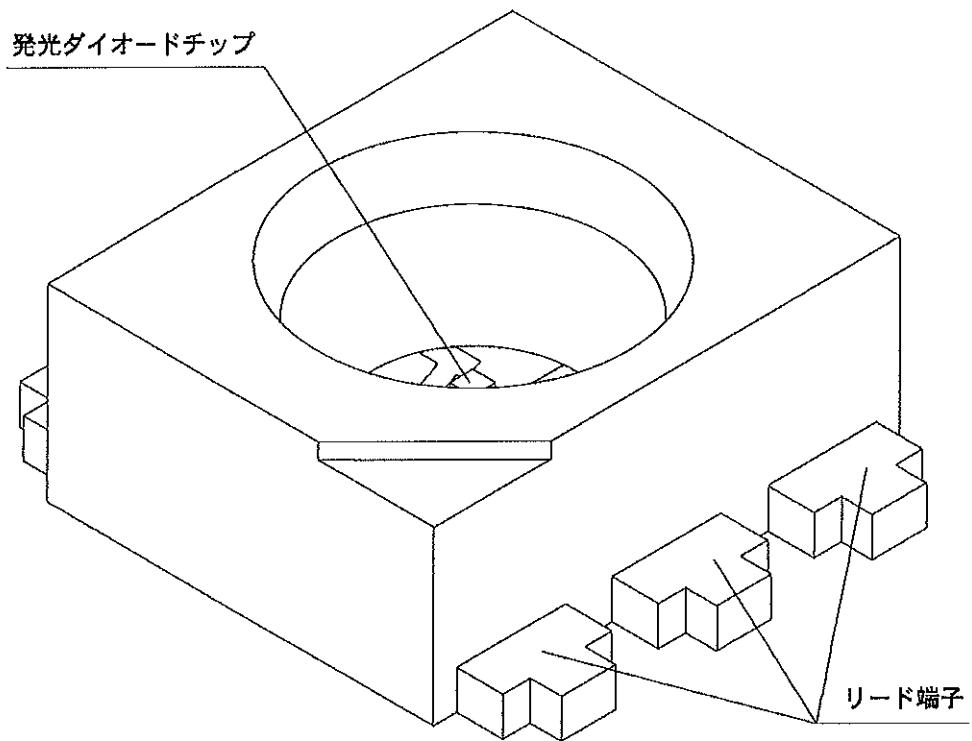
【透明部を示した参考図】



【各部の名称を示した参考図】

(6)

意匠登録 127



(190) 【発行国】日本国特許庁 (JP)  
 (450) 【発行日】平成13年11月6日 (2001. 11. 6)  
 【公報種別】商標公報  
 (111) 【登録番号】商標登録第451 号 (T451 )  
 (151) 【登録日】平成13年10月5日 (2001. 10. 5)  
 (540) 【登録商標】

# ざわわ

## ZAWAWA

(500) 【商品及び役務の区分の数】1  
 (511) 【商品及び役務の区分並びに指定商品又は指定役務】  
 第30類 調味料、菓子及びパン、即席菓子のもと  
 【国際分類第7版】  
 (210) 【出願番号】商願2000-10 (T2000-10 )  
 (220) 【出願日】平成12年9月21日 (2000. 9. 21)  
 (732) 【商標権者】  
 【識別番号】  
 【氏名又は名称】有限会社  
 【住所又は居所】沖縄県  
 【法区分】平成8年法  
 【審査官】山本 敏子  
 (561) 【称呼（参考情報）】ザワワ  
 【検索用文字商標（参考情報）】ざわわ、ZAWAWA  
 【類似群コード（参考情報）】  
 第30類 30A01、31A01、31A02、31A03、31A04、31A05、32F09

(190) 【発行国】日本国特許庁 (JP)

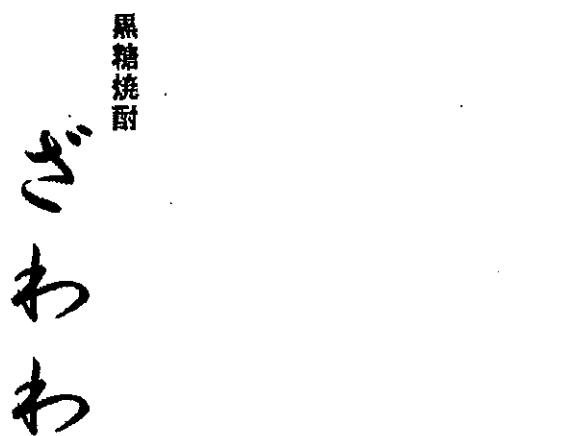
(450) 【発行日】平成17年6月28日 (2005. 6. 28)

【公報種別】商標公報

(111) 【登録番号】商標登録第48号 (T48)

(151) 【登録日】平成17年5月27日 (2005. 5. 27)

(540) 【登録商標】



(500) 【商品及び役務の区分の数】1

(511) 【商品及び役務の区分並びに指定商品又は指定役務】

第33類 黒糖焼酎

【国際分類第8版】

(210) 【出願番号】商願2004-7 (T2004-7)

(220) 【出願日】平成16年8月4日 (2004. 8. 4)

(732) 【商標権者】

【識別番号】

【氏名又は名称】有限会社

【住所又は居所】鹿児島県

【法区分】平成13年改正

【審査官】鈴木 幸一

(561) 【称呼（参考情報）】コクトーショーチューザワワ、ザワワ

【検索用文字商標（参考情報）】黒糖焼酎、ざわわ

【類似群コード（参考情報）】

第33類 28A01

(190) 【発行国】日本国特許庁 (JP)

(450) 【発行日】平成17年7月19日 (2005. 7. 19)

【公報種別】商標公報

(111) 【登録番号】商標登録第487 号 (T487 )

(151) 【登録日】平成17年6月17日 (2005. 6. 17)

(541) 【登録商標（標準文字）】ザワワ

(500) 【商品及び役務の区分の数】1

(511) 【商品及び役務の区分並びに指定商品又は指定役務】

第32類 清涼飲料、果実飲料、乳清飲料、飲料用野菜ジュース

【国際分類第8版】

(210) 【出願番号】商願2004-9 (T2004-9 )

(220) 【出願日】平成16年10月14日 (2004. 10. 14)

(732) 【商標権者】

【識別番号】

【氏名又は名称】

【住所又は居所】北海道

(740) 【代理人】

【識別番号】1000

【弁理士】

【氏名又は名称】

【法区分】平成13年改正

【審査官】梶原 良子

(561) 【称呼（参考情報）】ザワワ

【検索用文字商標（参考情報）】ザワワ

【類似群コード（参考情報）】

第32類 29C01、31D01、32F04

(190) 【発行国】日本国特許庁 (JP)  
 (441) 【公開日】平成18年2月2日 (2006. 2. 2)  
 【公報種別】公開商標公報  
 (210) 【出願番号】商願2006-1 (T2006-1)  
 (220) 【出願日】平成18年1月3日 (2006. 1. 3)  
 (540) 【商標】



(511) 【商品及び役務の区分並びに指定商品又は指定役務】  
 第3類 日焼け止めクリーム、化粧品、せっけん類、香料類、歯磨き  
 第5類 蚊取線香、殺虫剤、防虫剤、薬剤  
 第29類 肉製品、加工野菜及び加工果実、加工水産物、冷凍野菜、冷凍果実、加工卵、乳製品、カレー・シチュー又はスープのもと、お茶漬けのり、ふりかけ  
 第30類 菓子及びパン、乾パン、穀物の加工品、コーヒー及びココア、茶、ぎょうざ、サンドイッチ、しゅうまい、すし、たこ焼き、肉まんじゅう、ハンバーガー、ピザ、べんとう、ホットドッグ、ミートパイ、ラビオリ  
 第32類 清涼飲料、果実飲料、飲料用野菜ジュース、乳清飲料、ビール  
 (731) 【出願人】  
 【識別番号】593107454  
 【氏名又は名称】ザ・コールマン・カンパニー・インコーポレイテッド  
 (740) 【代理人】  
 【識別番号】100  
 【弁理士】  
 【氏名又は名称】

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-23

(P2002-23 A)

(43)公開日 平成14年8月23日(2002.8.23)

(51)Int.Cl.<sup>7</sup>  
H 01 L 31/12

識別記号

F I  
H 01 L 31/12テマコト\*(参考)  
A 5 F 0 8 9

審査請求 未請求 請求項の数8 O.L (全9頁)

(21)出願番号 特願2001-3 (P2001-3 )

(71)出願人 00000000

株式会社

大阪府

(22)出願日 平成13年2月8日(2001.2.8)

(72)発明者

大阪府

株式会社内

(74)代理人 100

弁理士

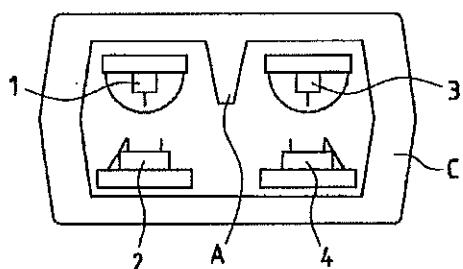
Fターム(参考) 5F089 AB03 AC07 AC11 CA04

(54)【発明の名称】 多チャンネル型光結合素子及びその製造方法

## (57)【要約】

【課題】 サイズの小型化とチャンネル間のクロストークの防止とを実現する多チャンネル型光結合素子に関する技術を提供する。

【解決手段】 多チャンネル型光結合素子Cにおいて、チャンネル間に凸部Aを形成する。この凸部Aは発光素子1の光が隣接する他のチャンネルの受光素子4に到達するのを防止し、発光素子1の光は受光素子2にのみ到達する。また、この凸部Aは発光素子3の光が隣接する他のチャンネルの受光素子2に到達するのを防止し、発光素子3の光は受光素子4にのみ到達する。



(2)

特開2002-23

2

## 【特許請求の範囲】

【請求項1】 多チャンネル型光結合素子において、チャンネル間に、隣接する他のチャンネルの光を遮断する凸部を備えることを特徴とする多チャンネル型光結合素子。

【請求項2】 前記凸部が発光素子側または受光素子側に設けられていることを特徴とする請求項1記載の多チャンネル型光結合素子。

【請求項3】 前記凸部が発光素子側と受光素子側の両方に設けられていることを特徴とする請求項1記載の多チャンネル型光結合素子。

【請求項4】 請求項1乃至請求項3のいずれかに記載の多チャンネル型光結合素子を製造する多チャンネル型光結合素子の製造方法において、

前記凸部に対応する1次モールド金型の部位に突起部が形成されており、この1次モールド金型に1次モールド樹脂を充填後、遮光性の樹脂により2次モールドを行うことによって、この2次モールド樹脂により前記凸部を形成することを特徴とする多チャンネル型光結合素子の製造方法。

【請求項5】 前記突起部が1次モールド樹脂の流路に形成されていることを特徴とする請求項4記載の多チャンネル型光結合素子の製造方法。

【請求項6】 前記突起部は、その突出先端部の角部分が湾曲していることを特徴とする請求項4または請求項5記載の多チャンネル型光結合素子の製造方法。

【請求項7】 前記突起部が1次モールド離型工程時に用いられる突き出しピンであることを特徴とする請求項4乃至請求項6のいずれかに記載の多チャンネル型光結合素子の製造方法。

【請求項8】 請求項4乃至請求項7のいずれかに記載の多チャンネル型光結合素子の製造方法はさらに、1次モールド樹脂の流路に凸部を形成する工程を有することを特徴とする多チャンネル型光結合素子の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、多チャンネル型光結合素子及びその製造方法に関するものである。

【0002】

【従来の技術】 従来の多チャンネル型光結合素子の内部構造の第1の例を図10を参照して説明する。図10は、出力側に共通端子を有する多チャンネル型光結合素子の主要な構成を示す図である。なお、説明は、2チャンネルからなる光結合素子について行う。

【0003】 リードフレーム108には、発光素子101がダイボンド（接着）される。発光素子101はさらにワイヤーボンドが施され、外部リードと接続される。受光素子102は、共通端子を備えたリードフレーム103にダイボンドされ、ワイヤー104にてワイヤーボンドが施される。そして、発光素子101と受光素子1

02とは光軸を一致させるよう対向させられ、発光素子101と受光素子102との間にはシリコーン樹脂105にてバスが形成される。他方のチャンネルについても同じ工程によりバスが形成される。

【0004】 その際、チャンネル間のバスがつながらないようチャンネル間に予め樹脂106が塗布される。その後、これらを遮光性エポキシ樹脂107にてトランスファーモールドを行う。その後、外装めっき、リードフォーミング（外部リード加工）、絶縁耐圧試験（1次、2次間の絶縁性検査）、電気特性検査、マーキング、外観検査、梱包の工程を経て製品となる。成型の手段として、トランスファーモールド以外にも、インジェクションモールドや注型モールド等で成型することもある。

【0005】 図11は、この多チャンネル型光結合素子の主要な製造工程を示すフローチャートである。以下、この図11に示すフローチャートを参照して、この多チャンネル型光結合素子の製造工程をさらに詳しく説明する。

【0006】 まず、バスのつながりを防止するため、リードフレーム103に樹脂106を塗布する（S111）。次に、発光素子101をリードフレーム108に装着し、受光素子102をリードフレーム103に装着する（S112）。次に、発光素子101及び受光素子102と外部リードとをワイヤーにて接続する（S113）。次に、発光素子101側のリードフレーム108と受光素子102側のリードフレーム103とを対向させる（S114）。次に、発光素子101と受光素子102との間にバスをつくる（S115）。次に、遮光性エポキシ樹脂107にて封止する（S116）。次に、外部リードにめっきを施す（S117）。次に、外部リード加工する（S118）。この後、入出力間の絶縁耐圧検査（S119）、電気的特性検査（S120）、外観検査（S121）を行った後、梱包し（S122）、出荷する（S123）。

【0007】 従来の多チャンネル型光結合素子の内部構造の第2の例を図を参照して説明する。図12は、多チャンネル型光結合素子の主要な構成を示す図である。なお、説明は、2チャンネルからなる光結合素子について行う。

【0008】 リードフレーム128に発光素子121をダイボンドし、リードフレーム123に受光素子122をダイボンドする。発光素子121及び受光素子122にワイヤーボンドを施した後、応力緩和のために発光素子121をシリコーン樹脂125にてコーティングして、発光素子121と受光素子122との光軸を一致させるよう対向させる。

【0009】 その後、透光性エポキシ樹脂126にてチャンネル毎に1次モールドを行い、全体を遮光性エポキシ樹脂127にてトランスファーモールドを行う。その後、外装めっき、リードフォーミング（外部リード加

50

(3)

3

工)、絶縁耐圧試験(1次、2次間の絶縁性検査)、電気特性検査、マーキング、外観検査、梱包の工程を経て製品となる。第1の例の多チャンネル型光結合素子と同様に成型の手段として、トランスマーケット以外にも、インジェクションモールドや注型モールド等で成型することもある。

【0010】図13は、この多チャンネル型光結合素子の主要な製造工程を示すフローチャートである。以下、この図13に示すフローチャートを参照して、この多チャンネル型光結合素子の製造工程をさらに詳しく説明する。

【0011】まず、発光素子121をリードフレーム128に接着し、受光素子122をリードフレーム123に接着する(S131)。発光素子121及び受光素子122と外部リードとをワイヤーにて接続する(S132)。次に、発光素子121をシリコーン樹脂125にて覆う(S133)。次に、発光素子121側のリードフレーム128と受光素子122側のリードフレーム123とを接着する(S134)。次に、透光性エポキシ樹脂にて封止する(S135)。次に、1次モールドにて発生したバリを除去する(S136)。次に、遮光性エポキシ樹脂にて封止する(S137)。次に、外部リードにめっきを施し(S138)、外部リード加工する(S139)。この後、入出力間の絶縁耐圧検査(S140)、電気的特性検査、(S141)、外観検査(S142)を行った後、梱包し(S143)、出荷する(S144)。

【0012】図14は、この多チャンネル型光結合素子の1次モールド工程における成型中の状態を示す概略断面図である。図中、金型146、金型148により形成される空間に1次モールド樹脂が充填されている。E-PIN145は、金型146に設けられた突き出しピンであり、1次モールド離型工程時に透光性エポキシ樹脂にて封止されたパッケージ147を金型146から押し出し、分離するのに用いられる。

【0013】図15は、この多チャンネル型光結合素子の1次モールド工程における離型中の状態を示す概略断面図である。図中、1次モールド樹脂の充填が完了し、金型146、金型148が開かれている。この際、パッケージ147がE-PIN145により金型146から押し出されている。

【0014】図16は、この多チャンネル型光結合素子の1次モールド工程における離型後の状態を示す概略断面図である。図中、金型146、金型148が完全に開いた状態となっている。パッケージ147は、E-PIN145により金型146から押し出され、金型146から完全に離型している。

【0015】

【発明が解決しようとする課題】以下、従来の多チャンネル型光結合素子の構造上の問題点を説明する。上記從

特開2002-29

4

来の多チャンネル型光結合素子の内部構造の第1の例においては、受光素子と発光素子との間にシリコーン樹脂にてドッキングバスを作る際、樹脂量のコントロール等が難しく、樹脂量が多いとチャンネル間のバスがつながったり、逆に少ないと受光素子と発光素子との間にバスができないなどの問題があった。

【0016】また、本構造にて小型化を図る場合、通常品と比較してドッキングバスの形成が困難であるとともに、製品として熱的ストレスに弱いという欠点がある。つまり、バスを形成しているシリコーン樹脂がリフローなどの熱ストレスにより膨張し特性の変動はもちろんのことパッケージクラックの発生も懸念される。

【0017】特に近年、鉛フリーの動きが急速に進む中、鉛フリー化により実装温度(リフロー、手はんだ、フロー等)が現状230°C程度から260°C程度に上昇している。つまり、パッケージの耐熱性向上は必要不可欠な課題である。

【0018】上記従来の多チャンネル型光結合素子の内部構造の第2の例においては、小型化における耐熱性に関する問題はない。しかし、1次モールドを単位チャンネル毎に実施するため、前記第1の例に示した多チャンネル型光結合素子のように出力側に共通端子を設けることは不可能であり、更なる小型化には限界がある。

【0019】また、小型化により、チャンネル間にクロストークが発生するという問題が発生する。

【0020】これを解決するための技術として、各多チャンネル型光結合素子間に遮光壁や溝を設け、複数の単位多チャンネル型光結合素子を封止部材で一体的に成型する技術が提案されている(特開平10-163518号公報)。しかしながら、遮光壁や溝を設ける場合、遮光壁や溝を設ける工程が必要となり、製造工程が複雑になっていた。

【0021】また、多チャンネル型光結合素子の製造工程におけるトランスマーケットの際には、熱硬化性エポキシ樹脂を最低溶融粘度付近にして、金型内に圧入する。その際、注入された樹脂がワイヤーに達したときに、ワイヤーを変形させる可能性があるため、モールド時におけるプロセス条件の設定は重要である。したがって、樹脂がワイヤーに及ぼす応力を低減させるプロセス条件を設定することが必要となっている。

【0022】

【課題を解決するための手段】上記問題を解決するため、本発明は、多チャンネル型光結合素子において、チャンネル間に、隣接する他のチャンネルの光を遮断する凸部を備える。

【0023】また、本発明は、多チャンネル型光結合素子において、チャンネル間に、隣接する他のチャンネルの光を遮断する凸部が発光素子側または受光素子側に設けられている。

【0024】また、本発明は、多チャンネル型光結合素

(4)

特開2002-23

5

子において、チャンネル間に、隣接する他のチャンネルの光を遮断する凸部が発光素子側と受光素子側の両方に設けられている。

【0025】また、本発明は、凸部に対応する1次モールド金型の部位に突起部が形成されており、この1次モールド金型に1次モールド樹脂を充填後、遮光性の樹脂により2次モールドを行うことによって、この2次モールド樹脂により凸部を形成する。

【0026】また、本発明は、1次モールド金型に形成された突起部が1次モールド樹脂の流路に形成されている。さらに、本発明は、突起部の突出先端部の角部分が湾曲している。

【0027】また、本発明は、突起部が1次モールド離型工程時に用いられる突き出しピンである。

【0028】また、本発明は、1次モールド樹脂の流路に凸部を形成する工程を有する。この凸部は1次モールド樹脂の流速を減速させる。

【0029】

【発明の実施の形態】以下、本発明の実施の形態について図を参照して説明する。

【0030】まず、本発明の第1の実施の形態について図1を参照して説明する。図1は本発明の多チャンネル型光結合素子C（本実施の形態では2チャンネルからなる光結合素子）の構造断面の一例を示す図である。この多チャンネル型光結合素子は、基本的構造は従来のものと同じであるため、説明は相違部分に限定して行う。

【0031】この多チャンネル型光結合素子Cにおいては、1次モールドの際に発光素子1、3側のチャンネル間に金型にて凹部を形成する。2次モールドの際にその凹部に遮光性エポキシ樹脂を充填し、隣接する他のチャンネルの光を遮断する凸部Aを発光素子1、3側のチャンネル間に形成する。

【0032】この凸部Aが存在することにより、発光素子1の発する光が受光素子2に到達する一方で、隣接する他のチャンネルの受光素子4に到達しない。また、凸部Aが存在することにより、発光素子3の発する光が受光素子4に到達する一方で、隣接する他のチャンネルの受光素子2に到達しない。

【0033】量産性を考えると、凸部の寸法としては、付け根の幅が最低400μm、先端の幅が最低200μm程度必要である。

【0034】次に、本発明の第2の実施の形態について図2を参照して説明する。図2は本発明の多チャンネル型光結合素子（本実施の形態では2チャンネルからなる光結合素子）の構造断面の一例を示す図である。

【0035】この多チャンネル型光結合素子においては、1次モールドの際に受光素子2、4側のチャンネル間に金型にて凹部を形成する。2次モールドの際にその凹部に遮光性エポキシ樹脂を充填し、隣接する他のチャンネルの光を遮断する凸部Bを受光素子2、4側のチャ

50

6

ンネル間に形成する。

【0036】この凸部Bが存在することにより、発光素子1の発する光が受光素子2に到達する一方で、隣接する他のチャンネルの受光素子4に到達しない。また、凸部Bが存在することにより、発光素子3の発する光が受光素子4に到達する一方で、隣接する他のチャンネルの受光素子2に到達しない。

【0037】量産性を考えると、凸部の寸法としては、付け根の幅が最低400μm、先端の幅が最低200μm程度必要である。

【0038】本発明の第3の実施の形態について図3を参照して説明する。図3は本発明の多チャンネル型光結合素子D（本実施の形態では2チャンネルからなる光結合素子）の構造断面の一例を示す図である。

【0039】この多チャンネル型光結合素子Dにおいては、1次モールドの際に発光素子1、3側のチャンネル間および受光素子2、4側のチャンネル間に金型にて凹部を形成する。2次モールドの際にこれらの凹部に遮光性エポキシ樹脂を充填し、隣接する他のチャンネルの光を遮断する凸部Aを発光素子1、3側のチャンネル間に、凸部Bを受光素子2、4側のチャンネル間にそれぞれ形成する。

【0040】凸部Aおよび凸部Bが存在することにより、発光素子1の発する光が受光素子2に到達する一方で、隣接する他のチャンネルの受光素子4に到達しない。また、凸部Aおよび凸部Bが存在することにより、発光素子3の発する光が受光素子4に到達する一方で、隣接する他のチャンネルの受光素子2に到達しない。

【0041】量産性を考えると、凸部の寸法としては、付け根の幅が最低400μm、先端の幅が最低200μm程度必要である。

【0042】図4は、多チャンネル型光結合素子Dの発光素子1、3側における1次トランスファーモールドの際の透光性エポキシ樹脂の流れを示すモデル図であり、多チャンネル型光結合素子Dの断面を受光素子2、4側から見たエポキシ樹脂の流れを示す（なお、図1の多チャンネル型光結合素子Cも同じ）。

【0043】図4において、多チャンネル型光結合素子Dの中央部には金型からなる突起部4Aが設けられており、突起部4Aの両側には、発光素子1と発光素子3とが配されている。発光素子1は外部リード43とワイヤー41で接続されている。また、発光素子3は外部リード44とワイヤー42で接続されている。

【0044】透光性エポキシ樹脂を矢印4Xで示す方向から注入すると、透光性エポキシ樹脂の流れは一部が突起部4Aに衝突し、矢印4Yと矢印4Zとで示す方向への2つの流れに分流される。そして、突起部4Aに衝突した透光性エポキシ樹脂の逆流および逆流により生じる温度変化による粘度変化により、透光性エポキシ樹脂の流速は減速され、ワイヤー41、ワイヤー42にかかる

(5)

特開2002-23

7

8

応力は低減される。

【0045】図5は、多チャンネル型光結合素子Dの受光素子2、4側における1次トランスファー モールドの際の透光性エポキシ樹脂の流れを示すモデル図であり、多チャンネル型光結合素子Dの断面を発光素子1側から見た透光性エポキシ樹脂の流れを示す（なお、図2の多チャンネル型光結合素子C1も同じ）。

【0046】図5において、多チャンネル型光結合素子Dの中央部には金型からなる突起部5Bが設けられており、突起部5Bの両側には、受光素子2と受光素子4とが配されている。受光素子2はワイヤー50で外部リード57と接続されており、さらに、ワイヤー52で外部リード56と接続されている。また、受光素子2はワイヤー54で外部リード58と接続されている。

【0047】受光素子4はワイヤー51で外部リード57と接続されており、さらに、ワイヤー53で外部リード56と接続されている。また、受光素子4はワイヤー55で外部リード59と接続されている。

【0048】透光性エポキシ樹脂を矢印5Xで示す方向から注入すると、透光性エポキシ樹脂の流れは一部が突起部5Bに衝突し、矢印5Yと矢印5Zとで示す2つの流れに分流される。そして、突起部5Bに衝突した透光性エポキシ樹脂の逆流と逆流により生じる温度変化による粘度変化とにより、透光性エポキシ樹脂の流速は減速され、ワイヤー50、51、52、53、54、55にかかる応力は低減される。

【0049】次に、多チャンネル型光結合素子Cのチャンネル間に、隣接する他のチャンネルの光を遮断する凸部A、凸部Bを形成する1次モールド金型について図を参照して説明する。図6は、この1次モールド金型における凸部Aまたは凸部Bを形成する突起部分の先端部の形状の一例を示す図である。

【0050】1次モールド金型における多チャンネル型光結合素子Cに凸部Aを形成する突起部分の先端部が先端部71Aである。先端部71Aには、0.2mm程度のRがつけられている。前記多チャンネル型光結合素子C1および前記多チャンネル型光結合素子Dに凸部A、凸部Bを形成する1次モールド金型についても同様である。

【0051】これにより、1次モールド工程終了後における1次モールド金型と1次モールド後の多チャンネル型光結合素子Cとの離型の際、分離が容易となる。

【0052】次に、多チャンネル型光結合素子Cの製造工程を図を参照して説明する。

【0053】図7は、この多チャンネル型光結合素子Cの1次モールド工程における成型中の状態を示す概略断面図である。図中、金型72、金型74により形成される空間に1次モールド樹脂が充填されている。E-PIN71は、その先端部が金型内に所定の長さだけ突出して設けられており、モールド工程時に透光性エポキシ樹

脂にて封止されたバッケージ73を金型から分離するのに用いられる。

【0054】図8は、この多チャンネル型光結合素子Cの1次モールド工程における離型中の状態を示す概略断面図である。図中、1次モールド樹脂の充填が完了し、金型72、金型74が開かれている。この際、バッケージ73がE-PIN71により金型72から押し出されている。また、E-PIN71は、バッケージ73に挿入され、バッケージ73に凹部を形成する。

【0055】図9は、この多チャンネル型光結合素子Cの1次モールド工程における離型後の状態を示す概略断面図である。図中、金型72、金型74が完全に開いた状態となっている。バッケージ73は、E-PIN71により金型72から押し出され、金型72から完全に離型している。E-PIN71の挿入されていた部分はバッケージ73に凹部を形成する。

【0056】2次モールド工程において、この凹部に遮光性の2次モールド樹脂が充填され、多チャンネル型光結合素子Cのチャンネル間に、隣接する他のチャンネルの光を遮断する凸部が形成される。

【0057】

【発明の効果】本発明の多チャンネル型光結合素子は、チャンネル間に他のチャンネルの光を遮断する凸部を備えることから、チャンネル間の間隔を短縮することができ、素子の小型化が可能となる。また、チャンネル間のクロストークを防止できる。

【0058】本発明の多チャンネル型光結合素子は、チャンネル間に他のチャンネルの光を遮断する凸部を発光素子側または受光素子側に備えることから、発光素子側または受光素子側において、隣接する他のチャンネルの光を遮断できる。これにより、チャンネル間の間隔を短縮することができ、素子の小型化が可能となる。また、チャンネル間のクロストークを防止できる。

【0059】本発明の多チャンネル型光結合素子は、チャンネル間に隣接する他のチャンネルからの光を遮断する凸部を受光素子側と発光素子側の両方に備えることから、受光素子側と発光素子側とにおいて、隣接する他のチャンネルの光を遮断できる。これにより、チャンネル間の間隔を短縮することができ、素子の小型化が可能となる。また、チャンネル間のクロストークを防止できる。

【0060】本発明の多チャンネル型光結合素子の製造方法は、1次モールド金型に突起部を設けているため、1次モールド工程において突起部を形成することができる。

【0061】本発明の多チャンネル型光結合素子の製造方法は、1次モールド樹脂の流路に突起部を備えることから、1次モールド工程において、1次モールド樹脂の流速を減速させることができ、樹脂封止時のワイヤー流れを防止することができる。

(6)

9

【0062】本発明の多チャンネル型光結合素子の製造方法は、金型における突起部を形成する部分の先端部が湾曲していることから、樹脂成型後、成型完品と金型とを離型する際、離型が容易になる。

【0063】本発明の多チャンネル型光結合素子の製造方法は、突起部が1次モールド離型工程時に用いられる突き出しピンにより形成されることから、この多チャンネル型光結合素子の製造に既存の設備を用いることができる。

【0064】また、本発明の多チャンネル型光結合素子は1次モールド工程において、1次モールド樹脂の流路に金型にて凸部を形成するため、ワイヤー流れを防止でき、製造工程の複雑化を回避できる。

【図面の簡単な説明】

【図1】本発明の多チャンネル型光結合素子の構造断面の一例を示す図である。

【図2】本発明の多チャンネル型光結合素子の構造断面の一例を示す図である。

【図3】本発明の多チャンネル型光結合素子の構造断面の一例を示す図である。

【図4】多チャンネル型光結合素子の発光素子側における1次トランスファー モールドの際のエポキシ樹脂の流れを示すモデル図である。

【図5】多チャンネル型光結合素子の受光素子側における1次トランスファー モールドの際のエポキシ樹脂の流れを示すモデル図である。

【図6】1次モールド金型における凸部を形成する部分の先端部の形状の一例を示す図である。

【図7】多チャンネル型光結合素子の1次モールド工程における成型中の状態を示す概略断面図である。

【図8】多チャンネル型光結合素子の1次モールド工程における離型中の状態を示す概略断面図である。

【図9】多チャンネル型光結合素子の1次モールド工程における離型後の状態を示す概略断面図である。

【図10】従来の多チャンネル型光結合素子の主要な構成の一例を示す図である。

特開2002-23

10

\* 【図11】従来の多チャンネル型光結合素子の主要な製造工程を示すフローチャートである。

【図12】従来の多チャンネル型光結合素子の主要な構成の一例を示す図である。

【図13】従来の多チャンネル型光結合素子の主要な製造工程を示すフローチャートである。

【図14】従来の多チャンネル型光結合素子の1次モールド工程における成型中の状態を示す概略断面図である。

10 【図15】従来の多チャンネル型光結合素子の1次モールド工程における離型中の状態を示す概略断面図である。

【図16】従来の多チャンネル型光結合素子の1次モールド工程における離型後の状態を示す概略断面図である。

【符号の説明】

1、3、101、121 発光素子

2、4、102、122 受光素子

41、42、50、51、52、53、54、55、1

20 04、124 ワイヤー

43、44、56、57、58、59 外部リード

71、145 E-PIN

71A 先端部

72、74、146、148 金型

73、147 パッケージ

103、108、123、128 リードフレーム

106 樹脂

107、127 遮光性エポキシ樹脂

105、125 シリコーン樹脂

30 126 透光性エポキシ樹脂

A、B 凸部

C、C1、D 多チャンネル型光結合素子

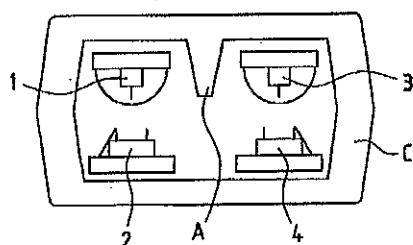
4A、5B 突起部

4X、4Y、4Z 矢印

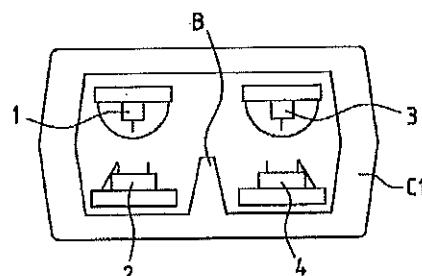
5X、5Y、5Z 矢印

\*

【図1】



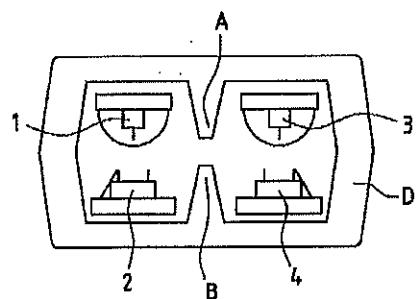
【図2】



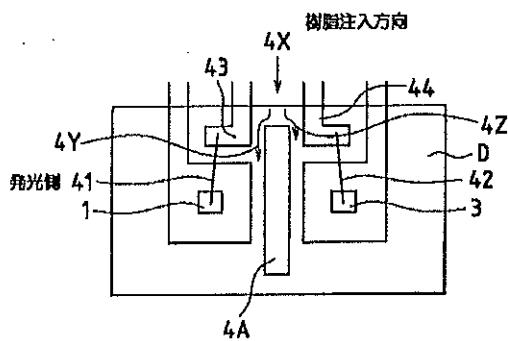
(7)

特開2002-23

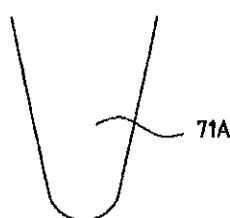
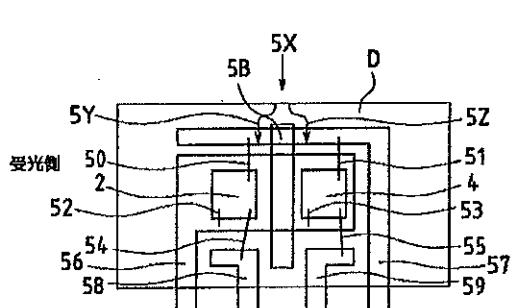
【図3】



【図4】

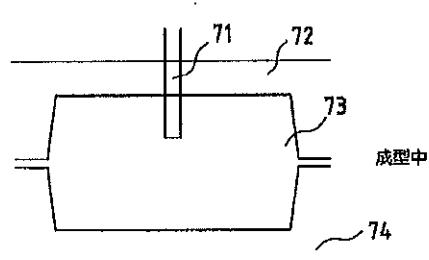


【図5】

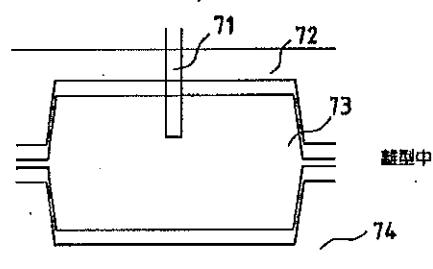


先端にR(0.2mm程度)をつけて  
離型を容易にする。

【図7】



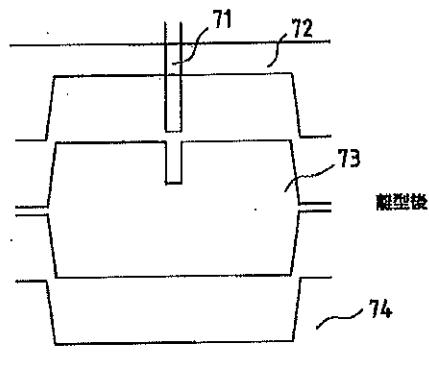
【図8】



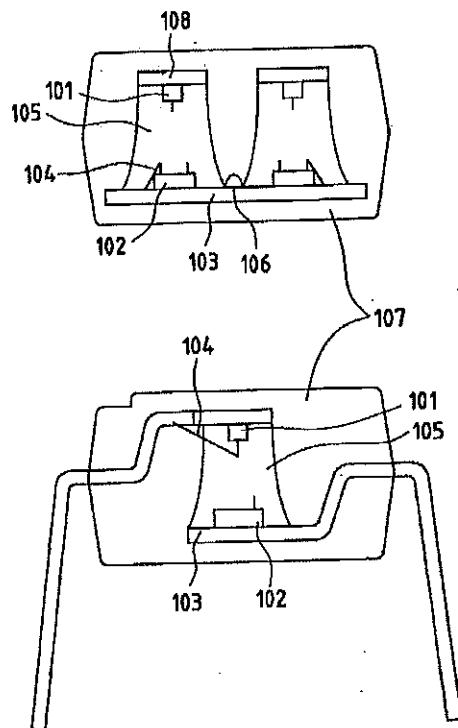
(8)

特開2002-23

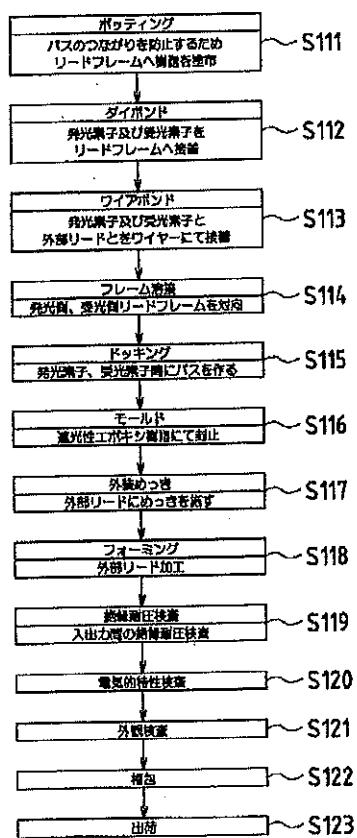
【図9】



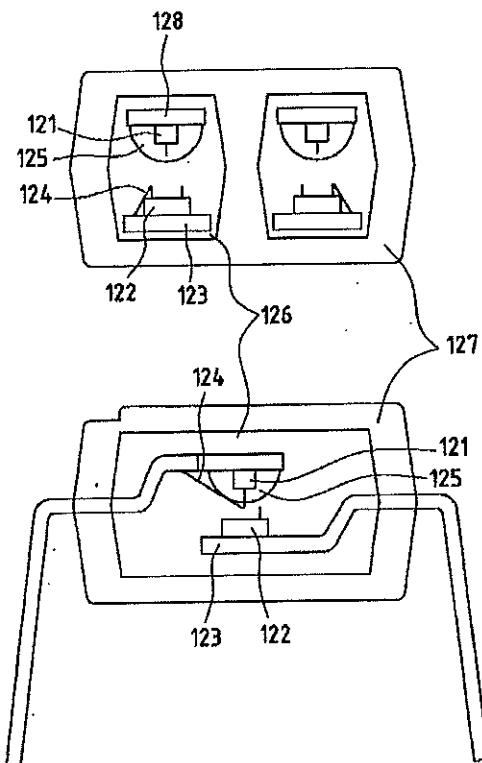
【図10】



【図11】



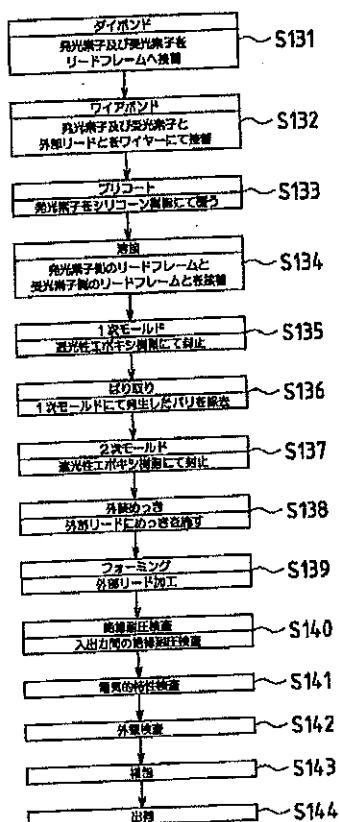
【図12】



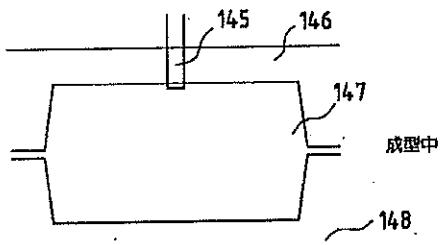
(9)

特開2002-23

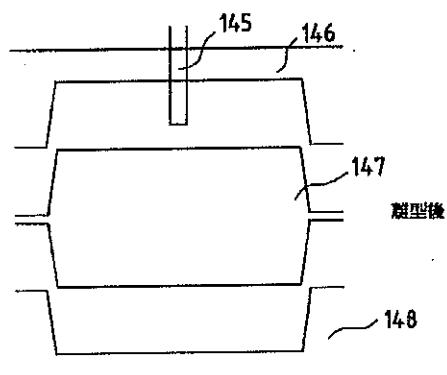
【図13】



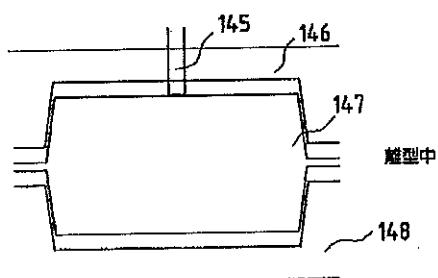
【図14】



【図16】



【図15】



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-16'

(43)公開日 平成10年(1998)6月19日

(51) Int.Cl.<sup>9</sup>  
H 01 L 31/12  
23/28

識別記号

F I  
H 01 L 31/12  
23/28A  
D

審査請求 未請求 請求項の数 6 OL (全 7 頁)

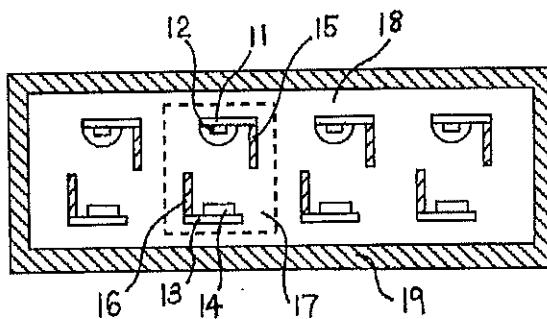
(21)出願番号 特願平8-31  
(22)出願日 平成8年(1996)11月29日(71)出願人 000 株式会社  
大阪府  
(72)発明者 大阪府 株式会社内  
(74)代理人

## (54)【発明の名称】複数型光結合素子及びその製造方法

## (57)【要約】

【課題】 従来例の複数型光結合素子においては、隣接する単位光結合素子間の光学的なクロストークを防ぐためにモールド金型を用いそれぞれの単位光結合素子を別々に封止部材で成型した後、その外側を被覆部材でモールドしていたため複数型光結合素子外形形状を小さくすることは難しかった。

【解決手段】 発光素子から送られる光信号を受光素子で受信する単位光結合素子が同一のパッケージ内に複数個収納されてなる複数型光結合素子において、各単位光結合素子間に遮光壁を配設し、且つ複数の単位光結合素子が封止部材で一体的に成型されてなることを特徴とするものである。



(2)

特開平10-16

1

## 【特許請求の範囲】

【請求項1】 発光素子から送られる光信号を受光素子で受信する単位光結合素子が同一のパッケージ内に複数個収納されてなる複数型光結合素子において、各単位光結合素子間に遮光壁を配設し、且つ複数の単位光結合素子が封止部材で一体的に成型されてなることを特徴とする複数型光結合素子。

【請求項2】 請求項1記載の複数型光結合素子において、遮光壁は発光素子側のリードフレームまたは受光素子側のリードフレームの少なくとも一方側に配設されることを特徴とする複数型光結合素子。

【請求項3】 請求項1記載の複数型光結合素子において、複数型光結合素子の複数の発光素子の接地端子を共通にし、且つ、複数の受光素子の接地端子を共通にしたことを特徴とする複数型光結合素子。

【請求項4】 請求項2記載の複数型光結合素子において、遮光壁は発光素子側のリードフレームまたは受光素子側のリードフレームの少なくとも一方のリードフレームの一部を折り曲げて形成したことを特徴とする複数型光結合素子。

【請求項5】 発光素子から送られる光信号を受光素子で受信する単位光結合素子が同一のパッケージ内に複数個収納されてなる複数型光結合素子において、一体的に成型されてなる封止部材の各単位光結合素子間に各単位光結合素子の光信号を光学的に分離する溝部を有することを特徴とする複数型光結合素子。

【請求項6】 発光素子から送られる光信号を受光素子で受信する単位光結合素子が同一のパッケージ内に複数個収納されてなる複数型光結合素子の製造方法において、複数の単位光結合素子を封止部材で一体的に成型する工程と、該封止部材の各単位光結合素子の間に分離部もしくは溝部を形成する工程とを含むことを特徴とする複数型光結合素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、発光素子から送られる光信号を受光素子で受信する単位光結合素子が同一のパッケージ内に複数個収納されてなる複数型光結合素子及びその製造方法に関する。

## 【0002】

【従来の技術】 従来例の発光素子から送られる光信号を受光素子で受信する単位光結合素子が同一のパッケージ内に複数個収納されてなる複数型光結合素子の構成の略断面図を図6に示す。ここに、発光素子から送られる光信号を受光素子で受信する単位光結合素子が1個である場合を単数型光結合素子と呼び、複数型光結合素子とは単位光結合素子が複数個ある場合のことを意味する。図6において、51は発光素子側のリードフレームであり、発光素子側のリードフレーム51上には発光ダイオード等で構成された発光素子52が搭載されている。発

10

2

光素子側のリードフレーム51に対向して受光素子側のリードフレーム53が配設されており、受光側リードフレーム53上にはフォトダイオードやフォトトランジスタ等で構成された受光素子54が発光素子52に対向するように配設されている。発光素子52と対向する受光素子54で一つの単位光結合素子からなる単数型光結合素子57を形成している。図6には単数型光結合素子57が4つ並列に配設されている例が示されている。それぞれの単数型光結合素子57は半透明エポキシ樹脂等より成る封止部材55によりそれぞれ別々に成型されている。封止部材55のさらに外側を不透明エポキシ樹脂等で被覆部材56により一体成型して、複数型光結合素子を構成している。発光素子側のリードフレーム51を通じて送られてきた電気信号は発光素子52により光信号に変換され、封止部材55を通り受光素子54に伝搬される。受光素子54では光信号を再び電気信号に変換し、受光素子側のリードフレーム53によって伝搬される。各単位光結合素子毎に封止部材55は分離されており、さらに封止部材55の外側は被覆部材56で覆われているので、発光素子52で変換された光信号が他の単位光結合素子57の受光素子54に伝搬することはない。

20

【0003】 図7は4つの単位光結合素子より成る従来例の複数型光結合素子の説明図であり、(a)は外観上面図、(b)は外観側面図、(c)は内部の回路構成を示す図である。図7(a)および(b)において、複数型光結合素子の各部の寸法は、外形の長さLが約10.3mm、幅Wが約4.4mm、高さHが約2.6mmである。単位光結合素子間の端子間ピッチPは約1.27mmである。また、各単位光結合素子57のピッチは端子間ピッチPの2倍に相当し、約2.54mmである。

30

【0004】 図8は従来例の複数型光結合素子の製造工程を示す図であり、(a)は発光素子側のリードフレームと受光素子側のリードフレームとを組み合わせる前の状態を示す説明図であり、(b)は封止部材でトランスファーモールド成型した状態を示す説明図である。図8(a)において、発光素子側のリードフレーム51上に発光素子52が搭載されており、受光素子側のリードフレーム53上に受光素子54が搭載されている。発光素子52及び受光素子54は金線58で発光素子側のリードフレーム51、受光素子側のリードフレーム53とそれぞれワイヤーボンディングされる。

40

【0005】 図8(b)において、発光素子52と受光素子54との光軸が一致するようにして、封止部材55で各単位光結合素子毎にトランスファーモールド成型される。その後、発光素子側のリードフレーム51及び受光素子側のリードフレーム53の図に示される斜線部をカットして各端子を分離する。その後、点線部内を被覆部材56でトランスファーモールド成型し、さらにリード端子59を加工することにより、複数型光結合素子が

50

(3)

3

形成される。

【0006】

【発明が解決しようとする課題】従来例の複数型光結合素子においては、隣接する各単位光結合素子間の光学的なクロストークを防ぐために、それぞれの単位光結合素子を別々の封止部材で成型し、その上から不透明の被覆部材を成型することにより各単位光結合素子を光学的に分離していた。

【0007】図9は従来例の複数型光結合素子の製造に使われるトランスファーモールド金型の断面図である。1つの単位光結合素子57の封止部材とその隣の単位光結合素子の封止部材との間隔は封止部材を成形するためのトランスファーモールド金型の突起の幅によって決定される。図9において、金型の強度を確保するために、突起の先端の幅Aは少なくとも200μm程度（即ち、0.2mm程度）以上が必要であり、また、金型の突起の幅付け根の幅Bは400μm程度（即ち、0.4mm程度）以上が必要である。つまり、各単位光結合素子間のピッチが金型の突起先端の幅だけ広くなり、複数型光結合素子の外形サイズが大きくなり、小形化の障害となっていた。

【0008】本発明は、上記の問題に対して、隣接した各単位光結合素子間の光学的な分離を遮光壁または溝部を設けることにより各単位光結合素子間のピッチを小さくして、複数型光結合素子の外形サイズを小さくし、部品の高密度実装に適した複数型光結合素子を得ることを目的とする。

【0009】

【課題を解決するための手段】本発明の請求項1記載の複数型光結合素子は、発光素子から送られる光信号を受光素子で受信する単位光結合素子が同一のパッケージ内に複数個収納されてなる複数型光結合素子であって、各単位光結合素子間に遮光壁を配設し、且つ複数の単位光結合素子が封止部材で一体的に成型されてなることを特徴とするものである。

【0010】また、本発明の請求項2記載の複数型光結合素子は、遮光壁は発光素子側のリードフレームまたは受光素子側のリードフレームの少なくとも一方側に配設されることを特徴とするものである。

【0011】また、本発明の請求項3記載の複数型光結合素子は、複数型光結合素子の複数の発光素子の接地端子を共通にし、且つ、複数の受光素子の接地端子を共通にしたことを特徴とするものである。

【0012】また、本発明の請求項4記載の複数型光結合素子は、遮光壁は発光素子側のリードフレームまたは受光素子側のリードフレームの少なくとも一方のリードフレームの一部を折り曲げて形成したことを特徴とするものである。

【0013】また、本発明の請求項5記載の複数型光結合素子は、発光素子から送られる光信号を受光素子で受

特開平10-16

4

信する単位光結合素子が同一のパッケージ内に複数個収納されてなる複数型光結合素子であって、一体的に成型されてなる封止部材の各単位光結合素子間に各単位光結合素子の光信号を光学的に分離する溝部を有することを特徴とする複数型光結合素子。

【0014】さらに、本発明の請求項6記載の複数型光結合素子の製造方法は、発光素子から送られる光信号を受光素子で受信する単位光結合素子が同一のパッケージ内に複数個収納されてなる複数型光結合素子の製造方法であって、複数の単位光結合素子を封止部材で一体的に成型する工程と、該封止部材の各単位光結合素子の間に分離部もしくは溝部を形成する工程とを含むことを特徴とするものである。

【0015】【作用】本発明による複数型光結合素子は単位光結合素子間に遮光壁が設けられ、複数の単位光結合素子を封止部材で一体的に成形しているので、各光結合素子の設置間隔を縮小することができ、複数型光結合素子を小さくすることができる。また、一体的にトランスファーモールド成型した封止部材の各単位光結合素子間に溝部を形成、あるいは封止部材の各単位光結合素子間を分離することによって、各光結合素子の設置間隔を縮小することができるので複数型光結合素子を小さくすることができる。

【0016】

【発明の実施の形態】図1は本発明の一実施の形態である複数型光結合素子の略断面図である。図1において、11は発光素子側のリードフレームであり、発光素子側のリードフレーム11上に発光ダイオード等で構成される発光素子12が設けられている。13は受光素子側のリードフレームであり、受光素子側のリードフレーム13上にはフォトダイオードやフォトトランジスタ等で構成される受光素子14が設けられている。発光素子側のリードフレーム11の発光素子12と受光素子側のリードフレーム13上の受光素子14は対向して設けられており、一つの単位光結合素子、即ち一つの複数型光結合素子17を構成している。本実施例の図1では、一つの複数型光結合素子において、4つの単位光結合素子が搭載されている図を示している。発光素子側のリードフレーム11上には一つの発光素子12から発生する光が他の単位光結合素子の受光素子に侵入するのを防止する遮光壁15が設けられており、受光素子側のリードフレーム13上には他の単位光結合素子から発せられた光が受光素子に侵入することを防ぐための遮光壁16が設けられている。遮光壁15及び16は不透明のエポキシ樹脂や不透明ガラスなどで構成されている。18は封止部材であり、この封止部材により一つの複数型光結合素子の複数の単位光結合素子を一体的に封止している。封止部材18には半透明のエポキシ樹脂などの光透過性樹脂が使われる。封止部材18の周りには被覆部材19が形成されている。被覆部材19は不透明のエポキシ樹脂など

(4)

5

の遮光性樹脂が使われる。

【0017】本実施例では、遮光壁は発光素子側のリードフレーム11上および受光素子側のリードフレーム13上の両方に配設されているが、どちらか一方に遮光壁を設けてもよいことは当然である。上記のような構成によれば、各単位光結合素子を封止部材18で一体的に封止しているので、各単位光結合素子を個々に封止するときに必要な単位光結合素子間の隙間を設けなくてよいので、単位光結合素子のピッチを小さくすることができ、単位光結合素子の小形化を実現することができる。図1の4つの単位光結合素子を持つ複数型光結合素子の場合、従来例の単位光結合素子間のピッチが約2.54mmであったのを、本発明ではそれぞれ約0.2mm小さくすることができ、4つの単位光結合素子より成る複数型光結合素子の全体の長さを従来例に比べ約0.6mm小さくすることができ、外形の長さLを従来例の約10.3mmから9.7mmとすることができる。

【0018】図2は本発明の他の一実施の形態よりなる複数型光結合素子を説明する図であり、図2(a)は外観上面図、図2(b)は外観側面図、図2(c)は内部の回路構成図である。図2(c)に示すように、各単位光結合素子の複数の発光素子を共通の接地端子25に接続し、また、各単位光結合素子の複数の受光素子を共通の接地端子26に接続することにより、リード端子の本数を従来の16本から、10本に減少させることができると共に、確実な同一のアース電位を得ることができ。図2(a)および(b)において、外形の長さLは約6.6mm、幅Wは約4.4mm、高さHは約2.0mmであり、従来例の長さLは約10.3mm、幅Wは約4.4mm、高さHは約2.6mmと比較して、大幅に縮小化することができた。

【0019】図3は図2に示す複数型光結合素子の製造工程を説明する図であり、図3(a)は発光素子側のリードフレームと受光素子型のリードフレームを組み合わせる前の状態を示す説明図、図3(b)は封止部材でトランスマールド成型した状態を示す説明図である。図3(a)において、発光素子側のリードフレーム11上に発光素子12が搭載されており、受光素子側のリードフレーム13上には受光素子14が設けられている。発光素子12及び受光素子14は金線21により発光素子側のリードフレーム11、受光素子側のリードフレーム13とそれぞれワイヤーボンディングされている。発光素子側のリードフレーム11の各単位光結合素子の複数の発光素子を共通の接地端子25と接続し、また、各単位光結合素子の複数の受光素子13を共通の接地端子26と接続することにより、リード端子の本数の削減と共に、確実な同一のアース電位を得ることができる。

【0020】図3(b)において、発光素子12と受光素子14の光軸が一致するようにして封止部材18で單

特開平10-16

6

位光結合素子毎にトランスマールド成型により、一体的に成型される。その後、発光側リードフレーム11及び受光側リードフレーム13の間に示される斜線部をカットして各端子を分離する。その後、点線部内を被覆部材19で一体的にトランスマールド成型し、さらにリード端子20を加工することにより、複数型光結合素子が形成される。

【0021】従来技術においては各単位光結合素子はそれぞれ別個にトランスマールド成型されていたため、接地端子を共通にすることはできなかったが、図2、図3に示す本発明の一実施の形態よりなる例においては、各単位光結合素子を一体に封止部材でトランスマールド成型するため、共通の接地端子25、26を設けることができ、リード端子20の本数を減らせるので複数型光結合素子の外形を小形化できる。

【0022】図4は本発明の別の実施の形態である複数型光結合素子の略断面図である。図4において発光素子側のリードフレーム11上に発光ダイオードなどで構成された発光素子12が設けられている。発光素子側のリードフレーム11の一部には遮光壁22が発光素子側のリードフレームを折り曲げて形成されている。遮光壁22は発光素子12から発せられた光が他の単位光結合素子の受光素子に受光されることを防止している。また、受光素子側のリードフレーム13上にはフォトダイオードやフォトトランジスタ等で構成された受光素子14が設けられている。受光素子側のリードフレーム13の一部には遮光壁23が受光素子側のリードフレーム13の一部を折り曲げて形成されている。遮光壁23は他の単位光結合素子から発光された光が受光素子14に侵入することを防止している。発光素子側のリードフレーム11の発光素子12と受光側リードフレーム13上の受光素子14は対向して設けられており、一つの単位光結合素子、即ち単数型光結合素子17を構成している。本発明の一実施の形態よりなる例では、遮光壁は発光素子側のリードフレーム11上および受光素子側のリードフレーム13上両方に形成されているが、どちらか一方に遮光壁を形成してもよい。

【0023】図4に示す構成によれば、各単位光結合素子を封止部材18で一体的に成型されているので、各単位光結合素子を個々に封止して複数型光結合素子を作るときのトランスマールド金型の突起の幅を設ける必要がないので、その金型の突起の幅の分だけ、単位光結合素子の集積度を増すことができ、複数型光結合素子の外形の小形化を実現することができる。

【0024】図5は本発明の他の一実施の形態よりなる複数型光結合素子の構成を示す図であり、一体的に形成した封止部材18に溝部24を構成した形態を示す略断面図である。図5において、発光素子側のリードフレーム11上に発光ダイオードなどで構成された発光素子12が設けられている。また、受光素子側のリードフレーム13上に受光素子14が設けられている。

50

(5)

7

ム13上にはフォトダイオードやフォトトランジスタ等で構成された受光素子14が設けられている。発光素子側のリードフレーム13の発光素子12と受光素子14とはそれぞれ対向して設けられており、各単位光結合素子である各単位光結合素子17を構成している。複数の光結合素子には4つの単位光結合素子があり、半透明の封止部材18で一体的に成型する（複数の単位光結合素子を封止部材で一体的に成型する工程）。次に、各々の単位光結合素子の間の封止部材18を例えば樹脂カッターまたはウォーターカッター等により切削して溝部24を設ける（前記封止部材の各単位光結合素子の間に溝部を形成する工程）。さらに、封止部材18の周りを被覆部材19によりトランスマルト成型する。溝部24を形成することで発光素子12から発した光が他の単位光結合素子に侵入することを防止できるので、単位光結合素子間の光学的なクローストークを防止することができる。前記の溝部24の幅または切りしろは100μm程度（即ち、0.1mm程度）と細いため、従来のように各々別々にトランスマルト成型するよりも単位光結合素子間のピッチを小さくすることができ、集積度をあげることができるので、複数型光結合素子の形状を小形化することができる。また、前記の溝部24の代わりに、単位光結合素子間の光学的な分離を行うための分離部（前記封止部材の各単位光結合素子の間に分離部を形成する工程）を設けてもよいことは当然である。

## 【0025】

【発明の効果】本発明の請求項1記載の複数型光結合素子は、発光素子から送られる光信号を受光素子で受信する単位光結合素子が同一のパッケージ内に複数個収納されてなる複数型光結合素子であり、各単位光結合素子間に遮光壁を配設し、且つ複数の単位光結合素子が封止部材で一体的に成型されることを特徴とするものであり、各単位光結合素子間に遮光壁を有し、複数の単位光結合素子が封止部材で一体的に成型されているので、光学的なクローストークを動作上問題のないレベルに抑えることができ、且つ、各光結合素子間の設置距離を縮小することができるので複数型光結合素子の外形を小さくすることができる。

【0026】また、本発明の請求項2記載の複数型光結合素子は、遮光壁は発光素子側のリードフレームまたは受光素子側のリードフレームの少なくとも一方側に配設されてなることを特徴とするものであり、遮光壁により単位光結合素子間の光学的なクローストークを防ぐことができ位置に確実に配設することができる。

【0027】また、本発明の請求項3記載の複数型光結合素子は、複数型光結合素子の複数の発光素子の接地端子を共通にし、且つ、複数の受光素子の接地端子を共通にしたことを特徴とするものであり、複数型光結合素子のリード端子の本数を減らすことができるので複数型光結合素子の外形を小形化することができる。

特開平10-16

8

【0028】また、本発明の請求項4記載の複数型光結合素子は、遮光壁は発光素子側のリードフレームまたは受光素子側のリードフレームの少なくとも一方のリードフレームの一部を折り曲げて形成したことを特徴とするものであり、遮光壁を別部品としてリードフレーム上に搭載する必要がなく、工数を減らすことができ、また、遮光壁を確実に配設することができる。

【0029】また、本発明の請求項5記載の複数型光結合素子は、発光素子から送られる光信号を受光素子で受信する単位光結合素子が同一のパッケージ内に複数個収納されてなる複数型光結合素子であり、一体的に成型されてなる封止部材の各単位光結合素子間に各単位光結合素子の光信号を光学的に分離する溝部を有することを特徴とするものであり、クローストークを動作上問題のないレベルに抑えることができ、且つ、各単位光結合素子の間の設置距離を縮小することができるので、複数型光結合素子の外形を小形化することができる。

【0030】さらに、本発明の請求項6記載の複数型光結合素子の製造方法は、発光素子から送られる光信号を受光素子で受信する単位光結合素子が同一のパッケージ内に複数個収納されてなる複数型光結合素子の製造方法において、複数の単位光結合素子を封止部材で一体的に成型する工程と、該封止部材の各単位光結合素子の間に分離部もしくは溝部を形成する工程とを含むことを特徴とする複数型光結合素子の製造方法であり、光学的なクローストークを動作上問題のないレベルに抑えることができ、且つ、外形が小形化された複数型光結合素子を製造することができる。

## 【図面の簡単な説明】

【図1】本発明の一実施の形態である複数型光結合素子の略断面図である。

【図2】本発明の他の一実施の形態よりなる複数型光結合素子の説明図であり、(a)は外観上面図、(b)は外観側面図、(c)は内部の回路構成図である。

【図3】本発明の一実施の形態である図2に示す複数型光結合素子の製造工程を説明する図であり、(a)は発光側リードフレームと受光側リードフレームを組み合わせる前の状態を示す説明図、(b)は封止部材でトランスマルト成型した状態を示す説明図である。

【図4】本発明の他の一実施の形態よりなる複数型光結合素子の略断面図である。

【図5】本発明の他の一実施の形態よりなる複数型光結合素子の略断面図であり、封止部材18に溝部24を構成する略断面図である。

【図6】従来例の複数型光結合素子の構成を示す略断面図である。

【図7】従来例の複数型光結合素子の説明図であり、

(a)は外観上面図、(b)は外観側面図である。

(c)は内部の回路構成を示す図である。

【図8】従来例の複数型光結合素子の製造工程を説明す

50

(6)

特開平10-16

9

10

る図であり、(a)は発光側リードフレームと受光型リードフレームを組み合わせる前の状態を示す説明図であり、(b)は封止部材でトランスマルチモールド成型した状態を示す説明図である。

【図9】従来例の複数型光結合素子の製造に使われるトランスマルチモールド金型の断面図である。

【符号の説明】

12 発光素子

\* 14 受光素子

15、16、22、23 遮光壁

17 単位光結合素子（単数型光結合素子）

18 封止部材

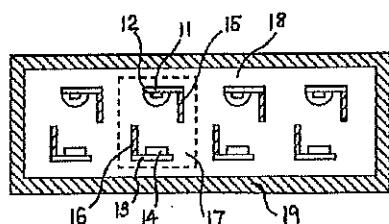
19 被覆部材

24 溝部

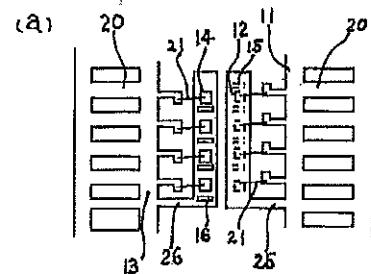
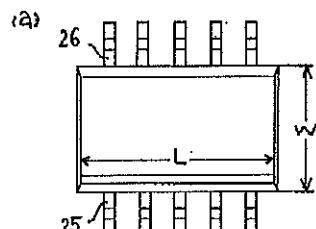
25、26 接地端子

\*

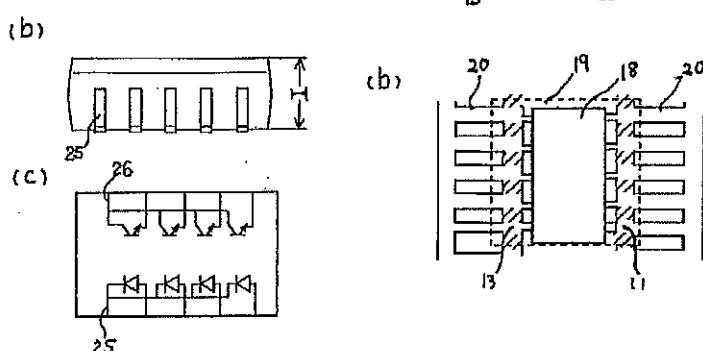
【図1】



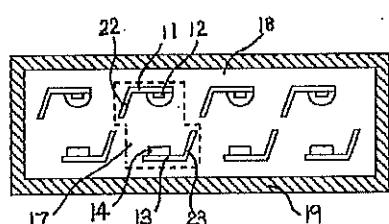
【図2】



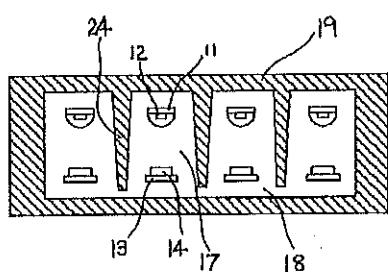
【図3】



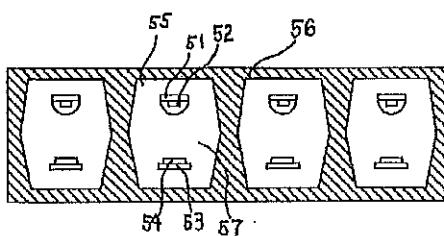
【図4】



【図5】



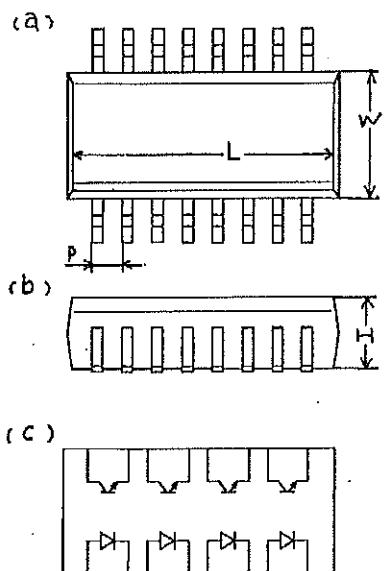
【図6】



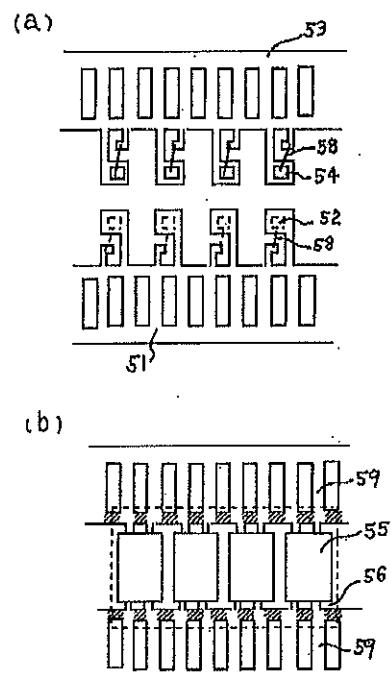
(7)

特開平10-16

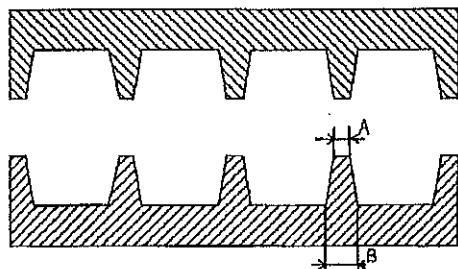
【図7】



【図8】



【図9】



# Invention of the Integrated Circuit

JACK S. KILBY, FELLOW, IEEE

## BACKGROUND

THE FIRST electronic equipments were composed of a few dozen components and could readily be assembled by hand-soldering techniques. Each component was manufactured separately by a process optimized for the purpose. As electronic equipment became more complex, shortcomings in this procedure began to appear. The cost of the equipment increased more rapidly than the component count, and equipment reliability suffered a corresponding decrease.

Because of their interest in complex electronic systems, the problem was particularly apparent to the military. Each B-29 required nearly a thousand vacuum tubes and tens of thousands of passive devices. Its electronics equipments were among the most complex systems in being at the time.

By the end of World War II it was apparent that future systems would be limited by the cost, bulk, and reliability of the electronics.

One of the first attempts to simplify the manufacturing process was carried out under National Bureau of Standards sponsorship. Their proximity fuse requirements necessitated compact rugged electronic subsystems. The Centralab Division of Globe-Union, Inc. proposed a design in which ceramic substrates would carry metal interconnections and chip capacitors, with miniaturized vacuum tubes attached. This proposal was developed by Rubenstein, Ehlers, Sherwood, and White of Centralab [1], and was probably the first attempt to form components *in situ*.

After the war, NBS and Centralab continued to work in this area. The Centralab effort, under R. L. Wolff and A. S. Khouri, developed high-volume screening techniques for production. Centralab built substantial quantities of amplifiers for hearing aid applications, with several dozen passive components and three or four tube sockets for active device attachment. They further simplified the concept by the use of a substrate with a high dielectric constant, permitting the fabrication of low cost RC networks for radio and television applications. About 140 million circuits of this type were produced by 1962.

The NBS effort, originally led by Brunetti and later by Franklin [2], also continued to develop two-dimension (2-D) circuit assemblies. A complete in-house fabrication capability was established. In the early 1950's, Robert Henry of this group, working under Navy sponsorship, abandoned the 2-D concept and produced a novel design in which ceramic wafers with one to four passive components per wafer were stacked and interconnected with vertical riser wires. A tube socket was mounted above the

assembly so that each module was a complete functional unit. The concept was christened "Tinkertoy" [3], and a mechanized line for production of finished assemblies was established by a division of Illinois Tool Works. More than 5 million modules were produced by the time the line ceased operation.

Other attempts to simplify the manufacturing process focused on the interconnection of components. In 1949 Danko and Abrahamson of the Signal Corps announced the "Auto-Sembly" process [4], in which component leads were inserted into a copper foil interconnection pattern and dip soldered. With the development of board lamination and etching techniques, this concept evolved into the standard printed circuit board fabrication process in use today.

During the period, electronic designs were limited by the facts-of-life of the vacuum tube. Tubes were large and expensive in comparison to most of the passive components. Their life was limited, so that frequent replacements were necessary. They dissipated a significant amount of power, requiring provisions for cooling. All of these factors changed dramatically with the invention of the transistor in 1948.

Although it required several years, the existing technologies were modified to accept the transistor. The Tinkertoy approach was abandoned, and replaced by the Micro-Module program under Signal Corps sponsorship. The Micro-Module program was a major effort [5]. RCA was selected as the prime contractor, and more than \$25 million was spent. Most was spent within RCA, but small contracts were let to encourage other component manufacturers to repackage their parts into wafer format.

DOFL and Centralab adapted their two-dimension designs for transistors. DOFL proposed to insert transistors into the substrate and connect them to the substrate with a photolithographic technique [6]. This process, developed by Lathrop and Nall, was one of the first applications of photolithography in the electronics industry. The Centralab work will be described in a later section.

At about this time several companies began to propose the use of evaporated films as a substitute for the screened components of Centralab and DOFL. Varo and G.E. were particularly active in this area. One of the dimly seen advantages of the evaporation technique was that it would some day permit the fabrication of thin-film active devices. This concept was supported by the Navy, although few contracts were let.

The transistor also suggested concepts based on semiconductor technology. The first to perceive the possibility was G. W. A. Dummer of the Royal Radar Establishment in England.

Addressing the Electronic Components Conference in

## IEEE TRANSACTIONS ON ELECTRON DEVICES, JULY 1976

A wafer of germanium has been prepared  
to show how a phase shift oscillator.

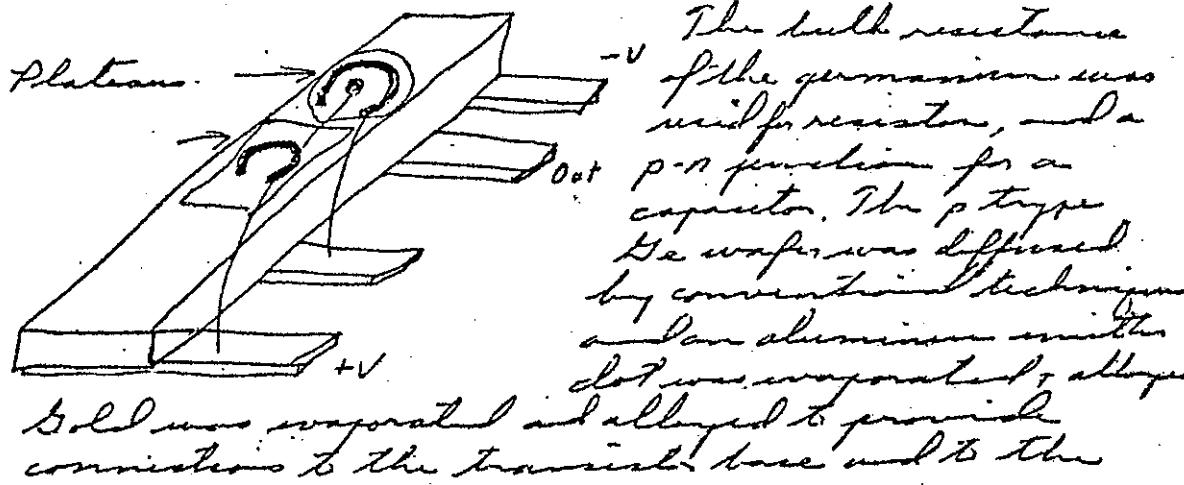


Fig. 2. Page of Kilby engineering notebook describing a phase shift oscillator built from an existing diffused germanium wafer.

In order to further test the feasibility of circuit on a single crystal wafer, I have had three units built up as shown:

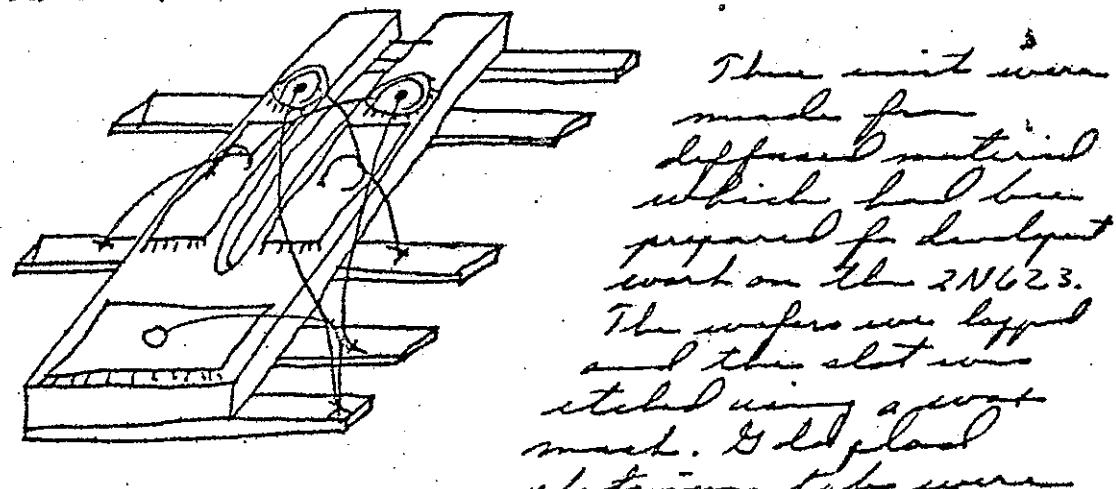
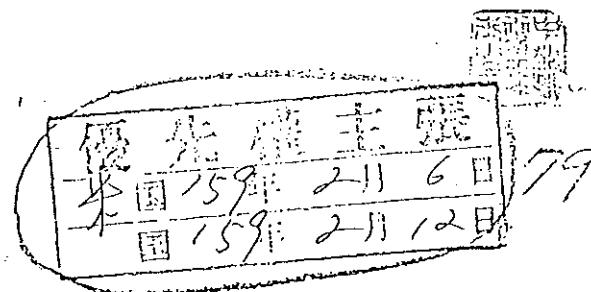


Fig. 3. Page of Kilby engineering notebook describing a flip-flop built from an existing diffused germanium wafer.



優先権證明書補充

印 収

紙 入

優先権主張  
の 出 願

西暦 1959年 2月 6 日  
西暦 1959年 2月 12 日  
西暦 年 月 日

米 國  
米 國

出願  
出願  
出願  
件 件 件

特 許 願 ( )

特許庁長官 井 上 一 殿 昭和35年 2月 6 日

1. 発明の名称 小型化電気回路及びその製作方法

亞米利加合衆國 テキサス州 リチャードソン

2. 発明者 住所 ソンフソン ドライブ 703番  
氏名 リチャード フランク スチュワート  
亞米利加合衆國 テキサス州 ダラス ミッドベリー  
ドライブ 7723番

ジヤック セントクラア キルビイ

3. 出願人 住所 (居所) 亞米利加合衆國 テキサス州 グラスレムモン  
氏名(名称) アベニニー 6000番  
代表者 テキサス インスツルーメンツ 仁コーネルード  
アールエー オルソン  
国籍 亞米利加合衆國

4. 代理人 住所 東京都千代田区丸ノ内三丁目二番地  
氏名 弁理士 中松潤之助

5. 添附書類の目録 (1) 明細書 1通  
(2) 図面 1通  
(3) 委任状及訳文 各 1通  
(4) 謹渡証及訳文 各 2通  
(5) 国籍法人証明書及訳文 各 1通  
(6) 優先権証明書及訳文 通つて補充す

昭和35年  
特許願  
第 3745号

99(5)H 0

特許庁  
特許公報特許出願公告  
昭40-13217  
公告 昭 40. 6.26

訂正アリ

(全5頁)

## 半導体装置

特願 昭 35-3745  
 出願日 昭 35.2.6  
 優先権主張 1959.2.6 (アメリカ国) 791602  
 同 1959.2.12 (同 國)  
 発明者 リチヤード、フランク、スチュワート  
 アメリカ合衆国テキサス州リチヤードソン、ソンブソン、ドライブ703  
 同 ジャック、セントクレア、キルビイ  
 アメリカ合衆国テキサス州グラス、ミッドペリー、ドライブ7723  
 出願人 テキサス、インスツルーメンツ、インコーポレーテッド  
 アメリカ合衆国テキサス州グラス、レムキン、アベニユー8000  
 代表者 アールユー、オルソン  
 代理人 弁理士 中松潤之助

## 図面の略解

第1図～第5図aは單一の半導体物質の組立てられるため、或はその部品を構成するものとして色々の回路成分を示した図、第6図aは本発明によるマルチバイブレーター回路を示した図、第6図bは第6図aと相応関係位置で第6図bのマルチバイブルーターを示した配線図、第7図は従来の表現で第6図aのマルチバイブルーター回路を示した配線図、第8a図は本発明の原理による移相発振器を示した図、第8b図は第8a図と同じ相応関係位置の配線図、第8c図は移相発振器の図である。

## 発明の詳細なる説明

本発明は单一の半導体薄板に一体化された能動及び受動回路素子よりなる半導体装置に係る。

電子回路を小型化する技術及びその方法は過去に於て提起されていた。まず最初にこの努力の大部分は回路成分の大きさを小さくすることと、それらをもつと密接にまとめる方向に向けられていた。回路成分の大きさの縮少をするという努力は尙も続いているが殆んど限界に達してしまっている。そして次に单一の基体に成分を形成する技術を多かれ少なかれ用いることにより、又或は回路パック内で密着するように均一の大きさ形状をもつた回路成分を作ることによるか、或は回路成分の保護被覆の除去によるかして電子回路の大きさの縮少への努力がなされた。

これらの方針及び技術は完全な回路を組立てる場合に非常に多くの数と種類との操作を必要とする。例えば全回路成分中、抵抗は普通形成するに最も簡単なものと考えられているが従来の技術で小型化しようとした場合、その組立ては少くとも次のようない工程段階を必要とするのである。

- a 基体の形成
- b 基体の準備
- c 端子の取付
- d 抵抗物質の準備
- e 抵抗物質の取付
- f 抵抗物質の熱処理
- g 抵抗体の保護或は安定化

蓄電器、トランジスタ、ダイオードが小型化に用いられる時はこれら各々は少くともそれらの組立てに多くの工程段階を必要とする。抵抗の保護に望ましい処理は他の素子を損傷する。

蓄電器或はトランジスタの如きそして完全回路の大きさが縮少されているからこのような相容れない処理或は相互作用は重要な問題となつて来る。相互作用は成分を別々に形成しそれから完全なるパック内にまとめるこにより少なくなるが、その集成体の作用はもつと感度よい成分を害することになるだろう。

必要な操作の数が多いために小型化回路組立ての制御は非常に困難なものになる。これを説明するにたくさんの原料がそれらが良く理解されないとても評価し且管理されなければならない。更に多くの試験操作が必要とされそして高い生産量が各操作に得られたとしても非常に数多くの操作が必要とされているので総合生産量はしばしば全く低いものである。

実際にはこのような複雑な方法により作られた回路の信頼性は必要とされた制御が非常に多いために全く低いものである。又更に個々の成分の別々の形成は各成分に対して個々の端子付を必要とする。これらの端子付は最終的に導電性塗料の点のように小さくなるかも知れない。しかしながらこれらは回路の利用され得る面積又は体積の大部分を占め不整列による回路の故障或は不電導の付加的な原因となるかも知れない。

過去になされた小型化に対して本発明は小型化に対する新規にして全く異つた概念から生じた。既知の技術の示唆を全く離れて小型化が少ない物質と、可能な操作を使用して得られることが本発明により提起されたのである。本発明の原理によれば回路小型化の終局は全回路素子にただ一つの物質を使用し且その製作に矛盾のない或る限度の工程を用いて達成された。

前述はn型がp型がどちらかの導電性を示し且拡散領域が領域と半導体本体との間か或は時により拡散領域間にp-n接合を形成する適当な導電性の拡散領域か領域中に形成されるべく形成された型を有する单一の半導体物質本体を利用することにより本発明は達成される。本発明の原理によれば全電子回路の成分は以降に詳細に説明される技術の適用により特徴づけられるように本体に組立てられてよい。回路の成分が半導体物質の本体の中に組合され且その一部を形成していることは注意されるべきことである。

(2)

特公昭46-13217

本発明によれば電子回路の能動及び受動成形は回路素子は半導体の比較的薄い板か成るその一面に近くに形成される。本発明に於て重要なことは成形の思想である。この成形の思想は回路に於て各成分間の必要なる絶縁を得て成分を決定することが可能である。或は換言すれば与えられた成分に利用される区域を決定することが可能である。成形は与えられた回路に於て幾多の異つた方法の一つ或はそれ以上で完成される、これらの色々な方法は半導体物質の部分の実際的な除去を含みL型、U型等の長い狭い半導体物質の形状と、電流流通のための低抵抗性流路を設けるため不純物の拡散による真の半導体物質の選択的転換と、或る導電性の半導体物質を逆の導電性へ選択的に変換しそれにより形成されたp-n接合が電流の障壁として働くことにより特徴づけられている。如何なる場合にも成形の効果は電流に対し直接的にするか制限するかし半導体物質の单一の薄板に於て他の方法では得られない回路の組立を寄せしむるのである。結果としては最終の回路は本質的に平面状に配備せられる。薄板を工程中に成形し且拡散により所望されして適当な関係で色々な回路素子を生成することは可能である。

本発明の効果は製造製作上満足なものであり且マスタキング、エッチング及び拡散のような限定された両立性ある工程が一正面からなし得るので大量生産に適することであり、更に能動及び受動回路素子の電気的接続の態様が融通性に當み従つて回路が多種多様にできるという点にある。

本発明の目的は各成分の間に必要なる絶縁を得且前記成分により利用される区域を決定するべく半導体物質の薄板を適当に成形することにより所望の回路を作製することである。更に本発明の他の目的及び効果は前述した如く組合わせそれにより結末の電子回路は実質的に既知の技術を用いて出現した回路パックよりより小さく、よりコンパクトであり、より簡単なる独特的な小型化電子回路を提供することである。

更に本発明の他の目的及び効果はこの目的のために用いられた技術よりもより少ない工程を含む新規なる小型化電子回路を提供することである。

本発明の他の目的及び効果は図面に関連した本発明の実施例の以下の詳述により更に容易に明確になることであろう。

図面について詳細に説明すると本発明の実施例は本発明の原理をより良い理解のために詳細に説明し又色々な形態及び実施例はよく理解されるだろう。

前述のように本発明は電子回路の小型化に本質的に關するものである。又前述のように本発明は適当に成形されそして拡散されたp-n接合が接合かを形成された半導体物質の本体の利用と、中に組込まれるか前記半導体物質の本体の部分を構成され得る色々な回路素子或は成分に対し設置された成分の利用を企図している。

第1図～第5図は種々の回路素子を詳細に示すこれらは半導体物質の本体の中に組込まれる。該半導体物質の本体は単一の結晶構造をなしており適当なる半導体物質の組成であることを注意すべきである。ここには例として適当な

物質の例としてゲルマニウム、シリコン、硫化カリウムの如き金属間化合物、アルミニウムアンチモン化物、インジウムアンチモン化物及びその他を示してある。

第1図を参照すれば單一結晶半導体物質の本体内に組込まれるかも知れない抵抗の典型的な設計を示してある。

第1図に示す如く、この設計はn型かp型かの導電型を半導体物質の本体10の大部分の抵抗を利用する事を企図している。接点11及び12は本体10の一面にオーミックに作られ所望の抵抗をもつに充分な距離だけ離隔してある。既知の技術の一つにより明白なる如くオーミック接続は利用し得る方向を流れる電流に対する抵抗の項に於て対称性及び直線性を表わす。若し二つの抵抗が一體に接続さるべきものとすれば共通点に対して別々の端子付けを設けることは不要である。この抵抗は

$$R = \rho \frac{L}{A} \text{なる式から算出することができる。}$$

ここで

Lは極で表わした作用長さ、

Aは断面積、

$\rho$ は半導体物質の比抵抗を単位オーム・センチメートルで表わしたものである。

第1図に示す抵抗に付加して抵抗が第1図aに示す如く組込まれそして半導体物質の本体の一部を形成するように設けてある。第1図aに於て本体10aに形成されたn型領域10bをもつたp型半導体物質の本体10aが示されている。もちろん本体10aと領域10bの間には数字13で示すp-n接合がある。接点11aと12aは領域10bの一面に作られ所望の抵抗を成立させるために相互に離している。第1図に於ける如く接点11aと12aは領域10bに対しオーミックな接觸である。第1図aの方法に於て形成された抵抗は幾多の重要な利点を有する。まずp-n接合13はn型領域10bからp型の本体10aの中への電流の障壁を設ける。かくして電流は接点の間のn型の領域10bに於ける電流流路を決定する。第2の利点は全抵抗値が大きい範囲に調節されることである。この全抵抗値はp-n接合を通してエッチングしないように充分注意し又該p-n接合13までか或は通つて選択的にエッチングしそれにより接点の間の電流により流れる通路の長さを効果的に増加することによりn型領域10bの一番上の部分が取除かれるまで全面にわたつて非常に軽くエッチングすることにより調節される。

第3に、多分これは大部であろうが第1図aによる抵抗を形成する場合の利点であるが抵抗に更に以下の且殆んど一定の温度係数を抵抗がもちn型領域10bのドーピングレベル或は不純物濃度を調節することにより第1図aによる抵抗を形成する利点である。前述の説明はp型の本体10aとn型の領域10bに存するが本体10aはn型の導電型で領域10bはp型の導電型であり得ることは明白である。

蓄電器の設計は第2図に示す如くp-n接合を利用してすることにより得られる。ここでp型導電型の半導体薄板15はn型の拡散層16を含んで示されている。オーミックの

(3)

特公昭40-13217

接触体 17 は薄板 15 の画面に作られている。拡散された接合の容量は

$$C = A E \left( \frac{q a}{12 E V} \right)^{1/3}$$

の式で与えられる。ここで A は接合の面積を平方センチで表したものであり、E は誘電体定数、q は電荷、a は不純物密度変化率、V は印加電圧である。

第 2 図の蓄電器の代りに半導体物質の単一結晶の本体に於ける容量は図に示すように設けられ第 2 図 a に関連して述べられている。第 2 図 a は n 型或は P 型の導電型かどちらかの半導体物質の本体 15 a を示してある。そして蓄電器の 1 極板を構成する。本体 15 a に上に蒸散された層 18 は蓄電器の誘電体層を設ける。この層 18 が適當な誘電体定数をもつ半導体本体 15 a を接觸している時不活性であることは必要なことである。酸化シリコンは誘電体層 18 に適當な物質で本体 15 a に熱酸化技術か蒸散により用いられる。極板 19 は蓄電器の他の極板を形成しこれは層 18 に導電物質を蒸散することにより設けられる。金及びアルミニウムは極板 19 に満足な物質であると分つた。オーミックな接点 17 a は半導体物質 15 a の本体に対し作られ極板 19 に対する接点は図示しない適當な電気接点により構成される。第 2 図 a に關して述べた方法に於て形成された蓄電器は純粹な接合蓄電器即ち p-n 接合蓄電器よりも安定な特性を示すことが判明した。

第 2 図の方法に於て形成された蓄電器は又ダイオードでもある。そして從つて回路に於て適當に分極される。非極性蓄電器はこのような二つの領域を背中合せに接続して作られる。この接合蓄電器は著しく電圧により左右されるがこの依存性は非極性の形状に於ては低電圧では左右される度合が低い。

抵抗及び蓄電器の設計は分布された抵抗-蓄電器回路網を形成するように結合される。これは第 3 図に示しここで n 型の導電型の拡散層 21 を有する p 型の導電型の薄板 20 は面上に広い面積の接触体 22 と又逆面に間隔とつた接触体 23 を備える。これらの回路網は低域滤波器、移相回路網、連結素子等に有用である。これらのパラメーターは上式から計算することができる。他の一般的な型の形状も又可能である。

トランジスタ及びダイオードは 1956 年ベル・システム・テクニカル・ジャーナル第 35 卷 23 頁のリーにより述べられている如く薄板上に形成される。この引用は第 4 図に示す如くコレクター領域 25、拡散 p-n 接合 26、ベース層 27、ベース層と整流接合を形成するエミッタ接触体 28、ベース及びコレクターの夫々の接触体 29, 30 を有する。このベース層 27 は小さな断面積のメサとして形成される。同じような設計のダイオードは第 5 図に示す。そしてこれは或る導電型の領域 35 とその間に形成された p-n 拡散接合と逆の導電型のメサ領域 36 と各側に対する接触体 37 及び 38 よりなる。

高い周波数使用に適當なるインダクタンスは半導体物質の螺条を示す第 5 図 a により明らかにされた如き半導体の形成により作られる。これは又前述した基礎設計概念を利用

して感光性、光抵抗性、太陽電池又その他同様な成分を備えることができる。

回路素子は单一の拡散層の語に於て説明されたが二重の拡散層構成を用いることも全く可能である。かくして二重の拡散は n-p-n 及び p-n-p 構造両方を形成するよう用いられるだろう。更に何らかの適當なる物質が半導体物質、導電型生成不純物、接触体物質に用いられる。即ち適當なそして既知の工程は前述の回路設計を成就するに利用され得る。

前述した回路設計は全部單一の物質、半導体から形成され得る故にそれら全部を拡散 p-n 接合を含む單一結晶半導体薄板或は接合に形作ることにより可能である。

トランジスタ、ダイオード及び蓄電器の接合区域は薄板上に適當に成型することにより形成される。

この道の技術に熟達した人にとつて回路成分はそれらの回路機能により分類され得ることは明らかであろう。しかし回路要素は本来能動的か受動的かどちらかであると考えられるかも知れない。

電子工学及び核工学の百科辞典、サーパッチャヤー著、ブレンタイス・ホール出版、によれば能動素子は電流発生器として働くインピーダンス回路網であるが、能動素子はそのようには働かないとされている。

能動素子の例は光電池及びトランジスタであり受動素子の例は抵抗、蓄電器及びコイルである。能動素子として通常用いられているダイオードは若し適當に偏倚され付勢されるならば能動蓄電器としての機能を有するのであろう。

本発明の原理を実施している電子回路の特別な説明は第 6 図 a に示されている。図に示す如く拡散 p-n 接合を含む單一結晶半導体物質の薄板は本質的にその薄板の一面に形成された完全にして組込まれたマルチバイブレーター電子回路を含むべく加工され成形されている。この薄板の区域は種々の区域に行なわれている。電子回路機能を示して記号にて示されている。第 6 図 b は第 6 図 a の薄板に占める關係に於て色々な回路機能の配線図を示す。更に從来は配線図は実際に用いられた回路値をもつて第 7 図に示されている。この第 6 図 a、第 6 図 b、第 7 図に示されたマルチバイブルレーター回路は必要とする工程技術の説明として示されている。まずなるべくは適當な比抵抗のシリコン或はゲルマニウムが望ましい半導体薄板は一側に覆われ磨かれている。この設計のため 3 オーム・センチメートルの P 型ゲルマニウムが用いられた。この薄板はそれから約 0.0178mm の深さ表面上に n 型の層を生成するアンチモニ-拡散工程を受ける。この薄板はそれから 5.08 × 2.03mm の適當な大きさに切られ磨かれない表面は 0.0635mm の厚さの薄板を与えるべく覆われる。

金張りコバル引出線 50 は適當な位置に薄板に合金化することにより接続される。コバルは鉄ニッケルコバルト合金の商品名である。金はそれからトランジスタベース接続及び蓄電器接触体の如き n 区域とオーミックな接觸をなす領域 51 ~ 54 を設けるためにマスクを通して蒸散される。アルミニウムは n 層と整流接觸を形成するトランジスタエミッタ領域 56 を備えるべく適當な形状をしたマスク

(4)

特公 昭40-13217

を通して蒸散される。

この薄板はそれからイーストマンコダック会社により出されているイーストマン光抵抗の如き感光抵抗かラッカーで被覆され光に対しネガを通して感光される。現像の後に残っているラッカー象は適當な形状に薄板をエッチするため抵抗として用いられる。特にこのエッチングは  $R_1$  と  $R_2$  と回路の他の部分との絶縁を行うため薄板を通してのスロットを形成する。そして又予め計算された形状に対する全部の抵抗の領域を形成する。そして化学的エッチングか電気的エッチングが用いられてもよい。しかし電気的エッチングの方がよいと思われる。

この段階の次に光抵抗は溶剤で取り除かれ、サ領域 60 は同じ写真工程により包まれる。この薄板は再びエッチ溶液に浸され、層は露出された領域に於て完全に取り除かれる。そして化学的エッチングが良いように思われるそしてそれからその光抵抗は取り除かれるのである。

金の線 70 はそれから接続と与えられた最終のエッチングを完全にするため適當な領域に熱的に接合される。金の線 70 を用いる作りに接続は何か他の方法で行なわれてもよい。例えば酸化シリコンの如き絶縁不活性物質が電気接続が行なわれる点を除いて完全に薄板を被覆するか或は電気的に接続されるべき点に接合する選ばれた部分のみを被覆するかするためにマスクを通して半導体回路薄板に蒸散されるかも知れない。金のような導電物質はそれから必要な電気回路接続を行なうために絶縁物質に縫隙されるかも知れない。

試験の後にこの回路は若し必要なら汚染から保護するために密封されてもよい。完結の装置は過去に提起された他の装置よりも大きさが数倍少ない。必要な組立段階が現在トランジスタを製造するに用いられている組立に全く似ているので、又必要な段階が比較的少ないので、これ

らの装置はコンパクトにして本来安価にして確実なるものである。

本発明の他の説明は第 8 図 a ~ 第 8 図 c に示す。単一の結晶半導体の各領域はそれが表わしている回路素子に記号を以つて記されている。このユニットは完全なる移相発振器を形成するため抵抗、トランジスタ抵抗一蓄電器分布回路網の利用を説明している。

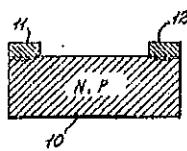
前述された二つの実施例は本発明の技術により組立てられ得る数えられない程の回路の二つのみである。この方法でためされ得る回路の組立ての複雑さには限界がない。しかし限られた空間にためされ得る成分の型及び値には限界がありこの発明は従来の技術に対し著しい改良を与えたものである。この技術に於ける利益の事実が本発明により達せられたので本発明に対し前以つて達成された最高の成分密度の  $1 \text{ ft}^3$  当り 50 万に比較して  $1 \text{ ft}^3$  当り 3 千万以上の成分密度まで達成することは可能である。

本発明は特別な実施例を以つて示したがここに示唆した発明着想が実際離れることなく変更及び変型が可能であることは明白である。従つてこのような変更及び変型は発明の範囲の中に入ると思料する。

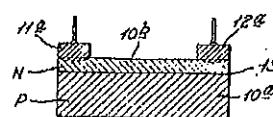
#### 特許請求の範囲

单一の結晶半導体薄板、該薄板の一つの主面に隣接し且該面まで延びる薄い領域を含む能動回路素子にして前記領域の各々は前記主面に於て終る接合によつて分離されている少くとも一つの能動回路素子、前記薄板の中で且前記主面に隣接した受動回路素子にして前記一つの主面に於ける前記能動回路素子から離間し前記薄板を構成要素とする少くとも一つの受動回路素子及び前記能動回路素子の薄い領域と、前記受動回路素子との間の薄板を通じて実質的に存在するインピーダンスとよりなることを特徴とする半導体装置。

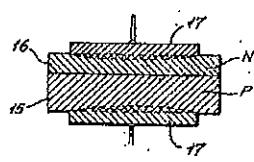
第1図



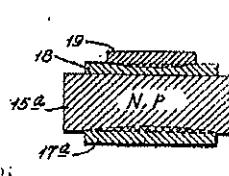
第1図 a



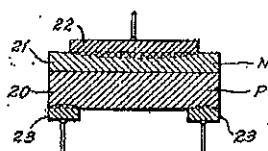
第2図



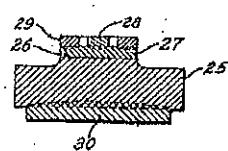
第2図 a



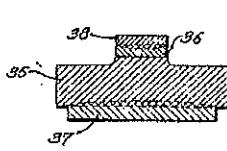
第3図



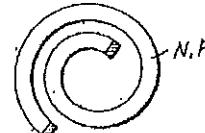
第4図



第5図



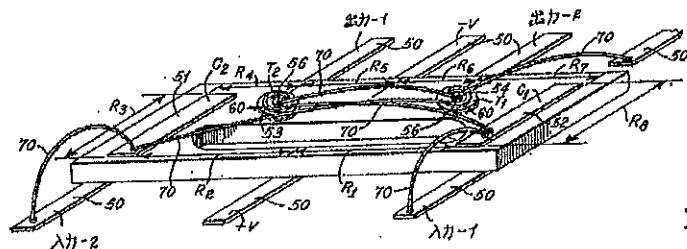
第5図 a



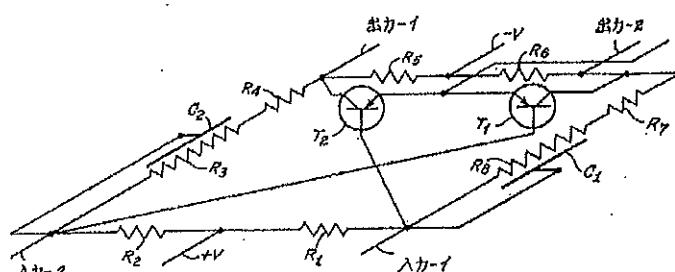
(5)

特公昭40-13217

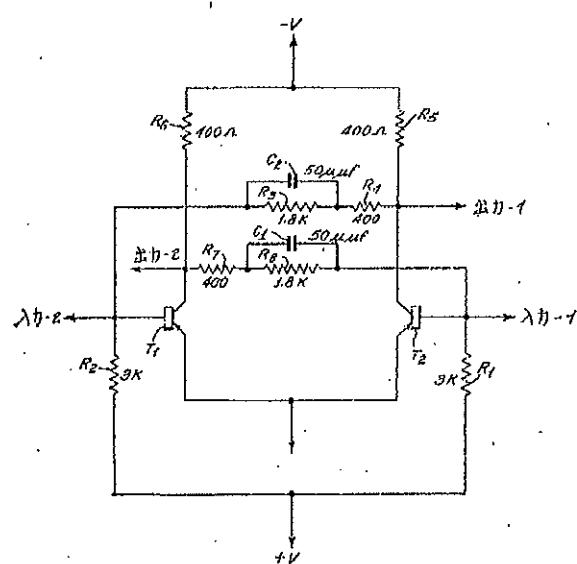
第6図 a



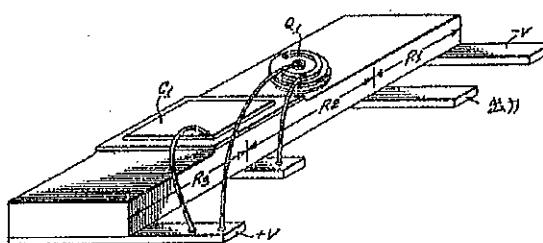
第6図 b



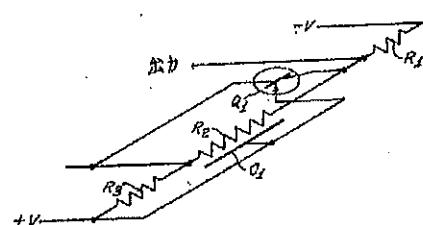
第7図



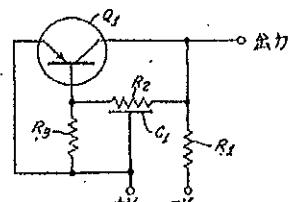
第8図 a



第8図 b



第8図 c



52 9.28

## 第6部門(1) 特許異議申立による公報の訂正 (昭和52年9月28日発行)

昭和35年特許願第3745号の明細書（特公昭40-13217号、<sup>(審)</sup>昭46-1号、昭40.6.26発行の特許公報6-778号掲載）は異議申立による補正に基いてその公報を下記のとおり訂正する。

-特許第320249号-

⑩日本国特許庁

⑪特許出願公告

## 特許公報

昭40-13217

⑫Int.Cl<sup>2</sup>

識別記号 ⑬日本分類

府内整理番号 ⑭公告 昭和40年(1965) 6月26日

99(5)H 0

発明の数 1

(全10頁)

1

⑮半導体装置

⑯特 願 昭35-3745

⑰出 願 昭35(1960)2月6日

優先権主張 ⑯1959年2月6日⑯アメリカ 5  
国⑯791602⑯1959年2月12日⑯アメリカ  
カ国⑯791602

⑯發明者 リチャード・フランク・スチュワート

アメリカ合衆国テキサス州リチャード・ソン・ソンブソン・ドライブ703

同 ジャック・セントクレア・キル比イ

アメリカ合衆国テキサス州ダラス・ミッドベリー・ドライブ7723

⑯出願人 テキサス・インスツルーメンツ・インコーポレーテッド

アメリカ合衆国テキサス州ダラス・レムモン・アベニュー6000

⑯代理 人 弁理士 中村稔 外4名

## 図面の簡単な説明

第1図乃至5a図は單一体の半導体物質の組立  
てられるため、或いはその部品を構成するものと  
しての色々の回路成分を示した図。第6a図は本  
発明に依るマルチバイブレーター回路を示した図。  
第6b図は第6a図と相応関係位置で第6a図の  
マルチバイブレーターを示した配線図。第7図は

従来の表現で第6a図のマルチバイブルーター回路を示した配線図。第8a図は本発明の原理に依る移相発振器を示した図。第8b図は第8a図と同じ相応関係位置の配線図。第8c図は移相発振器の図である。

## 発明の詳細な説明

本発明は单一の半導体薄板に一体化された能動及受動回路素子よりなる半導体装置に係る。

電子回路を小型化する技術及びその方法は過去に於いて提起されていた。まづ最初にこの努力の大部分は回路成分の大きさを小さくすることと、それらをもつと密接にまとめる事に向けられていた。回路成分の大きさの縮少をすると云う努力は尚も続いているが殆んど限界に達してしまつていて、そして次に单一の基体に成分を形成する技術を多かれ少なかれ用いる事に依り、又或いは回路パック内で密着する様に均一の大きさ形状をもつた回路成分を作る事に依るか、或いは回路成分の保護被覆の除去に依るかして電子回路の大きさの縮少への努力がなされた。

これらの方法及び技術は完全な回路を組立てての場合に非常に多くの数と種類との操作を必要とする。例えば全回路成分中、抵抗は普通形成するに最も簡単なものと考えられているが従来の技術で

小型化しようとした場合、その組立ては少くとも次の様な工程段階を必要とするのである。

- a 基体の形成
- b 基体の準備
- c 端子の取付
- d 抵抗物質の準備

昭 52 9.28 発行

(2)

特公 昭40-13217

3

- e 抵抗物質の取付
- f 抵抗物質の熱処理
- g 抵抗体の保護或いは安定化

蓄電器、トランジスタ、ダイオードが小型化に用いられる時はこれら各々は少くともそれらの組立てに多くの工程段階を必要とする。抵抗の保護に望ましい処理は他の素子を損傷する。

蓄電器或いはトランジスタの如きそして完全回路の大きさが縮少されているからこの様な相容れない処理或いは相互作用は重要な問題となつて来る。相互作用は成分を別々に形成しそれから完全なるパック内にまとめる事に依り少なくなるが、その集全体の作用はもつと感度よい成分を害する事になるだろう。

必要な操作の数が多いために小型化回路組立ての制御は非常に困難なものになる。これを説明するにたくさんの原料がそれらが良く理解されないとしても評価し且つ管理されなければならない。又多くの試験操作を必要とし、各工程から得られる歩留まりは高くとも、多数の工程を要するものであるから最終的な歩留まりは屢々ごく低くなる。

実際にはこの様な複雑な方法に依り作られた回路の信頼性は必要とされた制御が非常に多いために全く低いものである。又更に個々の成分の別々の形成は各成分に対して個々の端子付を必要とする。これらの端子付は最終的に導電性塗料の点の様に小さくなるかも知れない。然しながらこれらは回路の利用され得る面積又は体積の大部分を占め不整列による回路の故障或いは不電導の附加的な原因となるかも知れない。

過去になされた小型化に対して本発明は小型化に対する新規にして全く異つた概念から生じた。既知の技術の示唆を全く離れて小型化が少ない物質と、可能な操作を使用して得られる事が本発明に依り提起されたのである。本発明の原理に依れば回路小型化の終局は全回路素子にたゞ1つの物質を使用し且つそれの製作にも盾のない或る限度の工程を用いて達成された。

本発明によれば、上記はN型もしくはP型いづれか一つの型の導電型を示す单一半導体物質の本体を使用して適当な導電型の拡散領域を形成しその拡散領域と半導体との間或は拡散領域自体間にP-N接合を形成することにより達成される。本発明の原理に依れば全電子回路の成分は以降に詳

4

細に説明される技術の適用に依り特徴づけられる様に本体に組立てられてもよい。回路の成分が半導体物質の本体の中に組合され且つその1部を形成している事は注意するべき事である。

5 本発明に依れば電子回路の能動及受動成分或いは回路素子は半導体の薄板の一面或いはその近くに形成される。本発明に於て重要なことは成形の思想である。この成形の着想は回路に於て各素子間の必要なる絶縁を得、且つ素子を固定することを可能ならしめる。或いは換言すれば与えられた成分に利用される区域を決定することが可能である。成形は与えられた回路に於いて幾多の異つた方法の1つ或いはそれ以上で完成される。これらの方法としては、半導体材料を部分的に除去することにより半導体材料を細長いL形、U形等の形状にすること、真性半導体材料に不純物を拡散することによつて該材料を選択的に変換し抵抗の小さな電流流路を形成すること、或いは一つの導電型の半導体材料を逆の導電型に選択的に変換しこれによつて形成されたP-N接合が電流障壁として働くようによることなどがある。いずれにしても成形の効果は、電流流路を定めるか、電流流路を制限するかして、單一の半導体材料薄板においては従来得られなかつた回路の製造を可能にすることである。その結果、得られる回路は本質的に平面状に配置されることになる。処理工程中に半導体材料薄板の成形を行ない、拡散により希望の各種回路素子を適當な関係で製造することが可能である。

30 本発明の効果は製造製作上満足なものであり且つマスタキング、エッティング及拡散の様な限定された両立性ある工程が一平面から成し得るので大量生産に適する事であり、更に能動及受動回路素子の電気的接続の態様が融通性に富み従つて回路が多種多様に出来ると云う点にある。

本発明の目的は各成分の間に必要なる絶縁を得且つ上記成分により利用される区域を決定すべく半導体物質の薄板を適当に成形する事に依り所望の回路を作製することである。更に本発明の他の目的及効果は上述した如く組合はせそれに依り結末の電子回路は実質的に既知の技術を用いて出現した回路パックよりより小さく、よりコンパクトであり、より簡単なる独特の小型化電子回路を提供することである。

2

昭 52 9.28 発行

(3)

特公 昭40-13217

5

更に本発明の他の目的及効果はこの目的のために用いられた技術よりもより少ない工程を含む新規なる小型化電子回路を提供することである。

本発明の他の目的及効果は添付せる図面に関連した本発明の実施例の以下の詳述に依り更に容易に明確になることであろう。

図面に就いて詳細に説明すると本発明の実施例は本発明の原理をより良い理解のために詳細に説明し又色々な形態及び実施例はよく理解されるだろう。

前述の様に本発明は電子回路の小型化に本質的に関するものである。又前述の様に本発明は適当に成形されそして拡張された p-n 接合か接合かを形成された半導体物質の本体の利用と、中に組込まれるか上記半導体物質の本体の部分を構成され得る色々な回路素子或いは成分に対し設計された成分の利用を企図している。

第1図乃至第5a図は種々の回路素子を詳細に示し之は半導体物質の本体の中に組込まれる。該半導体物質の本体は单一の結晶構造をなしており適當なる半導体物質の組成である事を注意すべきである。こゝには例として適當な物質の例としてゲルマニウム、シリコン、砒素化カリウムの如き金属間化合物、アルミニウムアンチモン化物、インジウムアンチモン化物、及び其の他を示してある。

第1図を参照すれば单一結晶半導体物質の本体内に組込まれるかも知れない抵抗の典型的な設計を示してある。

第1図に示す如く、この設計は n 型か p 型かの導電型を半導体物質の本体 10 の大部分の抵抗を利用することを企図している。接点 11 及び 12 は本体 10 の 1 面にオーミックに作られ所望の抵抗をもつて充分な距離だけ離間してある。既知の技術の 1 つにより明白なる如くオーミック接続は利用し得る方向を流れる電流に対する抵抗の項に於いて対称性及び直線性を表わす。若し 2 つの抵抗が一緒に接続さるべきものとすれば共通点に対して別々の端子付けを設ける事は必要である。この抵抗は

$$R = \rho \frac{L}{A}$$

なる式から算出することが出来る。

6

ここで  
L は長さ、

A は断面積、  
 $\rho$  は半導体物質の比抵抗を単位オーム・センチメートルで表わしたものである。

第1図に示す抵抗に付加して抵抗が第1a図に示す如く組込まれそして半導体物質の本体の 1 部を形成する様に設けてある。第1a図に於いて本体 10a に形成された n 型領域 10b をもつた p 型半導体物質の本体 10a が示されている。もちろん本体 10a と領域 10b の間に数字 13 で示す p-n 接合がある。接点 11a と 12a は領域 10b の 1 面に作られ所望の抵抗を成立させるために相互に離している。第1図に於ける如く接点 11a と 12a は領域 10b に対しオーミックな接觸である。第1a図の方法に於いて形成された抵抗は幾多の重要な利点を有する。まづ p-n 接合 13 は n 型領域 10b から p 型の本体 10a の中の電流の障壁を設ける。かくして電流は接点の間の n 型の領域 10b に於ける電流流路を決定する。第2の利点は全抵抗値が大きい範囲に調節されることである。この全抵抗値は p-n 接合を通してエッティングしない様に充分注意し又該 p-n 接合 13 までか或いは通つて選択的にエッティングしそれに依り接点の間の電流に依り流れる通路の長さを効果的に増加することに依り n 型領域 10b の一番上の部分が取除かれるまで全面にわたつて非常に軽くエッティングすることに依り調節される。

第3に、多分これは大部であろうが第1a図に依る抵抗を形成する場合の利点であるが抵抗に更に以下のかつ殆ど一定の温度係数を抵抗がもち n 型領域 10b のドーピングレベル或いは不純物濃度を調節することに依り第1a図に依る抵抗を成形する利点である。上述の説明は p 型の本体 10a と n 型の領域 10b に存するが本体 10a は n 型の導電型で領域 10b は p 型の導電型であり得ることは明白である。

蓄電器の設計は第2図に示す如く p-n 接合を利用して利用することに依り得られる。こゝで p 型導電型の半導体薄板 15 は n 型の拡散層 16 を含んで示されている。オーミックの接触体 17 は薄板 15 の両面に作られている。拡散された接合の容量は

52 9.28

(4)

特公 昭40-13217

7

$C = A E \left( \frac{q a}{12 \text{EV}} \right) \%$  の式で与えられる。ここで A は接合の面積を平方センチで表わしたものであり、E は誘電体定数、q は電荷、a は不純物密度変化率、V は印加電圧である。

第 2 図の蓄電器の代りに半導体物質の単一結晶の本体に於ける容量は図に示す様に設けられ第 2 a 図に関連して述べられている。第 2 a 図は n 型或いは p 型の導電型かどちらかの半導体物質の本体 15 a を示してある。そして蓄電器の 1 極板 10 を構成する。本体 15 a に上に蒸着された層 18 は蓄電器の誘電体層を設ける。この層 18 が適當な誘電体定数をもち半導体本体 15 a を接觸している時不活性であることは必要なことである。酸化シリコンは誘電体層 18 に適當な物質で本体 15 b に熱酸化技術が蒸着に依り用いられる。極板 19 は蓄電器の他の極板を形成しこれは層 18 に導電物質を蒸着することに依り設けられる。金及びアルミニウムは極板 19 に満足な物質であると分つた。オーミックな接点 17 a は半導体物質 15 a の本体に対し作られ極板 19 に対する接点は図示しない適當な電気接点に依り構成される。第 2 a 図に關して述べた方法に於いて形成された蓄電器は純粹な接合蓄電器即ち p-n 接合蓄電器よりも安定な特性を示す事が判明した。

第 2 図の方法に於いて形成された蓄電器は又ダイオードでもある。そして従つて回路に於いて適当に分極される。非極性蓄電器はこの様な 2 つの領域を背中合せに接続して作られる。この接合蓄電器は著しく電圧に依り左右されるがこの依存性は非極性の形状に於いては低電圧では左右される度合が低い。

抵抗及び蓄電器の設計は分布された抵抗-蓄電器回路網を形成する様に結合される。これは第 3 図に示してある n 型の導電型の拡散層 21 を有する p 型の導電型の薄板 20 は面上に広い面積の接觸体 22 と又逆面に間隔とつた接觸体 23 を具備する。これらの回路網は低域渦波器、移相回路網、連結素子等に有用である。これらのパラメーターは上式から計算することが出来る。他の一般的な型の形状も又可能である。

トランジスタ及びダイオードは 1956 年ベル・システム・テクニカル・ジャーナル第 35 卷 23 頁のリー (Lee) に依り述べられている如く薄板

8

上に形成される。この引用は第 4 図に示す如くコレクター領域 25、拡散 p-n 接合 26、ベース層 27、ベース層と整流接合を形成するエミッタ接觸体 28、ベース及びコレクターの夫々の接觸体 29, 30 を有する。このベース層 27 は小さな断面積のメサとして形成される。同じ様な設計のダイオードは第 5 図に示す。そしてこれは或る導電型の領域 35 とその間に形成された p-n 拡散接合と逆の導電型のメサ領域 36 と各領に対する接觸体 37 及び 38 より成る。

高い周波数使用に適當なるインダクタンスは半導体物質の螺条を示す第 5 a 図により明らかにされた如き半導体の形成に依り作られる。これは又上述した基礎設計概念を利用して感光性、光抵抗性、大陽電池又其の他同様な成分を具備する事が出来る。

回路素子は单一の拡散層に関して説明されたが二重の拡散層構成を用いる事も全く可能である。二重の拡散は n-p-n 及び p-n-p 構造両方を形成する様に用いてもよい。更に何らかの適當なる物質が半導体物質、導電性生成不純物、接點物質に用いられ得る。即ち適當なそして既知の工程が上述の回路設計を達成するに利用され得るのである。

25 上述した回路設計は全部單一の物質、すなわち半導体から形成され得る故に、それら全部を、拡散 p-n 接合を含む單一結晶半導体薄板に適當な回路及び適正な成分値をもつ様に 1 体化して形作る事が可能である。

30 トランジスタ、ダイオード及び蓄電器の接合区域は薄板上に適當なメサを成形することにより形成される。

此の道の技術に熟達した人にとつて回路成分はそれらの回路機能に依り分類され得ることは明らかであろう。而して回路要素は本来能動的か受動的かどちらかであると考えられるかも知れない。

電子工学及び核工学の百科辞典 (Encyclopedic Dictionary of Electronics and Nuclear Engineering)、サーパッチャー (Sarbacher) 著、プレンタイス ホール (Prentice Hall) 出版、によれば能動素子はインピーダンス回路網に於て電流発生器として働くものであるが、受動素子はその様には働くないとされている。能動素子の例は光電池及びトランジスタであり

4

52 9.28

(5)

特公 昭 40-13217

9

受動素子の例は抵抗、蓄電器及びコイルである。受動素子として通常用いられているダイオードは若し適当に偏倚され附勢されるならば能動蓄電器として働く。

本発明の原理を実施している電子回路の特別な説明は第6a図に示されている。図に示す如く拡散p-n接合を含む単一結晶半導体物質の薄板は本質的にその薄板の1面に形成された完全にして組込まれたマルチバイブレーター電子回路を含むべく加工され成形されている。この薄板の区域は種々の区域に行なわれている。電子回路機能を示して記号にて示されている。第6b図は第6a図の薄板に占める関係に於いて色々な回路機能の配線図を示す。更に従来は配線図は実際に用いられた回路値をもつて第7図に示されている。この第6a、第6b、第7図に示されたマルチバイブルーター回路は必要とする工程技術の説明として示されている。まづなるべくは適当な比抵抗のシリコン或いはゲルマニウムが望ましい半導体薄板は1側に覆はれ磨かれている。この設計のため3オーム・センチメートルのp型ゲルマニウムが用いられた。この薄板はそれから約0.0178mmの深さ表面上にn型の層を生成するアンチモニー拡散工程を受ける。この薄板はそれから5.08×2.03mmの適当な大きさに切られ磨かれない表面は0.0635mmの厚さの薄板を与えるべく覆われる。

金張りゴバル引出線50は適当な位置に薄板に合金化する事に依り接続される。コバルトは鉄ニッケルーゴバルト合金の商品名である。金はそれからトランジスタベース接続及び蓄電器接触体の如きn区域とオーミックな接触をなす領域51-54を設けるためにマスクを通して蒸着される。アルミニウムはn層と整流接触を形成するトランジスタコミツタ領域56を備えるべく適当な形状としたマスクを通して蒸着される。

この薄板はそれからイーストマンコダック会社により出されているイーストマン光抵抗の如き感光抵抗かラツカーで被覆され光に対しネガを通して感光される。現像の後に残つてあるラツカーラは適当な形状に薄板をエッチするために抵抗として用いられる。特にこのエッチングはR<sub>1</sub>とR<sub>2</sub>と回路の他の部分との絶縁を行つため薄板を通してのスロットを形成する。そして又予め計算された

形状に対する全部の抵抗の領域を形成する。そして化学的エッティングか電気的エッティングが用いられてもよい。しかし電気的エッティングの方がよいと思われる。

この段階の次に光抵抗は溶剤で取り除かれメサ領域60は同じ写真工程により包まれる。この薄板は再びエッチ溶液に浸されn層は露出された領域に於いて完全に取り除かれる。そして化学的エッティングが良い様に思われるそしてそれからその光抵抗は取り除かれるのである。

金の線70はそれから接続と与えられた最終のエッティングを完全にするため適当な領域に熱的に接続される。金の線70を用いる代りに接続は何か他の方法で行なわってもよい。例えば酸化シリコンの如き絶縁不活性物質が電気接続が行なわれる点を除いて完全に薄板を被覆するか或いは電気的に接続されるべき点に接合する選ばれた部分のみを被覆するかするためマスクを通して半導体回路薄板に蒸着されるかも知れない。金の様な導電物質はそれから必要な電気回路接続を行なうために絶縁物質に被覆してもよい。

試験の後にこの回路は若し必要なら汚染から保護するために密封されてもよい。完結の装置は過去に提起された他の装置よりも大きさが数桁少ない。必要な組立段階が現在トランジスタを製造するに用いられている組立に全く似ているので、又必要な段階が比較的少ないために、これらの装置はコンパクトにして本来安価にして確実なるものである。

本発明の他の説明は第8a-第8c図に示す。単一の結晶半導体の各領域はそれが表はしている回路素子に記号を以つて記されている。このユニットは完全なる移相発振器を形成するため抵抗、トランジスタ抵抗-蓄電器分布回路網の利用を説明している。

上述された2つの実施例は本発明の技術に依り組立てられ得る数えられない程の回路の2つのみである。この方法で為され得る回路の組立ての複雑さには限界がない。しかし限られた空間に為され得る成分の型及び値には限界がありこの発明は従来の技術に対し著しい改良を与えたものである。この技術に於ける利益の事実が本発明により達せられたので本発明に対し前以つて達成された最高の成分密度の1立方フィート当たり50万に比較し

5

昭 52 9.28 発行

(6)

特公 昭 40-13217

11

て 1 立方フィート当り 3 千万以上の成分密度まで達成することは可能である。

本発明は特別な実施例を以つて示したがここに示唆した発明着想が實際離れる事なく変更及び変型が可能であることは明白である。従つてこの様な変更及び変型は発明の範囲の中に入ると思料す  
る。

④特許請求の範囲

- 1 I、单一の結晶半導体薄板、
- II、該薄板の 1 つの主面に隣接し且つ該面まで延びる薄い領域を含み、該領域は上記 1 つの主面と他の主面との間の薄板内に形成されている能動回路素子にして、上記領域の各々は上記主面

12

において終る接合によつて分離されている少くとも 1 つの能動回路素子、

III、上記薄板の中で且つ上記主面に隣接した受動回路素子にして、上記能動回路素子から離間し上記薄板を構成要素とする少くとも 1 つの受動回路素子、

IV、及び、上記能動回路素子の薄い領域と上記受動回路素子との間の薄板を通じて実質的に存在し、それら両者を接続する薄板の半導体材料自体により形成され、両者間の必要な絶縁を与えるインピーダンス、

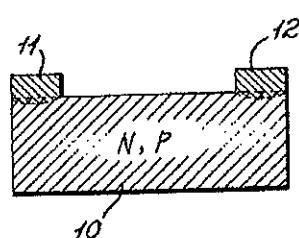
とよりなることを特徴とする半導体装置。

52 9.28

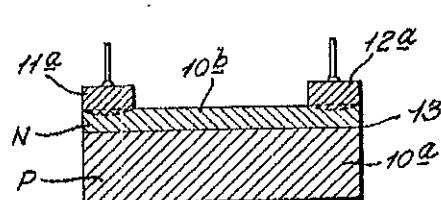
(7)

特公 昭 40-13217

第1図

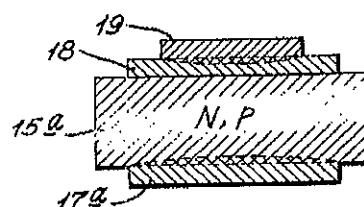
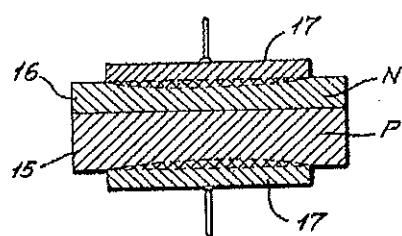


第1a図



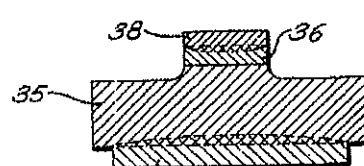
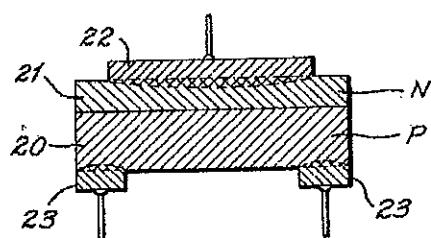
第2a図

第2図



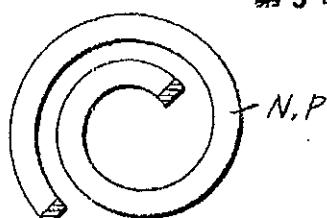
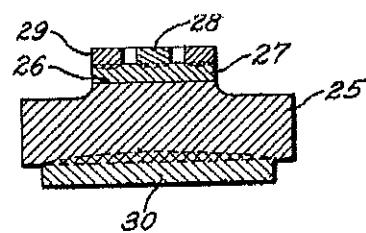
第5図

第3図



第5a図

第4図

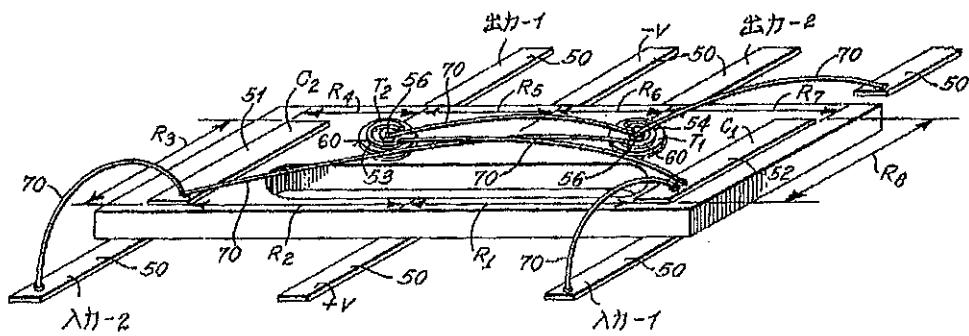


52928

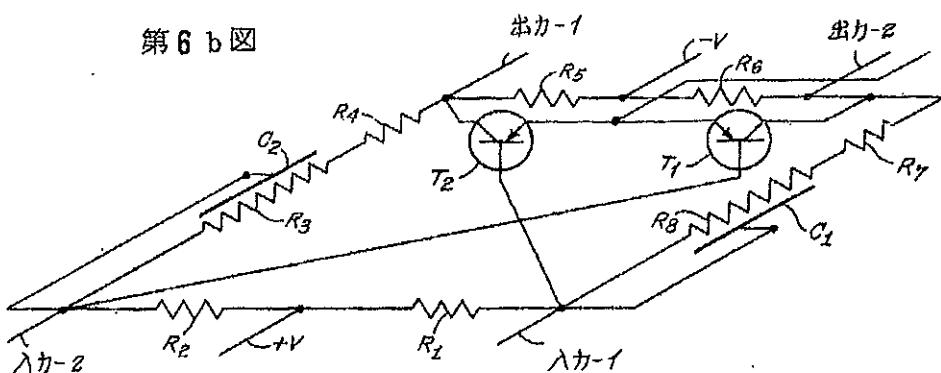
(8)

特公 昭40-13217

第6 a図



第6 b図

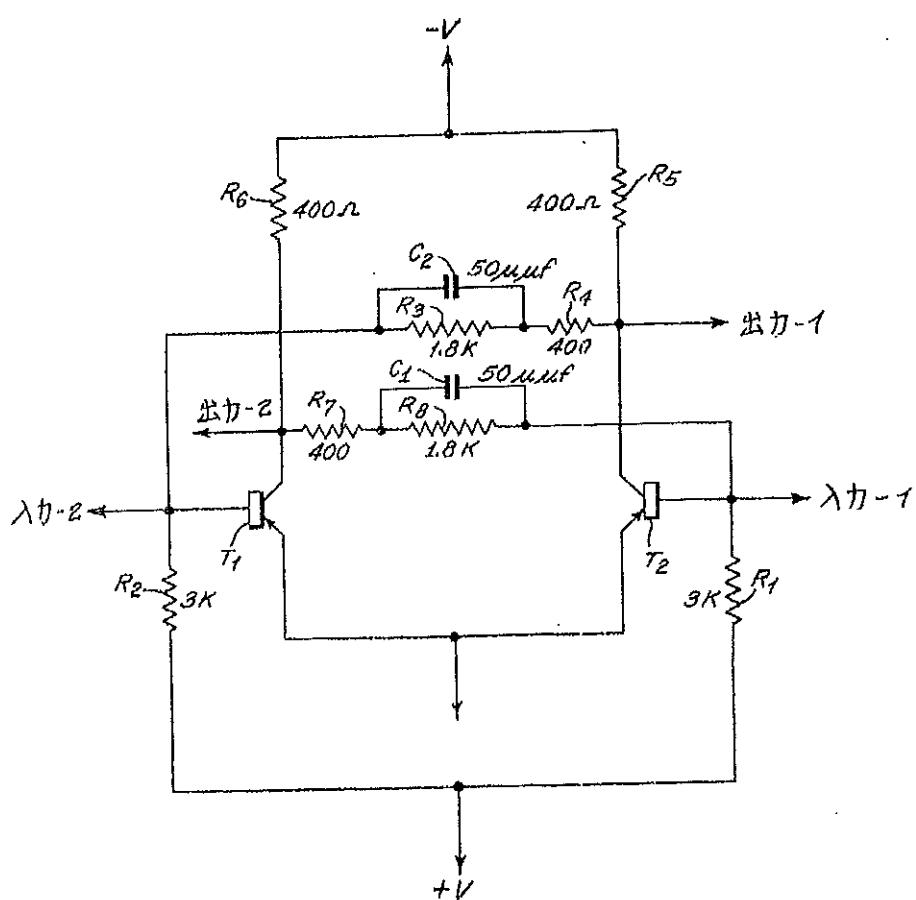


昭 52 9.28 発行

(9)

特公 昭 40 - 13217

第7図

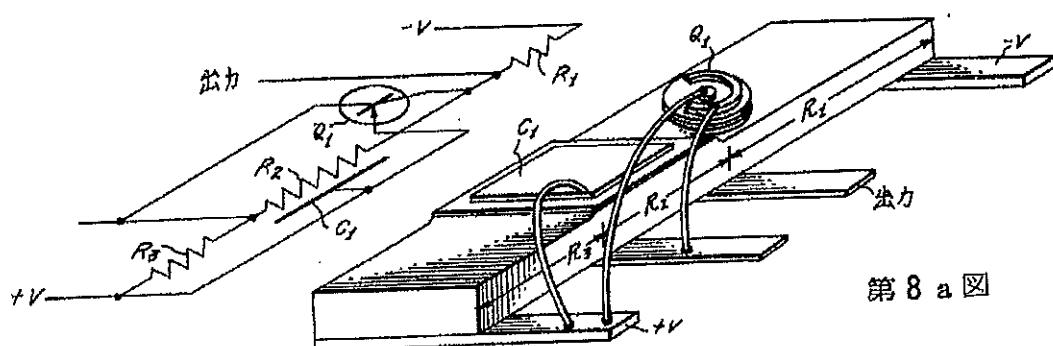


昭 52.9.28 発行

(10)

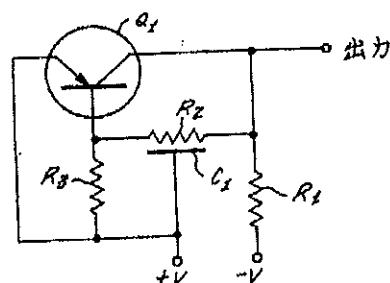
特公 昭 40 - 13217

第8 b図



第8 a図

第8 c図



89(5) G 21

特許庁

特許出願公告

特許公報

昭40-26978

公告 昭 40.11.25

(全3頁)

## 半導体装置

特 願 曜 39-20618  
 出 願 日 曜 35.2.6  
 優先権主張 1958.2.26 (アメリカ国) 791602  
 特 願 曜 38-3827分割  
 発明者 ジャック・セント クレア キルビイ  
 アメリカ合衆国、テキサス州、ダラス、ミ  
 ッドベリー、ドライブ、7728  
 出 願 人 テキサス、インスツルーメンツ インコー  
 ポレーテッド  
 アメリカ合衆国テキサス州、ダラス、レム  
 モン アベニュー、6000  
 代 表 者 アール、ユー、オルソン  
 代 連 人 弁理士 中松潤之助

## 図面の略解

第1～5図aは單一體の半導体物質に1体化され、或い  
 はその部分を構成する色々の回路成分を示した図で特に第  
 2図aは他の図に示した何れかの回路成分と1体化されて  
 もよい本発明に依るキヤバシターを示した図である。

## 発明の詳細なる説明

本発明は少く共一つがキヤバシタである複数箇の回路素  
 子を中心或いは上に有する半導体物質より成る半導体装置に  
 係るものである。

本発明の特別な概念に於いては電気回路の成分は半導体  
 の比較的薄い板か或いはその1面近くに形成される。本発  
 明に於いて重要なことは成形の思想である。この成形の  
 着想は回路に於いて各成分間の必要な絶縁を得て、成分  
 を決定する事が可能である。或いは換言すれば与えられた  
 成分に利用される区域を決定することが可能である。成形  
 は与えられた回路に於いて幾多の異つた方法の一つ或いは  
 それ以上で完成される。これらの色々な方法は半導体物質  
 の部分の実際的な除去を含みL型、U型等の長い狭い半導  
 体物質の形状と、電流流通のための低抵抗性流路を設ける  
 ため不純物の拡散に依る真の半導体物質の選択的転換と、  
 或る導電型の半導体物質を逆の導電性へ選択的に変換し、そ  
 れに依り形成されたp-n接合が電流の障壁として働く事に  
 依り特徴づけられている。如何なる場合にも成形の効果  
 は電流に対し直線的にするか制限するかし半導体物質の單  
 一の薄板に於いて他の方法では得られない回路の組立を得  
 せしむるのである。結果としては最終の回路は本質的に平  
 面状に配備せられる。薄板を工程中に成形し且拡散に依り  
 所望されそして適當な関係で色々な回路素子を生成すること  
 とは可能である。

本発明の他の目的及び効果は図面に関連した本発明の実  
 施例の以下の詳述に依り更に容易に明確になることであら

う。

図面に就いて詳細に説明すると本発明の実施例は本発明  
 の原理をより良い理解のために詳細に説明し又色々な形態  
 及び実施例はよく理解されるだろう。

前述の様に本発明は電気回路の小型化に本質的に關する  
 ものである。又前述の様に本発明は適当に成形されそして  
 拡散されたp-n接合が接合かを形成された半導体物質の本体の  
 利用と、中に組込まれるか前記半導体物質の本体の部分を構成され得る色々な回路素子或いは成分に対し設計  
 された成分の利用を企図している。

第1～5図は回路素子を詳細に示しこれは半導体物質の本体  
 の中に1体化される。該半導体物質の本体は單一の結晶構造をなしておらず適当なる半導体物質の組成である事を  
 注意すべきである。ここには例として適當な物質の例として  
 ゲルマニウム、シリコン、砒素化ガリウムの如き金属間化合物、アルミニウムアンチモニ化物、インデュームアンチモニ化物、及び其の他を示してある。

第1図を参照すれば單一結晶半導体物質の本体内に第2  
 図aに示す蓄電器と1体化されるかも知れない抵抗の典型的  
 的な設計を示してある。

第1図に示す如く、この設計はn型かp型かの導電型を  
 半導体物質の本体10の大部分の抵抗を利用する事を企  
 図している。接点11及び12は本体10の1面にオーミック  
 に作られ所望の抵抗をもつに充分な距離だけ離隔してあ  
 る。既知の技術の一つにより明白なる如くオーミック接続  
 は利用し得る方向を流れる電流に対する抵抗の項に於いて  
 対称性及び直線性を表わす。若し二つの抵抗が一諸に接続  
 さるべきものとすれば共通点に対して別々の端子付けを設  
 ける事は不要である。この抵抗は

$$R = \rho \frac{L}{A} \text{なる式から算出することが出来る。}$$

ここで

$L$ は極で表わした作用長さ、

$A$ は断面積、

$\rho$ は半導体物質の比抵抗を単位オームセンチメートル  
 で表わしたものである。

第1図に示す抵抗に付加して抵抗が第1図aに示す如く  
 第2図aに示す蓄電器と1体化されそして半導体物質の本  
 体の1部を形成する様に設けてある。第1図aに於いて本  
 体10aに形成されたn型領域10bをもつたp型半導体物質  
 の本体10aが示されている。もち論本体10aと領域10bの  
 間には数字13で示すp-n接合がある。接点11aと12aは  
 領域10bの1面に作られ所望の抵抗を成立させるために相  
 互に離している。第1図に於ける如く接点11aと12aは領  
 域10bに対しオーミックな接觸である。第1図aの方法に  
 依り形成された抵抗は幾多の重要な利点を有する。まず  
 p-n接合13はn型領域10bからp型の本体10aの中  
 への電流の障壁を設ける。かくして電流は接点の間のn型

(2)

特公昭40-26978

の領域 10b における電流流路を決定する。第 2 の利点は全抵抗値が大きい範囲に調節されることである。この全抵抗値は p-n 接合を通してエッティングしない様に充分注意し又該 p-n 接合 13 までか或いは通つて選択的にエッティングしそれに依り接点の間の電流に依り流れる通路の長さを効果的に増加することに依り n 型領域 10b の一番上の部分が取除かれるまで全面にわたつて非常に軽くエッティングすることに依り調節される。

第 3 に、多分これは大部であろうが第 1 図 a に依る抵抗を形成する場合の利点であるが抵抗に更に以下且殆ど一定の温度係数を抵抗がもち n 型領域 10b のドッピングレベル或いは不純物濃度を調節することに依り第 1 図 a に依る抵抗を成形する利点である。前述の説明は p 型の本体 10a と n 型の領域 10b に存するが本体 10a は n 型の導電型で領域 10b は p 型の導電型であり得ることは明白である。

蓄電器の設計は第 2 図に示す如く p-n 接合を利用するこに依り得られる。ここで p 型導電型の半導体薄板 15 は n 型の拡散層 16 を含んで示されている。オーミックの接触体 17 は薄板 15 の逆面に作られている。拡散された接合の容量は  $C = AE \left( \frac{qa}{12EV} \right) 1/3$  の式で与えられる。ここで A は接合の面積を平方cm で表わしたものであり、 E は誘電体定数、 q は電荷、 a は不純物密度変化率、 V は印加電圧である。

本発明においては第 2 図の蓄電器の代りに半導体物質の単一結晶の本体に於ける容量は第 2 図 a に示す如く改良されている。第 2 図 a は n 型或いは p 型の導電型かどちらかの半導体物質の本体 15a を示してある。そして蓄電器の 1 極板を構成する。本体 15a に上に蒸散された層 18 は蓄電器の誘電体層を設ける。この層 18 が適当な誘電体定数をもち半導体本体 15a を接觸している時不活性であることは必要なことである。酸化シリコンは誘電体層 18 に適当な物質で本体 15a に熱酸化技術か蒸散に依り用いられる。極板 19 は蓄電器の他の極板を形成しこれは層 18 に導電物質を蒸散することに依り設けられる。金及びアルミニウムは極板 19 に満足な物質であると分つた。オーミックな接点 17a は半導体物質 15a の本体に対し作られ極板 19 に対する接点は図示しない適当な電気接点に依り構成される。第 2 図 a に關して述べた方法に於いて形成された蓄電器は純粹な接合蓄電器即ち p-n 接合蓄電器よりも安定な特性を示す事が判明した。

第 2 図の方法に於いて形成された蓄電器も又ダイオードである。そして從つて回路に於いて適当に分極される。非極性蓄電器はこの様な二つの領域を背中合せに接続して作られる。この接合蓄電器は著しく電圧に依り左右されるがこの依存性は非極性の形状に於いては低電圧では左右される度合が低い。

本発明の例示として抵抗及び蓄電器の設計は第 2 図 a の蓄電器を利用して分布された抵抗-蓄電器回路網を形成す

る様に結合される。これは第 3 図に示してこの酸化シリコン層 21 を有する p 型の導電型の薄板 20 は面上に広い面積の接觸体 22 と又逆面に間隔とつた接觸体 23 を具備する。これらの回路網は低域濾波器、移相回路網、連結素子等に有用である。これらのパラメーターは前式から計算することが出来る。この一般的な型の形状も又可能である。第 2 図 a の蓄電器は他の一つ以上の回路素子とも 1 体化され得ることも注意すべきである。

第 2 図 a の蓄電器と 1 体化するトランジスタ及びダイオードは 1956 年ベル・システム・テクニカル・ジャーナル第 35 卷 23 頁にリー (Lee) に依り述べられている如く薄板上に形成される。この引用は第 4 図に示す如くコレクター領域 25、拡散 p-n 接合 26、ベース層 27、ベース層と整流接合を形成するエミッタ接觸体 28、ベース及びコレクターの夫々の接觸体 29, 30 を有する。このベース層 27 は小さな断面積のメザンとして形成される。同じ様な設計のダイオードは第 5 図に示す。そしてこれは或る導電型の領域 35 とその間に形成された p-n 拡散接合と逆の導電型のメザン領域 36 と各領域に対する接觸体 37 及び 38 より成る。

トランジスタ、ダイオード及び蓄電器の接合区域は薄板上に適当に「メザン」を成型することに依り形成される。

第 2 図 a の蓄電器と 1 体化する高い周波数使用に適當なる小インダクタンスは半導体物質の線条を示す第 5 図 a により明らかにされた如き半導体の形成に依り作られる。これは又前述した基礎設計概念を利用して感光性、光抵抗性、太陽電池又其の他同様な成分を第 2 図 a の蓄電器と 1 体化する事が出来る。

回路素子は单一の拡散層の語に於いて説明されたが二重の拡散層構成を用いる事も全く可能である。かくして二重の拡散は n-p-n 及び p-n-p 構造両方を形成する様に用いられるだろう。更に何らかの適當なる物質が半導体物質、導電型生成不純物、接觸体物質に用いられ得る。即ち適當なそして既知の工程は前述の回路設計を成就するに利用され得る。

前述した回路設計は全部單一の物質、半導体から形成され得る故にそれ等全部を或は若干を單一結晶半導体懸板或いは接合に第 2 図 a の蓄電器と一諸に 1 体化する事が可能である。

本発明は特別な実施例を以つて示したがここに示唆した発明着想が實際離れる事なく変更及び変型が可能であることは明白である。従つてこの様な変更及び変型は発明の範囲の中に入ると思料する。

#### 特許請求の範囲

キヤバシタ及び一つ以上の他の回路素子の電気的性質を発する様に用いられた分離領域を中或いは上に有する單一の結晶半導体物質より成り、前記キヤバシタは前記半導体物質の 1 部より成る 1 極板と、前記 1 極板上の酸化シリコン誘電体物質と、該誘電体物質上の導電物質より成る他の極板とを具備する半導体装置。

99(5) H 0

## 特許公報

特許出願公告

昭40-14383

公告 昭 40. 7. 8

(全 6 頁)

## 半導体装置

特 願 昭 39-4683  
 出 願 日 昭 35.2.6  
 優先権主張 1959.2.6(アメリカ国)791602  
 1959.2.12( 同 )792840

特 願 昭 35-3745の分割  
 発 明 者 リチャード フランク スチュワート  
 アメリカ合衆国テキサス州 リチャードソン  
 ソン ソンブソン、ドライブ 703

同 ジャック、セントクレア、キルビイ  
 アメリカ合衆国テキサス州 ダラス ミッドベリー、ドライブ7723

出 願 人 テキサス、インスツルーメンツ インコーポレーテッド  
 アメリカ合衆国テキサス州 ダラス レムモント アベニュー6000

代 理 人 弁理士 中松潤之助

## 図面の略解

第1～5図aは單一體の半導体物質に組立てられ、或いはその部分を構成するものとして一体化された色々の回路成分を示した図。第6図aは本発明に依る組立てられたマルチバイブレーター回路を示した図。第8図bは第6図aと相応関係位置で第6図aのマルチバイブレーターを示した配線図。第7図は従来の表現で第6図aのマルチバイブレーター回路を示した配線図。第8図aは本発明の原理に依る移相発振器を示した図。第8図bは第8図aと同じ相応関係位置の配線図。第8図cは移相発振器の図である。

## 発明の詳細なる説明

本発明は充分な数と種類の異つた回路素子を有し完全な電気回路網を作る半導体物質の單一構成体から成る半導体装置に係る。

電子回路を小型化する技術及びその方法は過去に於いて提起されていた。先ず最初にこの努力の大部分は回路成分の大きさを小さくすることと、それ等をもつと密接にまとめる事に向けられていた。回路成分の大きさの縮少をすると云う努力は尚も続いて居るが殆んど限界に達してしまっている。そして次に單一の基体に成分を形成する技術を多かれ少なかれ用いる事に依り、又或いは回路パック内で密着する様に均一の大きさ形状をもつた回路成分を作る事に依るか、或いは回路或分の保護被覆の除去に依るかして電子回路の大きさの縮少への努力がなされた。

これらの方法及び技術は完全な回路を組立てる場合に非常に多くの数と種類との操作を必要とする。例えば全回路

成分中、抵抗は普通形成するに最も簡単なものと考えられているが従来の技術で小型化しようとした場合、その組立ては少くとも次の様な工程段階を必要とするのである。

- a 基体の形成
- b 基体の準備
- c 端子の取付
- d 抵抗物質の準備
- e 抵抗物質の取付
- f 抵抗物質の熱処理
- g 抵抗体の保護或いは安定化。

蓄電器、トランジスタ、ダイオードが小型化に用いられる時はこれら各々は少くともそれ等の組立てに多くの工程段階を必要とする。抵抗の保護に望ましい処理は他の素子を損傷する。

蓄電器或いはトランジスタの如きそして完全回路の大きさが縮少されているからこの様な相容れない処理或いは相互作用は重要な問題となつて来る。相互作用は成分を別々に形成しそれから完全なるパック内にまとめる事に依り少なくなるが、その集全体の作用はもつと感度よい成分を害する事になるだろう。

必要な操作の数が多いために小型化回路組立ての制御は非常に困難なものになる。これを説明するにたくさんの原料がそれ等が良く理解されないとしても評価し且管理されなければならない。更に多くの試験操作が必要とされそして高い生産量が各操作に得られたとしても非常に数多くの操作が必要とされているので総合生産量はしばしば全く低いものである。

実際にはこの様な複雑な方法に依り作られた回路の信頼性は必要とされた制御が非常に多いために全く低いものである。又更に個々の成分の別々の形成は各成分に対して個別の端子付を必要とする。これらの端子付は最終的に導電性塗料の点の様に小さくなるかも知れない。併しながらこれらは回路の利用され得る面積又は体積の大部分を占め不整列による回路の故障或いは不電導の附加的な原因となるかも知れない。

過去になされた小型化に対して本発明は小型化に対する新規にして全く異つた概念から生じた。既知の技術の示唆を全く離れて小型化が少ない物質と、可能な操作を使用して得られる事が本発明に依り提起されたのである。本発明の原理に依れば回路小型化は全回路素子にただ一つの物質を使用し且その製作にも盾のないある限度の工程を用いて達成された。

前述はn型かp型かのどちらかの導電性を示し且拡散領域と半導体本体との間か、或いは時により拡散領域間にp-  
p接合を形成する適当な導電性の拡散領域か領域中に形成されるべく形成された型を有する半導体物質を利用する事に依り本発明は達成される。本発明の原理に依れば全

(4)

特公昭40-14383

で被覆され光に対しネガを通して感光される。現象の後に残っているラッカー像は適当な形状に薄板をエッチするために抵抗として用いられる。特にこのエッティングは  $R_1$  と  $R_2$  と回路の他の部分との絶縁を行うため薄板を通してのスロットを形成する。そして又予め計算された形状に対する全部の抵抗の領域を形成する。そして化学的エッティングが電気的エッティングが用いられてもよい。併し電気的エッティングの方がよいと思われる。

この段階の次に光抵抗は溶剤で取り除かれメサ領域 60 は同じ写真工程により包まれる。この薄板は再びエッティング液に浸され  $n$  層は露出された領域に於いて完全に取り除かれる。そして化学的エッティングが良い様に思われるそしてそれからその光抵抗は取り除かれるのである。

金の線 70 はそれから接続と与えられた最終のエッティングを完全にするため適当な領域に熱的に接合される。金の線 70 を用いる代りに接続は何か他の方法で行なわれてもよい。例えば酸化シリコンの如き絶縁不活性物質が電気接続が行なわれる点を除いて完全に薄板を被覆するか或いは電気的に接続されるべき点に接合する選ばれた部分のみを被覆するかするためにマスクを通して半導体回路薄板に蒸散されるかも知れない。金の様な導電物質はそれから必要な電気回路接続を行なうために絶縁物質に縫合されるかも知れない。

試験の後にこの回路は若し必要なら汚染から保護するために密封されてもよい。完結の装置は過去に提起された他の装置よりも大きさが数倍少ない。必要な組立段階が現在トランジスタを製造するに用いられている組立に全く似ているので、又必要な段階が比較的少ないために、これらの装置はコンパクトにして本来安価にして確実なるものである。

工程の他の説明は第 8 図 a ~ c に示す。单一の結晶半導

体の各領域はそれが表わしている回路素子に記号を以つて記されている。このユニットは完全なる移相発振器を形成するため抵抗、トランジスタ抵抗一蓄電器分布回路網の利用を説明している。

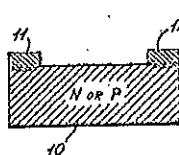
前述された二つの実施例は本発明の技術に依り組立てられ得る数えられない程の回路の二つのみである。この方法でなされ得る回路の組立ての複雑さには限界がない。併し限られた空間になされ得る成分の型及び値には限界がありこの発明は従来の技術に対し著しい改良を与えたものである。この技術に於ける利益の事実が本発明により達せられたので本発明に対し前以つて達成された最高の成分密度の  $1\text{ft}^3$  当り 50 万に比較して  $1\text{ft}^3$  当り 3 千万以上の成分密度まで達成することは可能である。

本発明は特別な実施例を以つて示したがここに示唆した発明着想が實際離れる事なく変更及び変型が可能であることは明白である。従つてこの様な変更及び変型は発明の範囲の中に入ると思料する。

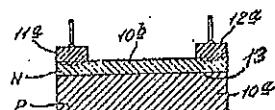
#### 特許請求の範囲

1 少く共二つが異種の電気的性質を示す様に適用された分離した領域を有する単結晶半導体物質の一體構成体より成り前記領域は前記半導体物質を通して少く共部分的に絶縁されており且前記一體構成体の主面上の或る領域に固着されたオーム接点から伸びる導電リードに依り電気的に相互接続されている半導体装置に於いて、前記分離した領域が前記一體構成体の一つの同じ主面上の別々の部分に配置され、且ダイオード、抵抗、コンデンサ、インダクタ、抵抗とコンデンサ両方の性質を示す素子、光抵抗等、並に電気回路網のトランジスタ、光電池、光電池列等の全回路素子を形成し且外部端子として入出力端子（及び電源端子）のみを設けた事を特徴とする半導体装置。

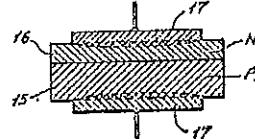
第1図



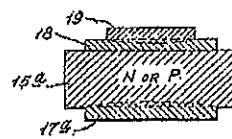
第1図 a



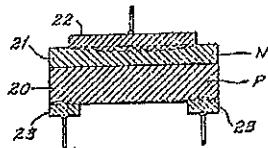
第2図



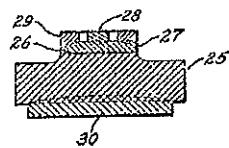
第2図 a



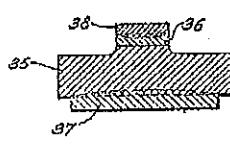
第3図



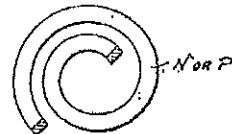
第4図



第5図



第5図 a



99(5) H 0  
(59 E 9)特許出願公告  
特許公報

昭40-14384

公告 昭 40. 7. 8

(全 4 頁)

## 半導体装置

特 願 昭 39-4684  
 出 願 日 昭 35.2.6  
 優先権主張 1959.6.2 (アメリカ国) 791602  
               1959.2.12 ( 同 ) 792840  
 特 願 発明者 昭 35-3745の分割  
               リチャード、フランク、スチュワート  
               アメリカ合衆国テキサス州 リチャードソン  
               ソンプソン ドライブ 703  
               ジャック、セントクレア、キルビイ  
               アメリカ合衆国テキサス州 ダラス ミッドペリー ドライブ 7723  
 出 願 人 テキサス、インツルーメンツ インコボレーテッド  
               アメリカ合衆国テキサス州 ダラス レムモン アベニュー 6000  
 代 理 人 弁理士 中松潤之助

## 図面の略解

第1~5図は單一の半導体物質に一体化され、或いはその部品を構成される色々の受動回路成分を示した図。第6図aは本発明実施態様を示す回路を示した図。第6図bは第6図aと相応関係位置で第6図aの回路を示した配線図。第6図cは従来の表現でトランジスタと組合されて発振器を形成した第6図aの回路を示した配線図である。

## 発明の詳細なる説明

本発明は半導体薄板の1主面に隣接した複数個の受動回路素子及び成分より成り回路の少く共若干が半導体薄板の部分を構成する半導体装置に係る。

電子回路を小型化する技術及びその方法は過去に於いて提起されていた。先ず最初にこの努力の大部分は回路成分の大きさを小さくすることと、それ等をもつと密接にもとめる事に向けられていた。回路成分の大きさの縮少をすると云う努力は尚も続いているが殆んど限界に達してしまっている。そして次に单一の基体に成分を形成する技術を多かれ少なかれ用いる事に依り、又或いは回路パック内に密着する様に均一の大きさ形状をもつた回路成分を作る事に依るか、或いは回路成分の保護被覆の除去に依るかして電子回路の大きさの縮少への努力がなされた。

これらの方法及び技術は完全な回路を組立てる場合に非常に多くの数と種類との操作を必要とする。例えば全回路成分中、抵抗は普通形成するに最も簡単なものと考えられているが従来の技術で小型化しようとした場合、その組立ては少くとも次の様な工程段階を必要とするのである。

a 基体の形成

- b 基体の準備
- c 端子の取付
- d 抵抗物質の準備
- e 抵抗物質の取付
- f 抵抗物質の熱処理
- g 抵抗体の保護或いは安定化

蓄電器、ダイオードが小型化に用いられる時はこれら各は少くともそれ等の組立てに多くの工程段階を必要とする。抵抗の保護に望ましい処理は蓄電器の如き他の素子を損傷する。そして回路の大きさが縮少されているからこの様な相容れない処理或いは相互作用は重要な問題となつて来る。相互作用は成分を別々に形成しそれから完全なるパック内にまとめる事に依り少なくなるが、その集全体の作用はもつと感度よい成分を害する事になるだろう。

必要な操作の数が多いために小型化回路組立ての制御は非常に困難なものになる。これを説明するにたくさんの原料がそれ等が良く理解されないとしても評価し且管理されなければならない。更に多くの試験操作が必要とされそして高い生産量が各操作に得られたとしても非常に数多くの操作が必要とされているので総合生産量はしばしば全く低いものである。

実際にはこの様な複雑な方法に依り作られた回路の信頼性は必要とされた制御が非常に多いために全く低いものである。又更に個々の成分の別々の形成は各成分に対して個別の端子付を必要とする。これらの端子付は最終的に導電性塗料の点の様に小さくなるかも知れない。併しながらこれらは回路の利用される面積又は体積の大部分を占め不整列による回路の故障或いは不電導の附加的な原因となるかも知れない。

過去になされた小型化に対して本発明は小型化に対する新規にして全く異った概念から生じた既知の技術の示唆を全く離れて小型化が少ない物質と、可能な操作を使用して得られる事が本発明に依り提起されたのである。本発明の原理に依れば回路小型化の終局は全回路素子にただ一つの物質を使用し且その製作にむ盾のない或る限度の工程を用いて達成された。

前述はn型かp型かのどちらかの導電性を示し且拡散領域か領域と半導体本体との間か、或いは時により拡散領域間にp-n接合を形成する適当な導電性の拡散領域か領域中に形成されるべく形成された型を有する半導体物質を利用することに依り本発明は達成される。本発明の原理に依れば電子回路の種々受動回路は成分は半導体物質の本体の中に1体化され且その1部を形成する。

本発明の更に特別な概念に於いては電子回路の全受動回路成分は半導体の比較的薄い板か或いはその一面近くに形成される。本発明に於いて重要なことは成形の思想である。この成形の着想は回路に於いて各成分間の必要なる

(3)

特公 昭40-14384

散することに依り設けられる。金及びアルミニウムは極板19に満足な物質であると分つた。オーミックな接点17aは半導体物質15aの本体に対し作られ極板19に対する接点は図示しない適当な電気接点に依り構成される。第2図aに關して述べた方法に於いて形成された蓄電器は純粋な接合蓄電器即ちp-n接合蓄電器よりも安定な特性を示す事が判明した。

第2図の方法に於いて形成された蓄電器は又ダイオードでもある。そして従つて回路に於いて適当に分極される。非極性蓄電器はこの様な二つの領域を背中合せに接続して作られる。この接合蓄電器は著しく電圧に依り左右されるがこの依存性は非極性の形状に於いては低電圧では左右される度合が低い。

抵抗及び蓄電器の設計は分布された抵抗蓄電器回路網を形成する様に結合される。これは第3図に示しここでn型の導電型の拡散層21を有するp型の導電型の薄板20は面上に広い面積の接触体22と又逆面に間隔とつた接触体23を具備する。これらの回路網は低域濾波器、移相回路網、連結素子等に有用である。これらのパラメーターは前式から計算することが出来る。他の一般的な型の形状も亦可能である。

ダイオードは第4図に示す。そしてこれは或る導電型の領域35とその間に形成されたp-n拡散接合と逆の導電型のメサ領域36と各領に対する接觸体37及び38より成る。

高い周波数使用に適當なるインダクタンスは半導体物質の螺旋を示す第5図により明らかにされた如き半導体の形成に依り作られる。これは又前述した基礎設計概念を利用して感光性、光抵抗性、又その他同様な成分を具備する事が出来る。

回路素子は单一の拡散層の話に於いて説明されたが二重の拡散層構成を用いる事も全く可能であるかくして二重の拡散はn-p-n及びp-n-p構造両方を形成する様に用いられるだろう。更に何らかの適當なる物質が半導体物質、導電型生成不純物、接觸体物質に用いられ得る。即ち適當なそして既知の工程は前述の回路設計を成就するに利用され得る。

前述した回路設計は全部单一の物質、半導体から形成され得る故に单一結晶半導体薄板或いは接合に形作る事に依り可能である。

ダイオード及び蓄電器の接合区域は薄板上に適当に成型することに依り形成される。

此の道の技術に熟達した人にとって回路成分はそれ等の回路機能に依り分類され得ることは明らかであろう。而して回路要素は本来能動的か受動的かどちらかであると考えられるかも知れない。

電子工学及び核工学の百科辞書

(Encyclopedic Dictionary of Electronics and Nuclear Engineering), サーバッチャー(Sarbacher)著、プレンティス ホール(Prentice Hall)出版、に依れば能動素子は電流発生器として働くインピーダンス回路網であるが、能動素子はその様には動かないとされている。

能動素子の例は光電池及びトランジスタであり受動素子

の例は抵抗、蓄電器及びコイルである。能動素子として通常用いられているダイオードは若し適当に偏倚され附勢されるならば能動蓄電器としての機能を有するのであろう。

半導体物質の單一休と一緒の種々受動回路素子の1体化が第6図aに示されており、ここに抵抗及び分布R-C回路網が図示されている。單一の結晶半導体薄板の各域はそれが示される回路素子に対し記号を以つて示す。第6図bは第6図aの半導体薄板に占める関係に於ける種々受動回路素子の配線図を示す。従来の回路図は第6図cに示しここにトランジスタQ<sub>1</sub>が図示する点に於いて第6図aの受動回路素子と接続された移相発振器を示す。

第6図aに於いてはp型ゲルマニウム薄板が用いられている。この薄板はそれからアンチモン拡散工程を受け、頂面にn型層を作る。

金張りコバル引出線50は適當な位置に薄板に合金化する事により接続される。コバルは鉄ニッケルコバルト合金の商品名である。金はそれからn区域とオーミックな接觸をなす蓄電器接觸体51を設けるためにマスクを通して蒸散される。

この薄板はそれからイーストマンコダック会社により出されているイーストマン光抵抗の如き感光抵抗カラツカーデ被覆され光に対しネガを通して感光される。現象の後に残つているカラツカーデは適當な形状に薄板をエッチするために抵抗として用いられ、n層は露出された領域に於いて完全に取り除かれる。そして化学的エッチングが良い様に思われる。そしてそれからその光抵抗は取り除かれるのである。

金の線70はそれから接続と与えられた最終のエッチングを完全にするため適當な領域に熱的に接合される。

試験の後にこの回路は若し必要なら汚染から保護するため密封されてもよい。完結の装置は過去に提起された他の装置よりも大きさが数倍少ない。必要な組立段階が現在トランジスタを製造するに用いられている組立に全く似ているので、又必要な段階が比較的少ないために、これらの装置はコンパクトにして本来安価にして確実なるものである。

前述された実施例は本発明の技術に依り組立てられ得る数えられない程の回路のみである。この方法で為され得る回路の組立ての複雑さには限界がない。併し限られた空間に為され得る成分の型及び値には限界がありこれの發明は從来の技術に対し著しい改良を与えたものである。

本發明は特別な実施例を以つて示したがここに示唆した發明着想が實際離れる事なく変更及び変型が可能であることは明白である。従つてこの様な変更及び変型は發明の範囲の中に入るとと思料する。

#### 特許請求の範囲

1 半導体薄板の1主面に隣接する複数個の異った離間した受動回路素子にして該回路素子各々は前記1主面上の表面の限定域を占め、前記受動回路素子は前記薄板を通して互いに絶縁している受動回路素子、及び前記薄板自身に於ける少く共若干の回路部分を形成する様に1主面上に固定された前記受動回路素子への別々の電気接点とを具備する单一の結晶半導体薄板より成る半導体装置。

99(5) H. O

## 特許庁

## 特許出願公告

## 特許公報

昭40-14385

公告 昭 40. 7. 8

(全5頁)

## 半導体装置

特 願	昭 39-4685
出 願 日	昭 35.2.6
優先権主張	1959.2.6 (アメリカ国) 791602 1959.2.12( 同 ) 792840
特 願	昭 35-3745の分割
発 明 者	リチャード フランク スチュワート アメリカ合衆国テキサス州リチャードソン ソンブソン ドライブ 703
同	ジャック セントクレア キルビイ アメリカ合衆国テキサス州 ダラス ミッ ドベリー ドライブ 7723
出 願 人	テキサス インスツルーメンツ イン コーポレーション アメリカ合衆国テキサス州ダラス レムモ ン アベニュー 6000
代 理 人	弁理士 中松潤之助

## 図面の略解

第1～5図aは单一の本体の半導体物質に一体化され、或いはその部品を構成する色々の回路成分を示した図。第6図aは本発明によるマルチバイブルエーティー回路を示した図。第6図bは第6図aと相応関係位置で第8図aのマルチバイブルエーティーを示した配線図。第7図は従来の表現で第6図aのマルチバイブルエーティー回路を示した配線図。第8図aは本発明の原理により組立てられた移相発振器を示した図。第8図bは第8図aと同じ相応関係位置の配線図。第8図cは移相共振器の図である。

## 発明の詳細なる説明

本発明は一つ以上のトランジスタ及び一つ以上の抵抗を含む二つ以上の電気回路素子の性質を発する様に用いられた二つ以上の分離した領域を半導体薄板の中域いは上に具備する導体装置に係る。

電子回路を小型化する技術及びその方法は過去に於いて提起されていた。先ず最初にこの努力の大部分は回路成分の大きさを小さくすることと、それ等をもつて密接にまとめる事に向かっていた。回路成分の大きさの縮少をするという努力は専も続いているが殆んど限界に達してしまっている。そして次に单一の基体に成分を形成する技術を多かれ少なかれ用いる事により、又或いは回路パック内で密着する様に均一の大きさ形状をもつた回路成分を作る事によるか、或いは回路成分の保護被覆の除去によるかして電子回路の大きさの縮少への努力がなされた。

これらの方法及び技術は完全な回路を組立てる場合に非常に多くの数と種類との操作を必要とする。例えば全回路

成分中、抵抗は普通形成するに最も簡単なものと考えられているが従来の技術で小型化しようとした場合、その組立てでは少くとも次の様な工程段階を必要とするものである。

- a 基体の形成
- b 基体の準備
- c 端子の取付
- d 抵抗物質の準備
- e 抵抗物質の取付
- f 抵抗物質の熱処理
- g 抵抗体の保護或いは安定化。

蓄電器、トランジスタ、ダイオードが小型化に用いられる時はこれら各々は少くともそれ等の組立てに多くの工程段階を必要とする。抵抗の保護に望ましい処理は他の素子を損傷する。

蓄電器或いはトランジスタの如きそして完全回路の大きさが縮少されているからこの様な相容れない処理或いは相互作用は重要な問題となつて来る。相互作用は成分を別々に形成しそれから完全なるパック内にまとめる事により少なくなるが、その集成体の作用はもつと感度よい成分を害する事になるだろう。

必要な操作の数が多いために小型化回路組立ての制御は非常に困難なものになる。これを説明するにたくさんの原料がそれ等が良く理解されないとしても詳述し且管理されなければならない。更に多くの試験操作が必要とされそして高い生産量が各操作に得られたとしても非常に数多くの操作が必要とされているので総合生産量はしばしば全く低いものである。

実際にはこの様な複雑な方法により作られた回路の信頼性は必要とされた制御が非常に多いために全く低いものである。又更に個々の成分の別々の形成は各成分に対して個別の端子付を必要とする。これらの端子付は最終的に導電性塗料の点の様に小さくなるかも知れない。併しながらこれらは回路の利用され得る面積又は体積の大部分を占め不整列による回路の故障或いは不電導の附加的な原因となるかも知れない。

過去になされた小型化に対して本発明は小型化に対する新規にして全く異った概念から生じた。既知の技術の示唆を全く離れて小型化が少ない物質と、可能な操作を使用して得られる事が本発明により提起されたのである。本発明の原理によれば回路小型化の終局は全回路素子にただ一つの物質を使用し且その製作に矛盾のない或る限度の工程を用いて達成された。

前述はn型かp型かのどちらかの導電性を示し且拡散領域か領域と半導体本体との間か、或いは時により拡散領域間にp-n接合を形成する適当な導電性の拡散領域か領域中に形成されるべく形成された型を有する半導体物質を利用することにより本発明は達成される。本発明の原理によ

(4)

特公 昭40-14385

スロットを形成する。そして又予め計算された形状に対する全部の抵抗の領域を形成する。そして化学的エッチングか電気的エッチングが用いられてもよい。併し電気的エッチングの方がよいと思われる。

この段階の後に光抵抗は溶剤で取り除かれメサ領域60は同じ写真工程により包まれる。この薄板は再びエッチ溶液に浸されn層は露出された領域に於いて完全に取り除かれる。そして化学的エッチングが良い様に思われるそしてそれからその光抵抗は取り除かれるのである。

金の線70はそれから接続と与えられた最終のエッチングを完全にするため適当な領域に熱的に接合される。金の線70を用いる代りに接続は何か他の方法で行なわってよい。例えば酸化シリコンの如き絶縁不活性物質が電気接続が行なわれる点を除いて完全に薄板を被覆するか或いは電気的に接続されるべき点に接合する選ばれた部分のみを被覆するかするためにマスクを通して半導体回路薄板に蒸散されるかも知れない。金の様な導電物質はそれから必要なる電気回路接続を行なうために絶縁物質に縫隙されるかも知れない。

試験の後にこの回路は若し必要なら汚染から保護するために密封されてもよい。完結の装置は過去に提起された他の装置よりも大きさが数桁少ない。必要な組立段階が現在トランジスタを製造するに用いられている組立に全く似ているので、又必要な段階が比較的少ないために、これらの装置はコンパクトにして本来安価にして確実なるものである。

工程の他の説明は第8図a～cに示す。単一の結晶半導体の各領域はそれが表わしている回路素子に記号を以つて記されている。このユニットは完全なる移相発振器を形成するため抵抗、トランジスタ抵抗一蓄電器分布回路

網の利用を説明している。

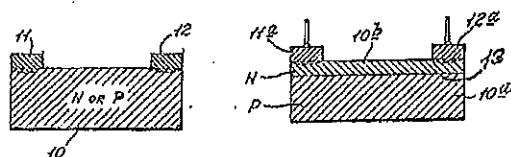
前述された二つの実施例は本発明の技術により組立てられ得る数えられない程の回路の二つのみである。この方法で得られる回路の組立ての複雑さには限界がない。併し限られた空間に得られる成分配分には限界があり、この発明は従来の技術に対し著しい改良を与えたものである。この技術に於ける利益の事実が本発明により達せられたので本発明に対し前以て達成された最高の成分密度の1ft<sup>2</sup>当たり50万に比較して1ft<sup>2</sup>当たり3千万以上の成分密度まで達成することは可能である。

本発明は特別な実施例を以つて示したがここに示唆した発明着想が實際離れる事なく変更及び変型が可能であることは明白である。従つてこの様な変更及び変型は発明の範囲の中に入ると思料する。

#### 特許請求の範囲

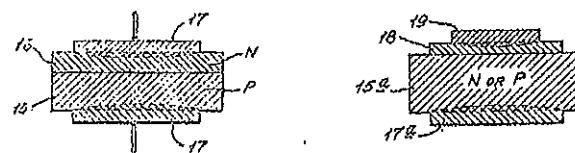
一つ以上のトランジスタ及び一つ以上の抵抗とを含む二つ以上の回路素子の電気的性質を有する様に用いられる二つ以上の分離した領域を单一の結晶半導体薄板の中或いは上に有する半導体装置にして、前記トランジスタ或いは前記トランジスタ各々は前記薄板の1主面に於いて終るコレクターベースP-N接合を含んでそこに第1の囲まれた区域を形成し又前記主面に於いて終るベースーエミッタP-N接合を含み、そこに前記第1の囲まれた区域により囲まれた第2の囲まれた区域を形成し、且又、前記抵抗或いは各抵抗は前記1主面に総体的に並行な電流路をもち且、前記第1、第2の囲まれた区域から離間されておりその長さの少く其大部分は前記抵抗或いは前記抵抗各々と絶縁されており、そしてオーム接点が前記抵抗部分の両端に於いて1主面に開口されている事を特徴とする半導体装置。

第1図



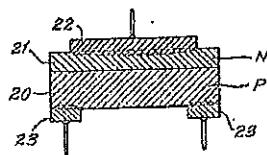
a

第2図

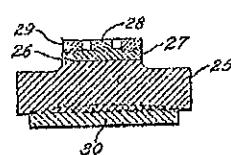


a

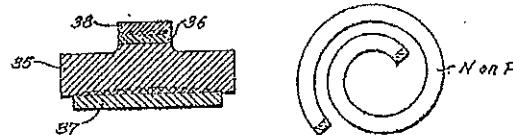
第3図



第4図



第5図



a

99(5)H 0

## 特許公報

特許出願公告

昭40-17410

公告 昭40.8.7

(全5頁)

## 半導体装置

特 訸 願	昭 39-4686
出 願 日	昭 35.2.6
優先権主張	1959.2.6 (アメリカ国) 791602
同	1959.2.12 (同 国) 792840
特 許 願	昭 35-8745 の分割
發 明 者	リチャード、フランク、スチュワート アメリカ合衆国テキサス州リチャードソン、ソンプソン、ドライブ703
同	ジャック、セントクレア、キルビイ アメリカ合衆国テキサス州ダラス、ミッドベリー、ドライブ7723
出 願 人	テキサス、インスツルーメンツ、インコーポレーテッド アメリカ合衆国テキサス州ダラス、レムモン、アベニュー6000
代 理 人	弁理士 中松潤之助

## 図面の略解

第1図～第5図は單一の半導体物質に一体化され、或はその部品を構成する色々の回路成分を示した図面で第1図aは特に本発明の原理を示す図面、第6図aは本発明によるマルチバイブレーター回路を示した図面、第6図bは第6図aと相応関係位置で第6図aのマルチバイブルーターを示した配線図、第7図は従来の表現で第6図aのマルチバイブルーター回路を示した配線図、第8図は特にp-n接合による絶縁を説明するための第6図aと同様の図面である。

## 発明の詳細なる説明

本発明は一主面上或は中に二つ以上の回路素子を有する半導体薄板より成り回路素子の少くとも若干の部分が前記薄板の部分を構成する半導体装置に係り、特にこれら回路素子の中少くとも二つが半導体薄板を通して互に絶縁されている点に係る。

本発明によれば回路の成分は半導体の比較的薄い板の一面か成はその一面近くに形成される。本発明に於て重要なことは成形の思想である。この成形の着想は回路に於て各成分間の必要な絶縁を得て、成分を決定することが可能である。或は換言すれば与えられた成分に利用される区域を決定することが可能である。成形は与えられた回路に於て或る導電型の半導体物質を逆の導電性へ選択的に変換しそれにより形成されたp-n接合が電流の障壁として働くことにより特徴づけられている。如何なる場合にも成形の効果は電流に対し直接的にするか制限するかし半導体物質の単一の薄板に於て他の方法では得られない回路の組立を得せしむるのである。結果としては最終の回路は本質的

に平面状に配備せられる。薄板を工程中に成形し且拡散により所望されそして適當な関係で色々な回路素子を生成することは可能である。

本発明の他の目的及び効果は図面に関連した本発明の実施例の以下の詳述により更に容易に明確になることであろう。

図面について詳細に説明すると本発明の実施例は本発明の原理をよりよい理解のために詳細に説明し又色々な形態及び実施例はよく理解されるだろう。

前述のように本発明は電子回路の小型化に本質的に関するものである。又前述のように本発明は適当に成形されそして拡散されたp-n接合か接合かを形成された半導体物質の本体の利用と、中に組込まれるか前記半導体物質の本体の部分を構成され得る色々な回路素子或は成分に対し設計された成分の利用を企図している。

第1図～第5図は回路素子を詳細に示しこれは半導体物質の本体の中に一体化される。該半導体物質の本体は単一の結晶構造をなしており適當なる半導体物質の組成であることを注意すべきである。ここには例として適當な物質の例としてゲルマニウム、シリコン、砒素化ガリウムの如き金属間化合物、アルミニウムアンチモン化物、インジウムアンチモン化物及びその他を示してある。

第1図を参照すれば単一結晶半導体物質の本体内に組込まれるかも知れない抵抗の典型的な設計を示してある。

第1図に示す如く、この設計はn型かp型かの導電型を半導体物質の本体10の大部分の抵抗を利用してこれを企図している。接点11及び12は本体10の一面にオーミックに作られ所望の抵抗をもつて充分な距離だけ離間してある。既知の技術の一つにより明白なる如くオーミック接続は利用し得る方法を流れる電流に対する抵抗の項に於て対称性及び直線性を表わす。若しこの二つの抵抗が一緒に接続されるべきものとすれば共通点に対して別々の端子付けを設けることは不要である。この抵抗は

$$R = \rho \frac{L}{A} \text{ なる式から算出することができる。}$$

ここで

$L$ は幅で表わした作用長さ

$A$ は断面積

$\rho$ は半導体物質の比抵抗を単位オーム一センチメートルで表わしたものである。

第1図に示す抵抗に付加して抵抗が第1図aに示す如く組込まれそして半導体物質の本体の一部を形成するように設けてある。第1図aに於て本体10aに形成されたn型領域10bをもつたp型半導体物質の本体10aが示されているも論本体10aと領域10bの間に数字13で示すp-n接合がある。接点11aと12aは領域10bの一面に作られ所望の抵抗を成立させるために相互に離している。第1図に

(3)

特公昭40-17410

加工された成形されている。この薄板の区域は種々の区域に行なわれている、電子回路機能を示して記号にて示されている。第6図bは第6図aの薄板に占める関係に於て色々な回路機能の配線図を示す。更に従来は配線図は實際に用いられた回路値をもつて第7図に示されている。この第6図a、第6図b、第7図に示されたマルチバイブレーター回路は必要とする工程技術の説明として示されている。まずなるべくは適當な比抵抗のシリコン或はゲルマニウムが望ましい半導体薄板は一側に覆われ層かれている。この設計のために $3\Omega$ 、cmのp型ゲルマニウムが用いられた。この薄板はそれから約0.0178mmの深さ表面上にn型の層を生成するアンチモニー拡散工程を受ける。この薄板はそれから5.08mm×2.03mmの適當な大きさに切れ磨かれない表面は0.0635mmの厚さの薄板を与えるべき覆われる。

金張りコバルト引出線50は適當な位置に薄板に合金化することにより接続される。コバルトは鉄ニッケルコバルト合金の商品名である。金はそれからトランジスタベース接続及び蓄電器接觸体の如きn領域とオーミックな接觸をなす領域51~54を設けるためにマスクを通して蒸散される。アルミニウムはn層と整流接觸を形成するトランジスタエミッタ領域56を備えるべく適當な形状をしたマスクを通して蒸散される。

この薄板はそれからイーストマンコダツク会社により出されているイーストマン光抵抗の如き感光抵抗かラツカーデ被覆され光に対しネガを通して感光される。現象の後に残っているラツカーデ像は適當な形状に薄板をエッチするために抵抗として用いられる。特にこのエッチングはR1とR2と回路の他の部分との絶縁を行なうため薄板を通してのスロットを形成する。そして又予め計算された形状に対する全部の抵抗の領域を形成する。

この段階の次に光抵抗は溶剤で取り除かれメサ領域60は同じ写真工程により包まれる。この薄板は再びエッチング液に浸されn層は露出された領域に於て完全に取り除かれる。そして化学的エッチングがよいように思われるそしてそれからその光抵抗は取り除かれるのである。

前述したように第6図aに示した実施例は薄板の中或は上に含まれる回路要素間に所要の絶縁を施すため機械的加工が利用しているが本発明によれば該絶縁が成る導電型の半導体物質をその逆導電型物質に選択的に転換して形成されたp-n接合障壁により得られるように電気的加工を利用して組立てる。

第8図に於ては第6図aに於て示したのと同じ数字を各部材を示すに用い、絶縁を形成するに第6図aに示したように薄板を通してスロットをエッチングする代りに電気的な形成する場合の例を示す。これはn型導電型を生ずる成分を薄板中に導入し第6図aの実施例に於てスロットにより制限されたところに薄板を貫通してn型導電領域71を

形成することにより設けられる。これはマスキングや拡散によって達成することができる。

本体のp型導電領域に隣接するn型導電領域である拡散領域71は導電型の異った領域を形成しその結果たるp-n接合は少くとも長さの大部分については抵抗R1とR2とを互に絶縁し且他の回路とも絶縁する。

一体化回路のp-n接合絶縁の効果としてはエッチングのような機械的操作は薄い半導体薄板の機械的強度を低下せしめるのに対しp-n接合絶縁の場合は半導体薄板の強度を害することなく、且p-n接合絶縁用の工程は回路素子の組立にとつて両立性が生じ前記機械的操作よりも容易であるということである。

金の線70はそれから接続と与えられた最終のエッチングを完全にするため適當な領域に熱的に接合される。金の線70を用いる代りに接続は何か他の方法で行なわってもよい。例えば酸化シリコンの如き絶縁不活性物質が電気接続が行なわれる点を除いて完全に薄板を被覆するか或は電気的に接続されるべき点に接合する選ばれる部分のみを被覆するかするためマスクを通して半導体回路薄板に蒸散されるかも知れない。金のような導電物質はそれから必要な電気回路接続を行なうために絶縁物質に絶縁されるかも知れない。

試験の後にこの回路は若し必要なら汚染から保護するために密封されてもよい。完結の装置は過去に提起された他の装置よりも大きさが数桁少ない。必要な組立段階が現在トランジスタを製造するに用いられている組立に全く似ているので又必要な段階が比較的小ないために、これらの装置はコンパクトにして本平安価にして確実なるものである。

前述された実施例は本発明を全く例示したに過ぎない。この方法でなされ得る回路の組立ての複雑さには限界がない。しかし限られた空間になされ得る成分の型及び値には限界がありこの発明は従来の技術に対して著しい改良を与えたものである。この技術に於ける利益の事実が本発明により達せられたので本発明に対し前以て達成された最高の成分密度の1ft<sup>3</sup>当たり50万に比較して1ft<sup>3</sup>当たり3千万以上の成分密度まで達成することは可能である。

本発明は特別な実施例を以つて示したがここに示唆した発明着想が實際離れることなく変更及び変型が可能であることは明白である。従つてこのような変更及び変型は発明の範囲の中に入ると思料する。

#### 特許請求の範囲

单一の結晶半導体薄板の一主面の中或は上に二つ以上の回路素子の電気的性質を発するように用いられる二つ以上の分離した領域をもたせた半導体装置にして、前記回路素子の少くとも二つはP-N接合により前記薄板を通して互に絶縁されそれにより少くとも回路素子の一部が前記半導体薄板中に形成されていることを特徴とする半導体装置。

99(5) H 0  
(59 D 4)

特許庁

特許出願公告

特許公報

昭40-14386

公告 昭 40. 7. 8

(全3頁)

## 半導体装置

特 願 昭 39-4688  
 出 願 日 昭 35.2.6  
 優先権主張 1959.2.6 (アメリカ国) 791602  
               1959.2.12 ( 同 ) 792840  
 特 願 昭 35-3745 の分割  
 発 明 者 リチャード フランク スチュワート  
           アメリカ合衆国 テキサス州 リチャード  
           ソン ソンプソン ドライブ 703  
 同 ジャック セントクレア キルビイ  
           アメリカ合衆国 テキサス州 ダラス ミ  
           ッドベリー ドライブ 7723  
 出 願 人 テキサス、インスツルーメンツ インコー  
           ボレーテッド  
           アメリカ合衆国 テキサス州 ダラス レ  
           ムモン アベニュー 6000  
 代 理 人 弁理士 中松潤之助

## 図面の略解

第1～5図aは單一體の半導体物質に1体化され、或いはその部分を構成する色々の回路成分を示した圖で特に第1図は他の図示の回路成分に1体化されるかも知れない本発明による抵抗を示す。

## 発明の詳細なる説明

本発明は少く共一つが抵抗である複数個の回路成分を含む半導体の單一構造体より成る半導体装置に係る。本発明に於いて重要なことは成形の思想である。この成形の着想は回路に於いて各成分間の必要な絶縁を得て、成分を決定する事が可能である。或いは換言すれば与えられた成分に利用される区域を決定することが可能である。成形は与えられた回路に於いて一つの方法で完成されてもよい。これらの色々な方法は半導体物質の部分の実際的な除去を含みL型、U型等の長い狭い半導体物質の形状と、電流流通のための低抵抗性流路を設けるため不純物の拡散による真の半導体物質の選択的転換と、或る導電型の半導体物質を逆の導電性へ選択的に変換しそれにより形成されたP-n接合が電流の障壁として働く事により特徴づけられている。如何なる場合にも成形の効果は電流に対し直接的にするか制限するかし半導体物質の單一の薄板に於いて他の方法では得られない回路の組立を得せしむるのである。結果としては最終の回路は本質的に平面状に配備せられる。薄板を工程中に成形し且拡散により所望されそして適当な関係で色々な回路素子を生成することは可能である。

本発明の他の目的及び効果は添付せる図面に関連した本発明の実施例の以下の詳述により更に容易に明確になるこ

とであろう。

図面に就いて詳細に説明すると本発明の実施例は本発明の原理をよりよい理解のために詳細に説明し又色々な形態及び実施例はよく理解されるだろう。

前述の様に本発明は電子回路の小型化に本質的に関するものである。又前述の様に本発明は適当に成形されそして拡散されたP-n接合が接合かを形成された半導体物質の本体の利用と、中に組込まれるか前記半導体物質の本体の部分を構成され得る色々な回路素子或いは成分に対し設計された成分の利用を企図している。

第1図a～5図は回路素子を詳細に示すこれは半導体物質の本体の中に1体化される。該半導体物質の本体は單一の結晶構造をなしており適當なる半導体物質の組成である事を注意すべきである。ここには例として適當な物質の例としてゲルマニウム、シリコン、砒素化ガリウムの如き金属間化合物、アルミニウムアンチモン化物、インヂュームアンチモン化物、及び其の他を示してある。

本発明による抵抗は第1図に示す如く組込まれそして半導体物質の本体の1部を形成する様に設けてある。第1図に於いて本体10aに形成されたn型領域10bをもつたP型半導体物質本体10aが示されている。もち論本体10aと領域10bの間には数字13で示すP-n接合がある。接点11aと12aは領域10bの1面に作られ所望の抵抗を成立させるために相互に離している。第1図aに於ける如く接点11aと12aは領域10bに対しオーミックな接触である。第1図の方法に於いて形成された抵抗は幾多の重要な利点を有する。先ずP-n接合13はn型領域10bからP型の本体10aの中への電流の障壁を設ける。かくして電流は接点の間のn型の領域10bに於ける電流流路を決定する。第2の利点は全抵抗値が大きい範間に調節されることである。

この全抵抗値はP-n接合を通してエッチングしない様に充分注意し又該P-n接合13までか或いは通つて選択的にエッチングしそれにより接点の間の電流により流れる通路の長さを効果的に増加することによりn型領域10bの一面上の部分が取除かれるまで全面にわたつて非常に軽くエッチングすることにより調節される。

第3に、多分これは大部分であろうが第1図による抵抗を形成する場合の利点であるが抵抗が更に以下の且殆ど一定の温度係数を抵抗がもちn型区域10bのドーピングレベル或いは不純物濃度を調節することにより第1図による抵抗を成形する利点である。前述の説明はP型の本体10aとn型の領域10bに存するが本体10aはn型の導電型で領域10bはP型の導電型であり得ることは明白である。

第1図aを参照すれば單一結晶半導体物質の本体内に第1図aに示した抵抗と1体化するための他の抵抗を示してある。

第1図aに示す如く、この設計はn型かp型かの導電型

(2)

特公昭40-14386

を半導体物質の本体 10 の大部分の抵抗を利用する事を企図している。接点 11 及び 12 は本体 10 の 1 面にオーミックに作られ所望の抵抗をもつに充分な距離だけ離間してある。既知の技術の一つにより明白なる如くオーミック接続は利用し得る方向を流れる電流に対する抵抗の項に於いて対称性及び直線性を表わす。若し二つの抵抗が一緒に接続さるべきものとすれば共通点に対して別々の端子付けを設ける事は不要である。この抵抗は

$$R = \rho \frac{L}{A} \text{ なる式から算出することが出来る。}$$

ここで

L は cm で表わした作用長さ、

A は断面積、

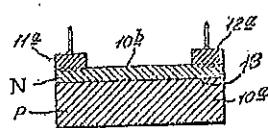
 $\rho$  は半導体物質の比抵抗を単位オームーセンチメートルで表わしたものである。

第 1 図に示した抵抗と 1 体化するための蓄電器の設計は第 2 図に示す如く p-n 接合を利用することにより得られる。ここで P 型導電型の半導体薄板 15 は n 型の拡散層 16 を含んで示されている。オーミックの接触体 17 は薄板 15 の両面に作られている。

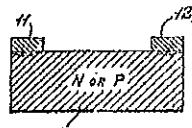
第 2 図の蓄電器の代りに半導体物質の单一結晶の本体に於ける容量は図に示す様に設けられ第 2 図 a に関連して述べられている。第 2 図 a は n 型或いは p 型の導電型かどちらかの半導体物質の本体 15a を示してある。そして蓄電器の 1 極板を構成する。本体 15a に上に蒸散された層 18 は蓄電器の誘電体層を設ける。この層 18 が適当な誘電体定数をもつ半導体本体 15a を接觸している時不活性であることは必要なことである。酸化シリコンは誘電体層 18 に適当な物質で本体 15a に熱酸化技術が蒸散により用いられる。極板 19 は蓄電器の他の極板を形成しこれは層 18 に導電物質を蒸散することにより設けられる。金及びアルミニウムは極板 19 に満足な物質であると分つた。オーミックな接点 17a は半導体物質 15a の本体に対し作られ極板 19 に対する接点は図示しない適当な電気接点により構成される。第 2 図 a に関して述べた方法に於いて形成された蓄電器は純粋な接合蓄電器即ち p-n 接合蓄電器よりも安定な特性を示す事が判明した。

抵抗及び蓄電器の設計は分布された抵抗一蓄電器回路網を形成する様に結合される。これは第 3 図に示してこそ n 型の導電型の拡散層 21 を有する p 型の導電型の薄板 20 は面上に広い面積の接觸体 22 と又逆面に間隔とつた接觸体 23 を具備する。他の一般的な型の形状も又可能である。

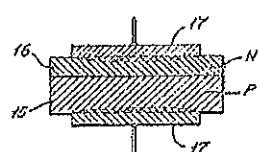
第 1 図



第 1 図 a



第 2 図



訂正 / 年 / 月 / 日  
あり No 62

⑨ 日本国特許庁 (JP)

⑩ 特許出願公告

⑪ 特許公報 (B1)

昭61-55256

⑫ Int.CI H 01 L 27/06 識別記号  
101

序内整理番号

⑬ ⑭ 公告 昭和61年(1986)11月27日  
発明の数 1 (全4頁)

## ⑮ 発明の名称 半導体装置

審判 指定 昭58-95001 ⑯ 特願 昭46-103280

審判長 金平 隆

⑰ 出願 昭35(1960)2月6日

審判官 中村和年

⑱ 特願 昭39-4689の分割

審判官 小池隆司

優先権主張 ⑲ 1959年2月6日 @米国(US) @791602

⑳ 発明者 ジャック セントクレ アメリカ合衆国テキサス州ダラス ミッドベリー ドライ  
アキルビイ ブ7723番㉑ 出願人 テキサス インスツル アメリカ合衆国テキサス州ダラス レムモン アベニュー  
ーメンツ インコーポ 6000番  
レーテッド

㉒ 代理人 弁理士 中村 稔 外3名

1

2

## 図面の簡単な説明

第1図は本発明による一体化回路を説明する図で、第2図は同じ関係で配置せられた第1図の一体化回路の配線図を示す図である。

## 発明の詳細な説明

本発明は、主要な表面と裏面とを有する单一の半導体薄板に、本質的に平面状に配置された複数の回路素子と、この薄板の外部に接続が必要とされる回路素子に対し電気的に接続された複数の引出線とを有する電子回路用の半導体装置に関するものである。

本発明のある目的及び効果は、次のとおりである。即ち、回路素子が半導体薄板の一面上の不活性絶縁物質上に置かれた複数の導線により容易に相互接続し得るように、半導体薄板の一面上に、上記表面上で相互に距離的に離間された関係に形成された回路素子を有する一体化回路にして、これにより、上記回路素子とそれらの相互接続とを单一の構造になし、コンパクトで機械的電気的に安定な装置で、かつ高度の複雑さの回路の多様性を可能ならしめたものである。

本発明に用いられる回路素子はN型もしくはP型いづれか一つの型に導電型を示す单一半導体物質の本体を使用して適当な導電型の拡散領域を形成しその拡散領域と半導体との間或は拡散領域自体間にP-N接合を形成することにより達成され

る。本発明の原理に依れば全電子回路の成分は以降に詳細に説明される技術の適用に依り特徴づけられる様に本体に組立てられる。回路の成分が半導体物質の本体の中に組合され且つその一部を形成している事は注意されるべき事である。

本発明に依れば電子回路の能動及受動成分或いは回路素子は半導体の薄板の一面或いはその近くに形成される。

その結果、得られる回路は本質的に平面状に配置されることになる。処理工程中に半導体材料薄板の全形を行ない、拡散により希望の各種回路素子を適当な関係で製造することが可能である。

本発明の効果は製造製作上満足なものであり且つマスキング・エッティング及拡散の様な限定された両立性ある工程が一正面から成し得るので大量生産に適する事であり、更に能動及受動回路素子の電気的接続の能様が駿速性に富み従つて回路が多様多様に出来ると云う点にある。

更に本発明の他の目的及効果は従来の技術よりもより少ない工程を含む新規なる小型化電子回路を提供することである。

更に本発明は本質的に電子回路の小型化に関するものである。又前述の様に本発明は適当に成形されそして拡散されたP-n接合を形成された半導体物質の本体の利用と、中に組込まれるか上記半導体物質の本体の部分を構成され得る色々な回

(2)

特公 昭 61-55256

3

路素子或いは成分に対し設計された成分の利用を企図している。

本発明の他の目的、特徴及び効果は次の詳細な記述により明白であるが、ここには本発明の好ましい実施例を添付図面と共に説明する。

図面に就いて詳述すると、本発明の基本原理をより明確に理解せしめるため、本発明の好ましい実施例について詳述する。

本発明の原理を実施している一体化回路の特別な説明は第1図に示されているがここで金の線は半導体薄板の一主面上の絶縁不活性物質上に敷設される。図に示す如く、拡散P-N接合を含む単一の結晶半導体物質の薄板は、本質的にその薄板の一面に形成された完全にして一体化されたマルチバイブレーター電子回路を含むように、加工され成形されている。この薄板の諸区域は種々の区域において果されている回路素子の機能を示す記号を付せられている。第2図は、色々な回路機能の配線図を、第1図の半導体薄板に占める関係に於いて示している。この第1、第2図に示されたマルチバイブルレーター回路は必要とされる工程技術を説明するものとして示されている。

まづ、適当な比抵抗の半導体薄板（なるべくはシリコン或いはゲルマニウムが望ましい）が一面においてラップ加工され磨かれる。この設計のために3オーム・センチメートルのP型ゲルマニウムが用いられた。この薄板は、それから表面上に深さ約0.0178mmのn型の層を生成するアンチモニーアンプ接続工程を受ける。この薄板はそれから5.08×2.03mmの適当な大きさにカットされ、磨かれていない表面は薄板に0.0635mmの厚さを与えるようにラップ加工される。

金張りコバルト引出線50が適当な位置に薄板に合金化する事により接続される。コバルトは鉄-ニッケル-コバルト合金の商品名である。それから金がトランジスタT<sub>1</sub>、T<sub>2</sub>のベース接続53、54及び抵抗蓄電器C<sub>1</sub>R<sub>6</sub>、C<sub>2</sub>R<sub>8</sub>のコンタクト51、52の如き、n型区域とオーミックな接觸をなす領域51～54を設けるためにマスクを通して蒸着される。アルミニウムはp層と整流接觸を形成するトランジスタのエミッタ領域56を備えるべく、適当な形状をしたマスクを通して蒸着される。全回路素子は单一の拡散層に関して説明されたが、二重の拡散構成を用いる事も全く可能で

4

ある。かくして、二重の拡散はn-p-n及びp-n-p構造両方を形成する様に用いられるだろう。

それから、この薄板は、イーストマンコダック会社により出されているイーストマン光抵抗の如き感光性抵抗或いはラッカーで被覆され、光に対してネガを通して露光される。現像の後に残っているラッカーライズは、適当な形状に薄板をエッチするための抵抗として用いられる。特にこのエンティングは、R<sub>1</sub>とR<sub>2</sub>と回路の他の部分との間に分離を与えるための薄板を通してのスロットを形成し、又予め計算された形状に全部の抵抗の領域を形成する。

化学的エッティングか電気的エッティングのどちらかが用い得るが、電気的エッティングの方がよいと思われる。

この段階の次に光抵抗は溶剤で取り除かれ、メサ領域60は同じ写真工程によりマスクされる。この薄板は再びエッティング液に浸され、n層は露出された領域に於いて完全に取り除かれる。

これは化学的エッティングが良い様に思われる。それから、その光抵抗は取り除かれる。

金の線70はそれから接続を完全にするため適当な領域に熱的に接合され、最終的な清浄化エッティングが施される。金の線70を用いる代りに接続は何か他の方法で行なわってもよい。本発明の実施例によれば酸化シリコンの如き絶縁不活性物質が電気接続が行なわれる点を除いて完全に薄板を被覆するか或いは電気的に接続されるべき点に接合する選ばれた部分のみを被覆するかするためにマスクを通して半導体回路薄板に蒸着される。金の様な導電物質はそれから必要な電気回路接続を行なうために絶縁物質に被覆される。

試験の後にこの回路は若し必要なら汚染から保護するために密封されてもよい。完結の装置は過去に提起された他の装置よりも大きさが数倍少ない。必要な組立段階が現在トランジスタを製造するに用いられている組立に全く似ているので、又必要な段階が比較的少ないために、これらの装置はコンパクトにして本来安価にして確実なるものである。

抵抗及び蓄電器の設計は分布された抵抗-蓄電器回路素子を形成する様に結合される。これはn型の導電型の拡散層を有するp型の導電型の薄板

(3)

特公 昭 61-55256

5

は面上に広い面積のコンタクト 5 1, 5 2 および裏面に引出線 5 0 を具備する。

トランジスタは1956年ベルシステム・テクニカル・ジャーナル第35巻23頁のリー (Lee) に依り述べられている如く薄板上に形成され、コレクター領域、拡散 p-n 接合、ベース層、ベース層と整流接合を形成するエミッタ接触体、ベース及びコレクターの夫々の接触体を有する。

従つて、本発明の実施例によれば複数の回路素子、T<sub>1</sub>, T<sub>2</sub>, C<sub>1</sub>R<sub>1</sub> 及び C<sub>2</sub>R<sub>2</sub> は相互に距離的に離間され、それぞれが上述の絶縁層の下で薄板の一主面に終端している接合により画定されている薄い領域を含んでいることが注目されるべきである。

又、シリコン酸化物絶縁体は安定で大巾の温度範囲にわたり装置の特性を破壊しないから、その使用がベース及びエミッタの接続がなされる温度範囲に融通性を与えることが明白であろう。

上述した回路設計は全部単一の物質、すなわち半導体から形成され得る故に、それら全部を、拡散 p-n 接合を含む単一結晶半導体薄板に適当な回路及び適正な成分値をもつ様に一体化して形作る事が可能である。

また、複数の回路素子は前述した様に半導体薄板の一主面上に平板状に配置され、マスキング、エッチング及び拡散の様な両立性ある工程が一主面から成し得るので半導体装置の大量生産に適している。更に複数の回路素子の接続が絶縁物質上で行なうことができるので回路に融通性、多様性があると共に大量生産に適している。

この方法で為され得る回路の組立ての複雑さには限界がない。しかし限られた空間に為され得る成分の型及び値には限界がありこの発明は従来の技術に対し著しい改良を与えたものである。この技術に於ける利益が本発明により達せられたので

6

本発明に対し前以つて達成された最高の成分密度の 1 立方フィート当たり 50 万に比較して 1 立方フィート当たり 3 千万以上の成分密度まで達成することは可能である。

5 本発明は特別な実施例を以つて示したがここに示唆した発明着想が実際離れる事なく変更及び変型が可能であることは明白である。従つてこの様な変更及び変型は発明の範囲の中に入ると思料する。

#### 10 ④特許請求の範囲

1 複数の回路素子を含み主要な表面及び裏面を有する单一の半導体薄板と；

上記回路素子のうち上記薄板の外部に接続が必要とされる回路素子に対し電気的に接続された複数の引出線と；

を有する電子回路用の半導体装置において、

(a) 上記の複数の回路素子は、上記薄板の種々の区域に互に距離的に離間して形成されており、

15 (b) 上記の複数の回路素子は、上記薄板の上記主要な表面に終る接合により画定されている薄い領域をそれぞれ少くともひとつ含み；

(c) 不活性絶縁物質とその上に被着された複数の回路接続用導電物質とが、上記薄い領域の形成されている上記主要な表面の上に形成されており；

(d) 上記互に距離的に離間した複数の回路素子中の選ばれた薄い領域が、上記不活性絶縁物質上の複数の上記回路接続用導電物質によって電気的に接続され、上記電子回路を達成する為に上記複数の回路素子の間に必要な電気回路接続がなされており；

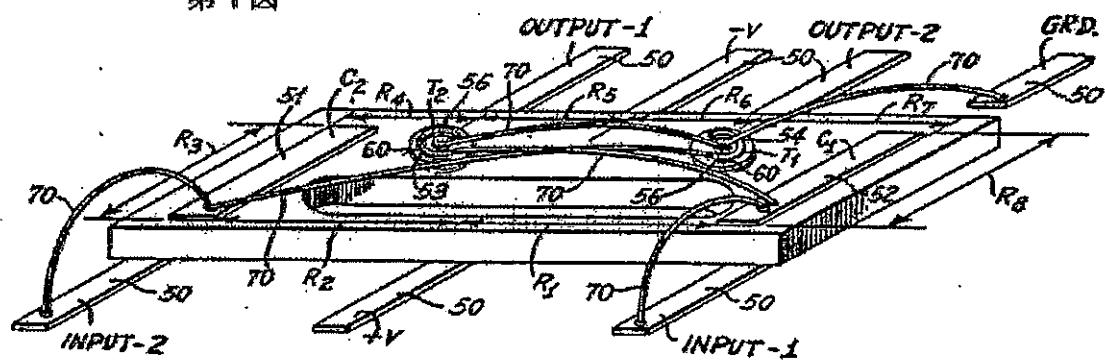
30 (e) 上記電子回路が、上記複数の回路素子及び上記不活性絶縁物質上の上記回路接続用導電物質によって本質的に平面状に配置されている；

35 ことを特徴とする半導体装置。

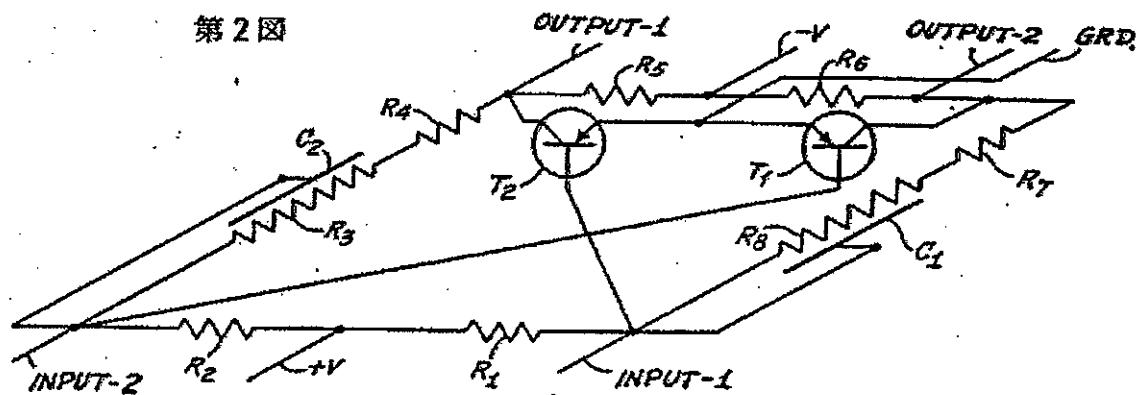
(4)

特公 昭 61-55256

第1図



第2図



昭 62. 1. 20 発行

特 告 番 号 分 類 識 別 記 号 個 所 誤

昭 61-34242 H 01 F 1/08

第 9 欄 第 2 表 (正)

No.	原子百分率組成 (%)	iHc (kOe)	Br (KG)	(BH) <sub>max</sub> (MGoe)
*14	85Fe 15Pr	0	0	0
15	73Fe 12B 15Pr	6.8	9.5	20.3
16	65Fe 15B 20Pr	12.5	7.1	10.2
*17	76Fe 19B 5Pr	0	0	0
18	68Fe 17B 8Nd 7Pr	7.4	8.3	15.7
19	66Fe 19B 8Nd 7Ce	5.5	7.1	10.0
20	74Fe 11B 2Sm 13Pr	6.8	9.5	17.2
21	66Fe 19B 8Pr 7Y	6.1	7.7	10.5
22	68Fe 17B 7Nd 3Pr 5La	7.1	7.9	13.9
23	68Fe 20B 12Tb	4.1	6.5	8.2
24	72Fe 20B 8Tb	1.8	6.8	4.1
25	64Fe 28B 8Dy	8.3	4.8	4.8
26	70Fe 10B 20Dy	5.3	6.4	8.0
27	75Fe 10B 15Ho	4.5	6.4	7.8
28	79Fe 8B 7Er 6Tb	4.8	7.1	8.1
29	68Fe 17B 8Nd 7Gd	5.5	7.3	10.2
30	68Fe 17B 8Nd 7Tb	5.7	7.4	10.8
31	79Fe 6B 15Nd	8.0	13.0	36.5
32	78Fe 7B 15Nd	8.2	12.9	36.0
33	77Fe 8B 15Nd	7.3	12.1	32.1
34	75Fe 10B 15Nd	8.0	11.9	31.9
*35	86Fe 8B 6Nd	0	0	0
36	79Fe 8B 13Nd	4.8	13.1	29.3
37	78Fe 8B 14Nd	7.8	12.8	36.5
38	75Fe 8B 17Nd	9.2	11.6	31.1
39	73Fe 8B 19Nd	11.4	10.9	28.0
40	67Fe 8B 25Nd	12.6	5.8	8.6
41	79Fe 7B 14Nd	8.2	13.4	41.5
42	78.5Fe 7B 14.5Nd	9.7	13.2	41.2

第 1 0 欄 P 1 1 ~ 2 4 R 1 1 ~ 2 4

1 5 行

第 1 1 欄 C o

1 8 行

C

昭 61-50399 H 01 L 31/04

発明者氏名 クラウス・ジャージ クラウス・ジャージ  
エン・ハツクマン エン・ハツクマン

昭 61-55256 H 01 L 27/06

101

分類(目次 脱落  
とも)H 01 L 27/06  
101審判の合議 脱落  
体審判長 金平 隆  
審判官 中村和年  
審判官 小池隆彌

(99(5) H 0  
(99(5) C 1)

## 特許公報

特許出願公告

昭40-14387

公告 昭 40. 7. 8

(全5頁)

## 半導体装置

特 願 昭 39-4690  
 出 願 日 昭 35.2.6  
 優先権主張 1959.2.6 (アメリカ国) 791602  
 1959.2.12 ( 同 ) 792840  
 特 願 昭 35-3745 の分割  
 発 明 者 リチャード フランク スチュワート  
 アメリカ合衆国 テキサス州 リチャード  
 ソン ソンブソン ドライブ 703  
 同 ジャック セントクレア キル比イ  
 アメリカ合衆国 テキサス州 ダラス ミ  
 ッドベリー ドライブ 7723  
 出 願 人 テキサス インスツルーメンツ インコー  
 ポリテッド  
 アメリカ合衆国 テキサス州 ダラス レ  
 ムモン アベニュー 6000  
 代 理 人 弁理士 中松潤之助

## 図面の略解

第1～5図aは單一の半導体物質1体化され、或いはその部分を構成する色々の回路成分を示した図。第6図aは本発明に依る組立てられたマルチバイブルーター回路を示した図。第6図aは第6図aと相応関係位置で第6図aのマルチバイブルーターを示した配線図。第7図は従来の表現で第6図aのマルチバイブルーター回路を示した配線図である。

## 発明の詳細なる説明

本発明は一主面に隣接する複数箇の異なる回路素子を有する半導体装置に係るものである。更に特に本発明は前記回路素子間の前記一主面近くの複数箇の電気接続に係る。

電子回路を小型化する技術及びその方法は過去に於いて提起されていた。先ず最初にこの努力の大部分は回路成分の大きさを小さくすることと、それ等をもつと密接にまとめる事に向けられていた。回路成分の大きさの縮少すると云う努力は尚も続いて居るが殆んど限界に達してしまつた。そして次に单一の基本に成分を形成する技術を多かれ少なかれ用いる事により、又或いは回路パック内で密着する様に均一の大きさの形状をもつた回路成分を作る事に依るか、或いは回路成分の保護被覆の除去に依るかして電子回路の大きさの縮少への努力がなされた。

これらの方針及び技術は完全な回路を組立てる場合に非常に多くの数と種類との操作を必要とする。例えは全回路成分中、抵抗は普通形成するに最も簡単なものと考えられているが従来の技術で小型化しようとした場合、その組立てでは少くとも次の様な工程段階を必要とするのである。

a 基体の形成

b 基本の準備

c 端子の取付

d 抵抗物質の準備

e 抵抗物質の取付

f 抵抗物質の熱処理

g 抵抗体の保護或いは安定化

蓄電器、トランジスタ、ダイオードが小型化に用いられる時はこれら各々は少くともそれ等の組立てに多くの工程段階を必要とする。抵抗の保護に望ましい処理は他の素子を損傷する。

蓄電器或いはトランジスタの如きそして完全回路の大きさが縮少されているからこの様な相容れない処理或いは相互作用は重要な問題となつて来る。相互作用は成分を別々に形成しそれから完全なるパック内にまとめる事に依り少なくなるが、その集全体の作用はもつと感度よい成分を害する事になるだろう。

必要な操作の数が多いために小型化回路組立ての制御は非常に困難なものになる。これを説明するにたくさんの原料がそれ等が良く理解されないとしても評価し且管理されなければならない。更に多くの試験操作が必要とされそして高い生産量が各操作に得られたとしても非常に数多くの操作が必要とされているので組合生産量はしばしば全く低いものである。

実際にはこの様な複雑な方法に依り作られた回路の信頼性は必要とされた制御が非常に多いために全く低いものである。又更に個々の成分の別々の形成は各成分に対して個々の端子付を必要とする。これらの端子付は最終的に導電性塗料の点の様に小さくなるかも知れない。併しながらこれらは回路の利用され得る面積又は体積の大部分を占め不整列による回路の故障或いは不電導の附加的な原因となるかも知れない。

過去になされた小型化に対して本発明は小型化に対する新規にして全く異った概念から生じた。既知の技術の示唆を全く離れて小型化が少ない物質と、可能な操作を使用して得られる事が提起されたのである。前述に依れば回路小型化の終局は全回路素子にただ一つの物質を使用し且それの製作に矛盾のない或る限度の工程を用いて達成された。

前述はn型かp型かのどちらかの導電性を示し且拡散領域か領域と半導体本体との間か、或いは時により拡散領域間にp-n接合を形成する適当な導電性の拡散領域か領域中に形成されるべく形成された型を有する半導体物質を利用することに依り本発明は達成される。回路の成分が半導体物質の本体の中に1体化され且その1部を形成している事は注意されるべき事である。

更に特別な概念に於いては電子回路の全成分は半導体の

(4)

特公 昭40-14387

液に浸されり層は露出された領域に於いて完全に取り除かれる。そして化学的エッチングが良い様に思われるそしてそれからその光抵抗は取り除かれるのである。

シリコン酸化物より成る絶縁及び不活性物質80は蓄電器C<sub>1</sub>及びC<sub>2</sub>の接点51,52及び電気接点が作られるトランジスタT<sub>1</sub>及びT<sub>2</sub>のベース及びエミッタ領域を除いて完全にウエーフアを被覆する様にマスクを通して半導体ウエーフア表面に蒸着される。それから金の様な導電物質81,82,83は絶縁物質80の上に置かれ必要な電気接続がなされる。更に金線70が適当な区域に熱的に連絡され、電気接続を完了する。

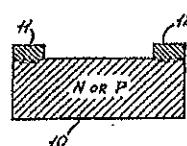
試験の後にこの回路は若し必要なら汚染から保護するために密封されてもよい。

本発明は特別な実施例を以つて示したがここに示唆した発明構想が實際離れる事なく変更及び変型が可能であることは明白である。従つてこの様な変更及び変型は発明の範囲の中に入ると思料する。

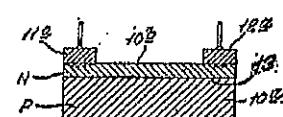
#### 特許請求の範囲

1 一正面に隣接して複数個の電気的に絶縁された異った回路素子を有する单一の結晶半導体ウエーフより成る半導体装置にして、前記回路素子の少く共一つはP-N接合が前記一面にて終るP型N型領域を前記一面に有し、シリコンの酸化物より成る絶縁物質が前記一面を被覆し且前記P型、N型領域上の接触部を露出し、電気接点が前記接触部夫々に添着され、前記絶縁物質上に延びている事を特徴とする半導体装置。

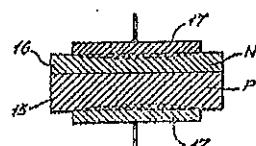
第1図



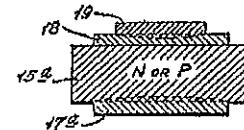
第1図 a



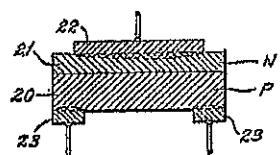
第2図



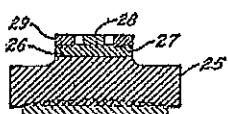
第2図 a



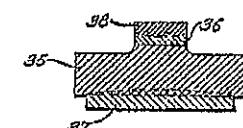
第3図



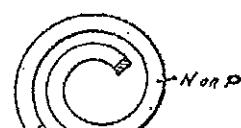
第4図



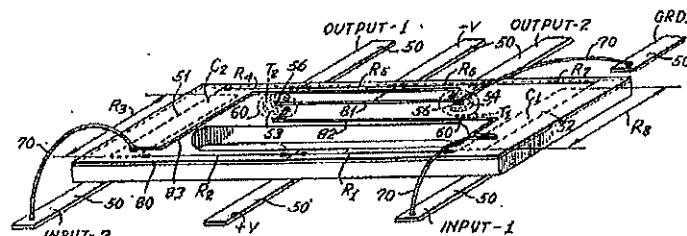
第5図



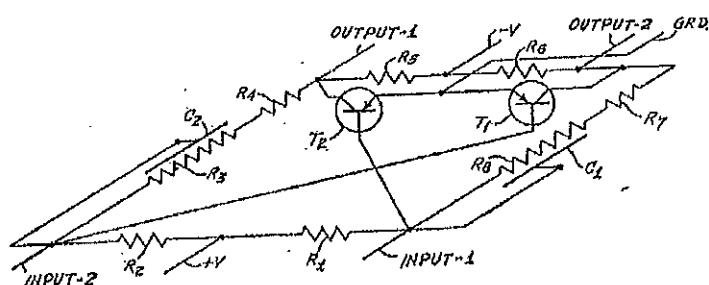
第5図 a



第6図 a



第6図 b



June 23, 1964

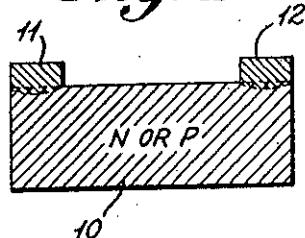
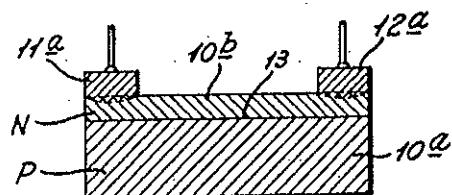
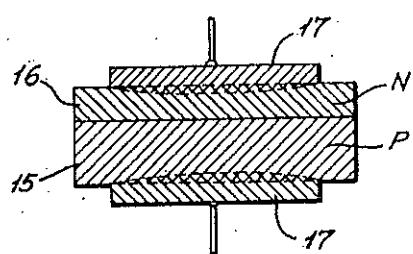
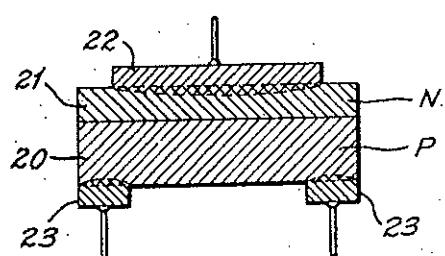
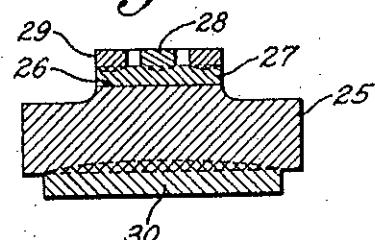
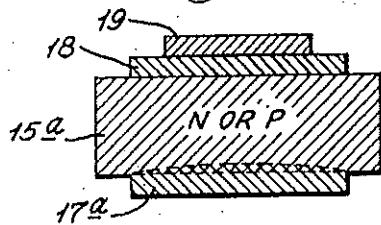
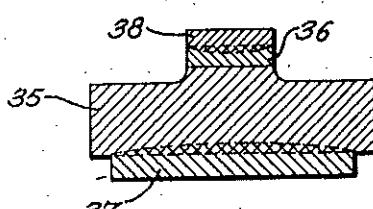
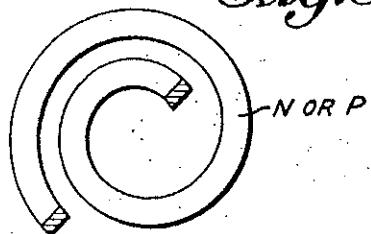
J. S. KILBY

3,138,743

## MINIATURIZED ELECTRONIC CIRCUITS

Filed Feb. 6, 1959

4 Sheets-Sheet 1

*Fig. 1.**Fig. 1a**Fig. 2.**Fig. 3.**Fig. 4.**Fig. 2a**Fig. 5.**Fig. 5a*

INVENTOR

Jack S. Kilby

BY

Stevens, Davis, Miller & Mosher  
ATTORNEYS

June 23, 1964

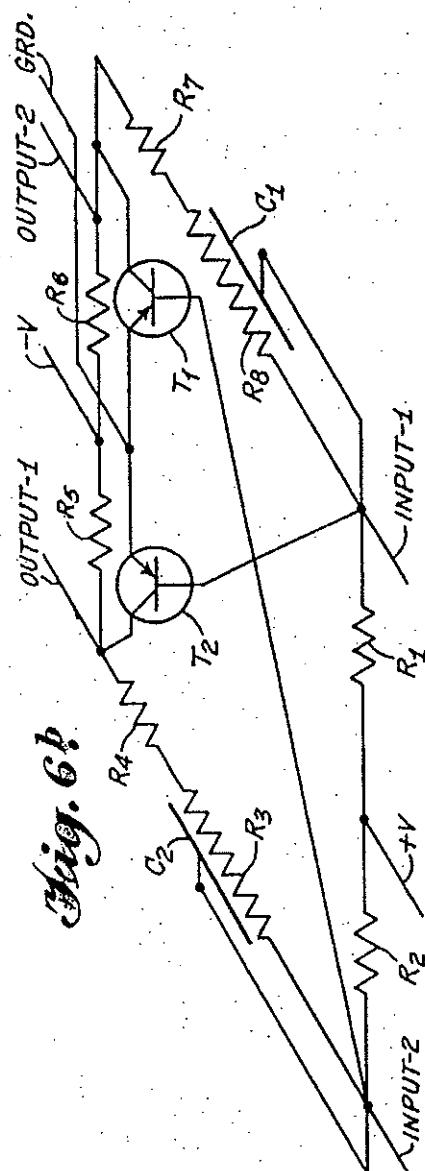
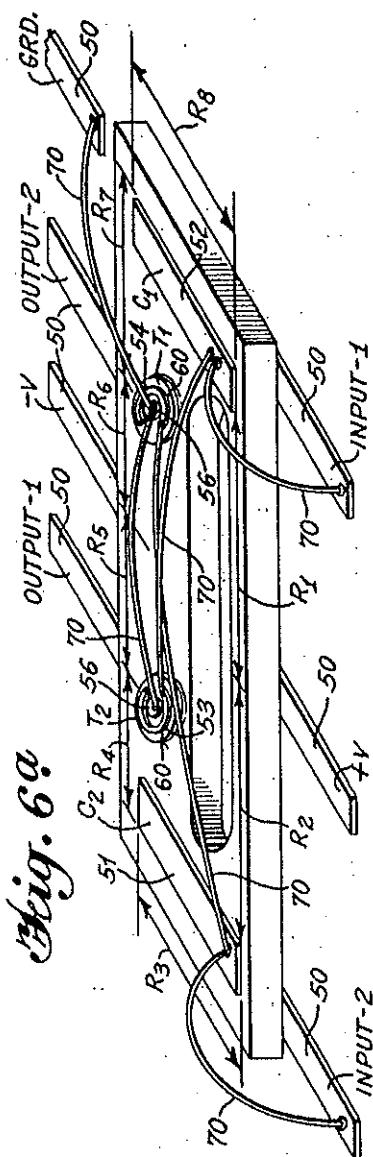
J. S. KILBY

3,138,743

MINIATURIZED ELECTRONIC CIRCUITS

Filed Feb. 6, 1959

4 Sheets-Sheet 2



INVENTOR

Jack S. Kilby

BY

Stevens, Davis, Miller & Mosher  
ATTORNEYS

June 23, 1964

J. S. KILBY

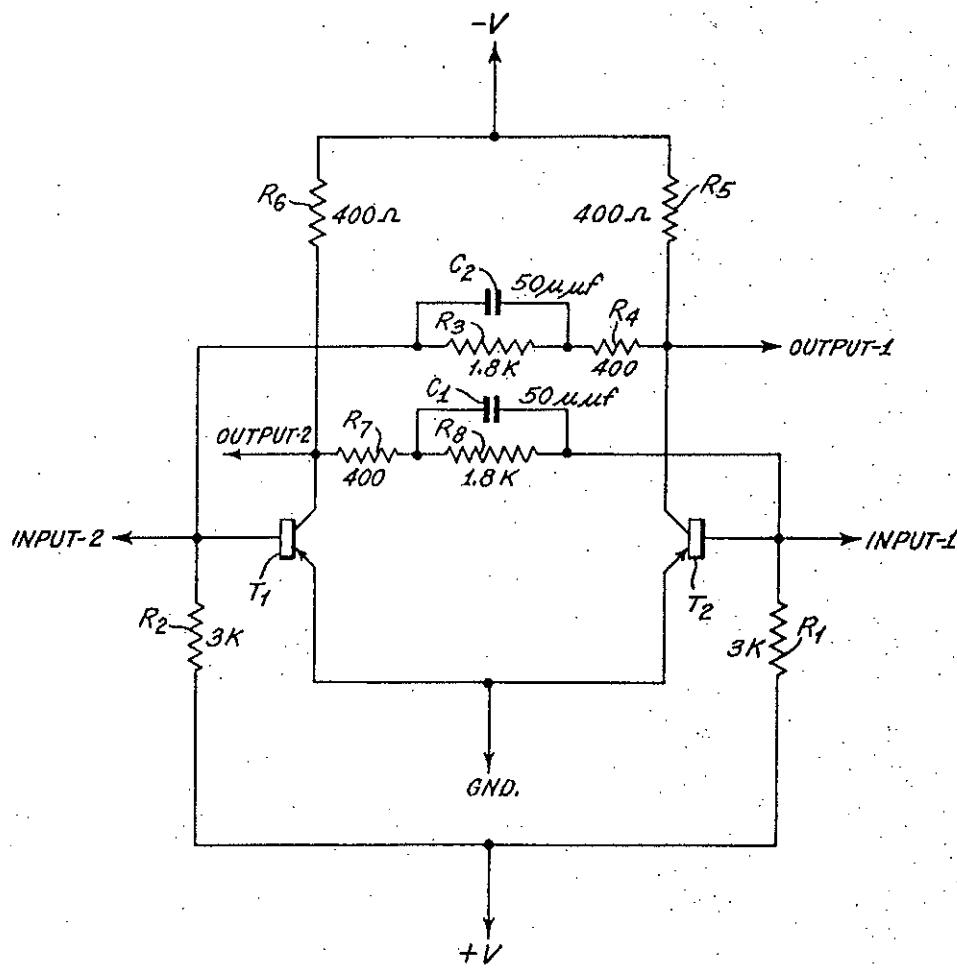
3,138,743

MINIATURIZED ELECTRONIC CIRCUITS

Filed Feb. 6, 1959

4 Sheets-Sheet 3

Fig. 7.



INVENTOR

Jack S. Kilby

BY

Stevens, Davis, Miller & Moshier  
ATTORNEYS

June 23, 1964

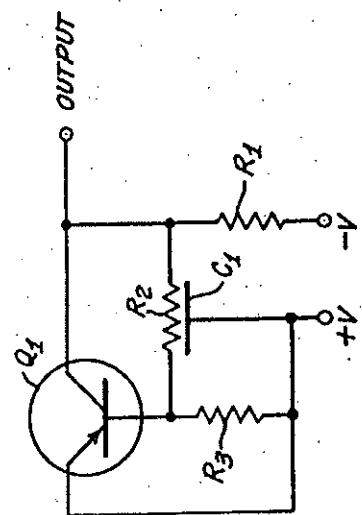
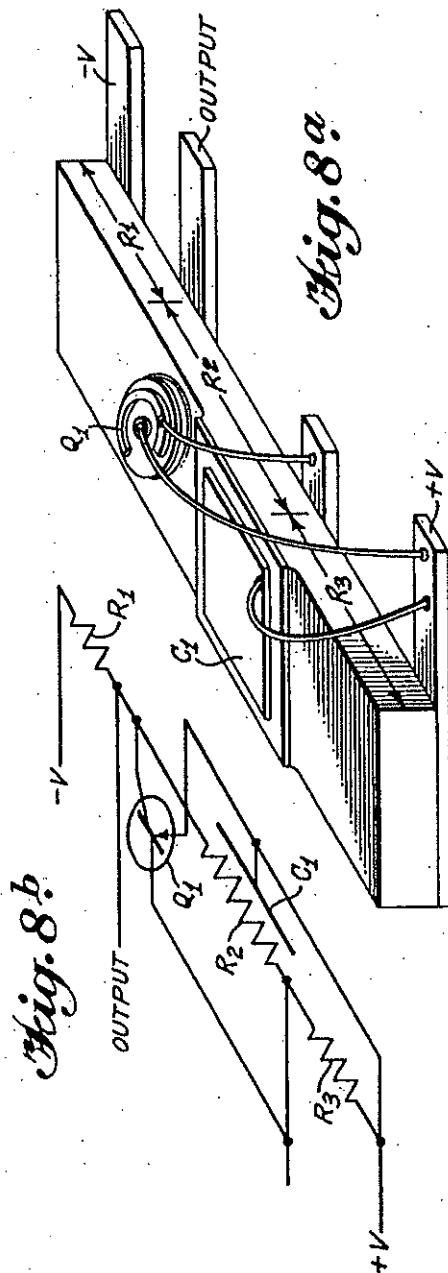
J. S. KILBY

3,138,743

## MINIATURIZED ELECTRONIC CIRCUITS

Filed Feb. 6, 1959

4 Sheets-Sheet 4



INVENTOR

Jack S. Kilby

BY

Stevens, Davis, Miller &amp; Mosher

ATTORNEYS

# United States Patent Office

3,138,743

Patented June 23, 1964

1

3,138,743

**MINIATURIZED ELECTRONIC CIRCUITS**  
 Jack S. Kilby, Dallas, Tex., assignor to Texas Instruments Incorporated, Dallas, Tex., a corporation of Delaware

Filed Feb. 6, 1959, Ser. No. 791,602  
 25 Claims. (Cl. 317—101)

This invention relates to miniature electronic circuits, and more particularly to unique integrated electronic circuits fabricated from semiconductor material.

Many methods and techniques for miniaturizing electronic circuits have been proposed in the past. At first, most of the effort was spent upon reducing the size of the components and packing them more closely together. Work directed toward reducing component size is still going on but has nearly reached a limit. Other efforts have been made to reduce the size of electronic circuits such as by eliminating the protective coverings from components, by using more or less conventional techniques to form components on a single substrate, and by providing the components with a uniform size and shape to permit closer spacings in the circuit packaging therefor.

All of these methods and techniques require a very large number and variety of operations in fabricating a complete circuit. For example, of all circuit components, resistors are usually considered the most simple to form, but when adapted for miniaturization by conventional techniques, fabrication requires at least the following steps:

- (a) Formation of the substrate.
- (b) Preparation of the substrate.
- (c) Application of terminations.
- (d) Preparation of resistor material.
- (e) Application of the resistor material.
- (f) Heat treatment of the resistor material.
- (g) Protection or stabilization of the resistor.

Capacitors, transistors, and diodes when adapted for miniaturization each require at least as many steps in the fabrication thereof. Unfortunately, many of the steps required are not compatible. A treatment that is desirable for the protection of a resistor may damage another element, such as a capacitor or transistor, and as the size of the complete circuit is reduced, such conflicting treatments, or interactions, become of increasing importance. Interactions may be minimized by forming the components separately and then assembling them into a complete package, but the very act of assembly may cause damage to the more sensitive components.

Because of the large number of operations required, control over miniaturized circuit fabrication becomes very difficult. To illustrate, many raw materials must be evaluated and controlled even though they may not be well understood. Further, many testing operations are required and, even though a high yield may be obtained for each operation, so many operations are required that the over-all yield is often quite low. In service, the reliability of a circuit produced by methods of such complexity may also be quite low due to the tremendous number of controls required. Additionally, the separate formation of individual components requires individual terminations for each component. These terminations may eventually become as small as a dot of conductive paint. However, they still account for a large fraction of the usable area or volume of the circuit and may become an additional cause of circuit failure or rejection due to misalignment.

In contrast to the approaches to miniaturization that have been made in the past, the present invention has resulted from a new and totally different concept for miniaturization. Radically departing from the teachings of the art, it is proposed by the invention that miniaturiza-

2

tion can best be attained by use of as few materials and operations as possible. In accordance with the principles of the invention, the ultimate in circuit miniaturization is attained using only one material for all circuit elements and a limited number of compatible process steps for the production thereof.

The above is accomplished by the present invention by utilizing a body of semiconductor material exhibiting one type of conductivity, either n-type or p-type, and having formed therein a diffused region or regions of appropriate conductivity type to form a p-n junction between such region or regions and the semiconductor body or, as the case may be, between diffused regions. According to the principles of this invention, all components of an entire electronic circuit are fabricated within the body so characterized by adapting the novel techniques to be described in detail hereinafter. It is to be noted that all components of the circuit are integrated into the body of semiconductor material and constitute portions thereof.

In a more specific conception of the invention, all components of an electronic circuit are formed in or near one surface of a relatively thin semiconductor wafer characterized by a diffused p-n junction or junctions. Of importance to this invention is the concept of shaping. This shaping concept makes it possible in a circuit to obtain the necessary isolation between components and to define the components or, stated differently, to limit the area which is utilized for a given component. Shaping may be accomplished in a given circuit in one or more of several different ways. These various ways include actual removal of portions of the semiconductor material, specialized configurations of the semiconductor material such as long and narrow, L-shaped, U-shaped, etc., selective conversion of intrinsic semiconductor material by diffusion of impurities thereinto to provide low resistivity paths for current flow, and selective conversion of semiconductor material of one conductivity type to conductivity of the opposite type wherein the p-n junction thereby formed acts as a barrier to current flow. In any event, the effect of shaping is to direct and/or confine paths for current flow thus permitting the fabrication of circuits which could not otherwise be obtained in a single wafer of semiconductor material. As a result, the final circuit is arranged in essentially planar form. It is possible to shape the wafer during processing and to produce by diffusion the various circuit elements in a desired and proper relationship. Certain of the resistor and capacitor components described herein have utility and novelty in and of themselves although they are completely adaptable to and perhaps find their greatest utility as integral parts of the semiconductor electronic circuit hereof.

It is, therefore, a principal object of this invention to provide a novel miniaturized electronic circuit fabricated from a body of semiconductor material containing a diffused p-n junction wherein all components of the electronic circuit are completely integrated into the body of semiconductor material.

It is another principal object of this invention to produce desired circuits by appropriately shaping a wafer of semiconductor material to obtain the necessary isolation between components thereof and to define the areas utilized by such components.

It is a further object of this invention to provide a unique miniaturized electronic circuit fabricated as described whereby the resulting electronic circuit will be substantially smaller, more compact, and simpler than circuit packages heretofore developed using known techniques.

It is a still further object of this invention to provide novel miniaturized electronic circuits fabricated as described above which involve less processing than techniques heretofore used for this purpose.

It is a primary object of the invention to provide a miniaturized electronic circuit wherein the active and passive circuit components are integrated within a body of semiconductor material, the junctions of such components being near and/or extending to one face of the body, with components being spaced or electrically separated from one another as necessary in the circuit. These features permit a versatility in design of integrated circuits not heretofore available.

The foregoing and other objects and features of the invention will become more readily apparent from the following detailed description of preferred embodiments of the present invention when taken in conjunction with the appended drawings, in which:

FIGURES 1-5a illustrate schematically various circuit components fabricated in accordance with the principles of the present invention in order that they may be integrated into, or as they constitute parts of, a single body of semiconductor material;

FIGURE 6a illustrates schematically a multivibrator circuit fabricated in accordance with the present invention;

FIGURE 6b shows the wiring diagram for the multivibrator circuit of FIGURE 6a laid out in the same relationship;

FIGURE 7 illustrates the wiring diagram of the multivibrator circuit of FIGURE 6a in a more conventional presentation;

FIGURE 8a illustrates schematically a phase shift oscillator fabricated in accordance with the principles of the present invention;

FIGURE 8b shows the wiring diagram for FIGURE 8a with the components laid out in the same relationship; and

FIGURE 8c portrays the wiring diagram of the phase shift oscillator.

As will be apparent to one skilled in the art, circuit components can be classified according to their circuit functions. Thus, circuit elements may be thought of as being active or passive in nature. According to "The Encyclopedic Dictionary of Electronics and Nuclear Engineering," edited by Sarbacher, and published by Prentice-Hall, active elements are those which in an impedance network act as current generators; whereas passive elements do not so act. Examples of active elements are photocells and transistors; examples of passive elements are resistors, capacitors and inductors. Diodes, while most often employed as passive elements, may if suitably biased and energized, function in an active capacity. Varactor diodes and tunnel diodes are examples of diodes operating in an active capacity. The term "circuit" (or "network") means two or more discrete circuit elements electrically connected together; and by "discrete circuit element" is meant a resistor, capacitor, inductor, diode, transistor or the like that is formed separately or purposely as distinguished from existence as a function incidentally, accidentally or inherently as a part of some other circuit element, as, for example, every transistor may be said to exhibit some resistance and capacitance along with its transistor action.

Referring now to the drawings in detail, preferred embodiments of the present invention will now be described in detail in order that a better understanding of the principles of the invention and the various forms and embodiments of the invention will be better understood.

As noted previously, the invention is primarily concerned with miniaturization of electronic circuits. Also, as noted, the invention contemplates the use of a body of semiconductor material appropriately shaped, electrically and physically and having formed therein a p-n junction or junctions and the use of component designs for the various circuit elements or components which can be integrated into, or which constitute parts of the aforesaid body of semiconductor material.

FIGURES 1-5 inclusive illustrate in detail circuit elements formed in accordance with the principles of this in-

vention which can be integrated into a body of semiconductor material. It is noted at this point that the body of semiconductor material is of single crystal structure, and can be composed of any suitable semiconductor material.

5 There may be mentioned as examples of suitable materials germanium, silicon, intermetallic alloys such as gallium arsenide, aluminum antimonide, indium antimonide, as well as others.

Referring particularly to FIGURE 1, there is shown a typical design for a resistor which may be embodied or integrated into a body of single crystal semiconductor material. As noted in FIGURE 1, the design contemplates utilizing the bulk resistance of a body 10 of semiconductor material of any conductivity type. Contacts

15 11 and 12 are made ohmically to one surface of the body 10, spaced apart a sufficient distance to achieve a desired resistance. As will be apparent to one skilled in the art, ohmic connections are those which exhibit symmetry and linearity in resistance to flow of current therethrough in any available direction. If two resistors are to be connected together, it is not necessary to provide separate terminations for the common point. The resistance may be calculated from

$$R = \rho L / A$$

25 where L is the active length in centimeters, A is the cross sectional area, and  $\rho$  is the resistivity in ohm-cm. of the semiconductor material.

In addition to the resistor shown in FIGURE 1, a resistor may be provided as shown in FIGURE 1a for integration into and as forming a part of a body of semiconductor material. In FIGURE 1a, there is shown a body 10a of p-type semiconductor material with an n-type region 10b formed therein. Of course, between the body 10a and region 10b there is a p-n junction which is designated by the numeral 13. Contacts 11a and 12a are made to one surface of the region 10b, spaced apart from each other in order to achieve a desired resistance. As in FIGURE 1, the contacts 11a and 12a are ohmic contacts to the region 10b. A resistor formed in the manner of FIGURE 1a has several important advantages. First, the p-n junction 13 provides a barrier to current flow from the n-type region 10b into the p-type body 10a and, thus, the current flow is confined to a path in the n-type region 10b between the contacts thereto. The second advantage is that the total resistance value thereof can be controlled to a large degree. The total resistance value may be controlled by etching very lightly over the entire surface to remove the uppermost portion of the n-type region 10b, being very careful to not etch through the p-n junction, and as well by selectively etching to or through the p-n junction 13 thereby effectively to increase the length of the path traveled by the current between the contacts.

35 The third, and perhaps major, advantage in forming a resistor according to FIGURE 1a is in that, by controlling the doping level or impurity concentration in the n-type region 10b, lower and more nearly constant temperature coefficients may be provided for the resistor. The above description has been in terms of a p-type body 10a and an n-type region 10b but it is obvious that the body 10a could be equally as well of n-type conductivity and the region 10b of p-type conductivity. Resistors according to FIGURE 1a may be formed as separate circuit elements or components.

65 Capacitor designs may be obtained by utilizing the capacitance of a p-n junction, as shown in FIGURE 2, wherein a semiconductor wafer 15 of p-type conductivity is shown containing an n-type diffused layer 16. Ohmic contacts 17 are made to opposite faces of the wafer 15. The capacitance of a diffused junction is given by

$$C = A \epsilon \left( \frac{q a}{12 e V} \right)^{1/2}$$

75 where A is the area of the junction in square cm.,  $\epsilon$  is the dielectric constant, q is electronic charge, where a is the impurity density gradient, and V is the applied voltage.

3,188,743

5

Instead of the capacitor of FIGURE 2, capacitance in a body of single crystal of semiconductor material may be provided as shown and described in connection with FIGURE 2a. FIGURE 2a shows a body 15a of semiconductor material, of either n- or p-type conductivity, which constitutes one plate of the capacitor. Evaporated onto the body 15a is a layer 18 providing a dielectric layer for the capacitor. It is necessary that the layer 18 have a suitable dielectric constant and be inert when in contact with the semiconductor body 15a. Silicon oxide has been found to be a suitable material for dielectric layer 18 and may be applied by evaporation or thermal oxidation techniques onto body 15a. Plate 19 forms the other plate of the capacitor and is provided by evaporating a conductive material onto layer 18. Gold and aluminum have been found to be satisfactory materials for the plate 19. Ohmic contact 17a is made to the body of semiconductor material 15a and contact to plate 19 may be made by any suitable electrical contact (not shown). Capacitors formed in the manner described in connection with FIGURE 2a have been found to exhibit much more stable characteristics than pure junction capacitors, that is, p-n junction capacitors, and, of course, may be fabricated as separate elements or components.

Capacitors produced in the manner of FIGURE 2 are also diodes, and must therefore be properly polarized in the circuit. Non-polar capacitors may be made by connecting two such areas back-to-back. Although junction capacitors have a marked voltage dependence, such dependence is present to a lesser degree for low voltages in the non-polar configuration.

Resistor and capacitor designs may be combined to form a distributed R-C network. Such is shown in FIGURE 3, wherein a wafer 20 of p-type conductivity having an n-type conductivity diffused layer 21 formed therein is provided with a broad area contact 22 on the face and spaced contacts 23 on the opposite face. These networks are useful for low pass-filters, phase shift networks, coupling elements, etc. Their parameters may be calculated from the equations above. Other configurations of this general type are also possible.

Transistors and diodes may be formed on a wafer, as described by Lee in "Bell System Technical Journal," vol. 35, p. 23 (1956). This reference describes a transistor, as shown in FIGURE 4, which has a collector region 25, a diffused p-n junction 26, a base layer 27, an emitter contact 28 for a rectifying connection with base layer 27 and base and collector contacts 29 and 30, respectively. The base layer 27 is formed as a mesa of small cross section. A diode of similar design is shown in FIGURE 5, and consists of a region 35 of one type conductivity, a mesa region 36 of opposite conductivity type with a p-n diffused junction formed therebetween and contacts 37 and 38 to each region.

Small inductances, suitable for high frequency use, may also be made by shaping the semiconductor as evidenced by FIGURE 5a which shows a spiral of semiconductor material. It is also possible to prepare photosensitive, photoresistive, solar cells and other like components utilizing the considerations outlined above.

Although all of the circuit elements have been described in terms of a single diffused layer, it is quite possible to use a double diffused structure. Thus, double diffusion may be employed to form both n-p-n and p-n-p structures. Moreover, any suitable substances can be used for the semiconductor materials, conductivity producing impurities, and contact materials; and suitable and known processing can be exploited in producing the above circuit designs.

Because all of the circuit designs described above can be formed from a single material, a semiconductor, it is possible by physical and electrical shaping to integrate all of them into a single crystal semiconductor wafer containing a diffused p-n junction, or junctions, and to process the wafer to provide the proper circuit and the correct

6

component values. Junction areas for the transistors, diodes, and capacitors are formed by properly shaped "mesas" on the wafer.

A specific illustration of an electronic circuit embodying the principles of the invention is shown in FIGURE 6a. As shown, a thin wafer of single crystal semiconductor material containing a diffused p-n junction has been processed and shaped to include a complete and integrated multivibrator electronic circuit formed essentially in one surface of the wafer. The regions of the wafer have been marked with symbols representative of the circuit element functions that are performed in the various regions. FIGURE 6b shows a wiring diagram of the various circuit functions in the relationship which they occupy in the wafer of FIGURE 6a. A more conventionally drawn circuit diagram is shown in FIGURE 7 with the circuit values actually used. The multivibrator circuit shown in FIGURES 6a, 6b and 7 will be described as illustrative of the processing techniques employed. First, a semiconducting wafer, preferably silicon or germanium, of the proper resistivity is lapped and polished on one side. For this design, 3 ohm-cm. p-type germanium was used. The wafer was then subjected to an antimony diffusion process which produced an n-type layer on the surface about 0.7 mil deep. The wafer was then cut to the proper size, 0.200 inch x 0.080 inch and the unpolished surface was lapped to give a wafer thickness of 0.0025 inch.

Gold plated Kovar leads 50 were attached by alloying to the wafer in the proper positions (as shown). Kovar is a trade name for an iron-nickel-cobalt alloy. Gold was then evaporated through a mask to provide the areas 51-54 which provide ohmic contact with the n region, such as the transistor base connections and the capacitor contacts. Aluminum was evaporated through a properly shaped mask to provide the transistor emitter areas 56, which form rectifying contacts with the n layer.

The wafer was then coated with a photosensitive resist or lacquer, such as Eastman Photo Resist, supplied by Eastman Kodak Company, and exposed through a negative to a light. The lacquer image remaining after development was used as a resist for etching the wafer to the proper shape. In particular, this etching forms a slot through the wafer to provide isolation between R<sub>1</sub> and R<sub>2</sub> and the rest of the circuit and also shapes all of the resistor areas to the previously calculated configuration. Either chemical etching or electrolytic etching may be used, although electrolytic etching appears to be preferable.

After this step, the photoresist was removed with a solvent and the mesa areas 60 masked by the same photographic process. The wafer was again immersed in etchant and the n layer completely removed in the exposed areas. A chemical etch is considered preferable. The photoresist was then removed.

Gold wires 70 were then thermally bonded to the appropriate areas to complete the connections and a final clean-up etch given. Instead of using the gold wires 70 in making electrical connections, connections may be provided in other ways. For example, an insulating and inert material such as silicon oxide may be evaporated onto the semiconductor circuit wafer through a mask either to cover the wafer completely except at the points where electrical contact is to be made thereto, or to cover only selected portions joining the points to be electrically connected. Electrically conducting material such as gold may then be laid down on the insulating material to make the necessary electrical circuit connections.

After testing, the circuit may be hermetically sealed, if required, for protection against contamination. The finished device was smaller by several orders of magnitude than any others which have previously been proposed. Because the fabrication steps required are quite similar to those now used in manufacturing transistors and because of the relatively small number of steps re-

3,138,743

7

quired, these devices are inherently inexpensive and reliable, as well as compact.

A further illustration of the process hereof is shown in FIGURES 8a-8c. Each area of the single crystal semiconductor wafer has been marked with a symbol for the circuit element which it represents. This unit illustrates the use of resistors, transistors, and a distributed R-C network to form a complete phase shift oscillator.

It must be emphasized that the two embodiments described above are merely two of innumerable circuits which can be fabricated by the techniques of the present invention. There is no limit upon the complexity or configuration of circuits which can be made in this manner. While there is a limit upon the types and values of components which can be made in a limited space, the invention hereof nevertheless represents a remarkable improvement over the prior art. As evidence of the advance in the art accomplished by the present invention, it is possible using the techniques described above to achieve component densities of greater than thirty million per cubic foot as compared with five hundred thousand per cubic foot which is the highest component density attained prior to this invention.

Although the invention has been shown and described in terms of specific embodiments, it will be evident that changes and modifications are possible which do not in fact depart from the inventive concepts taught herein. Hence, such changes and modifications are deemed to fall within the purview of the invention.

What is claimed is:

1. In an integrated circuit having a plurality of electrical circuit components in a wafer of single-crystal semiconductor material, a plurality of junction transistors defined in the wafer, each transistor including thin layers of semiconductor material of opposite conductivity-types adjacent one major face of the wafer providing a base and an emitter region which overlie a collector region, the base-emitter and base-collector junctions of each of said transistors extending wholly to said one major face, a plurality of thin elongated regions of the wafer exhibiting substantial resistance to provide semiconductor resistors, the elongated regions being spaced on said one major face from the transistors, and conductive means connecting selected ones of the elongated regions to regions of selected ones of the transistors.

2. In a semiconductor device which includes a single-crystal semiconductor wafer: a junction transistor provided adjacent one major face of the wafer by thin layers of semiconductor material of opposite conductivity types overlying one another and extending to said one major face with the emitter-base and base-collector junctions of the transistor extending wholly to said one major face; and a resistor provided in the wafer by a discrete elongated region of the semiconductor material which is spaced from the transistor on said one major face.

3. An integrated circuit comprising a wafer of semiconductor material containing a plurality of electrical circuit components including at least one active circuit component and at least one passive circuit component, the active circuit component including at least two thin layers of semiconductor material of opposite conductivity-types extending to one major face of the wafer with p-n junctions of the active circuit component extending wholly to said one major face, the passive circuit component including at least one discrete region of the semiconductor material of the wafer which is spaced on said one major face away from the thin layers of the active component, substantial electrical impedance being exhibited between the semiconductor material contiguous to the at least one discrete region of the passive component and semiconductor material immediately underlying said thin layers of the active component.

4. An integrated circuit according to claim 3 wherein said active circuit component is a junction transistor, said

8

passive circuit component is an elongated resistor region, and said semiconductor material immediately underlying said thin layers of the active component defines the collector region of the junction transistor.

5. An integrated circuit according to claim 3 which further comprises: at least one other active circuit component provided in the wafer and including at least two thin layers of semiconductor material of opposite conductivity-types extending to said one major face with p-n junctions of such other active circuit component extending wholly to said one major face; and at least one other passive circuit component provided in the wafer and including at least one discrete region of the semiconductor material which is spaced on said one major face away from the thin layers of the at least one other active component.

6. An integrated circuit according to claim 5 wherein said discrete regions of said passive circuit components include thin surface-adjacent regions at said one major face of the wafer.

7. An integrated circuit according to claim 3 wherein the at least one discrete region of the passive circuit component includes a thin surface-adjacent layer of semiconductor material.

8. An integrated circuit according to claim 7 wherein the passive circuit component is a resistor.

9. An integrated circuit according to claim 3 wherein at least one of said circuit components includes a thin layer of dielectric material overlying said one major face of the wafer with a thin layer of conductive material overlying the dielectric material.

10. A semiconductor device comprising: a body of single-crystal semiconductor material; an active circuit component provided adjacent one major face of the body and including thin regions of the semiconductor material which extend to said one major face; each of such regions being of different conductivity than adjoining semiconductor material with the interface between each such region and other of the semiconductor material of the body extending wholly to said one major face; a passive circuit component provided in the body by a discrete portion of the semiconductor material which is spaced from the active circuit component on said one major face, substantial electrical impedance existing through the body between said thin regions of the active circuit component and the discrete portion of the passive circuit component.

11. A semiconductor device according to claim 10 wherein at least part of said substantial electrical impedance is exhibited by at least one p-n junction within the wafer.

12. An integrated circuit comprising a wafer of single-crystal semiconductor material having a plurality of electrical circuit components therein, the components including an active circuit component which comprises thin regions of semiconductor material of opposite conductivity-types closely adjacent one major face of the wafer with p-n junctions between such thin regions extending wholly to said one major face, the components further including a semiconductor resistor provided by a discrete elongated region of the wafer which is spaced on said one major face from the active circuit component, and a conductive lead connecting an end of the elongated region to one of the thin regions of the active circuit component.

13. In an integrated circuit having a plurality of circuit components in a wafer of single-crystal semiconductor material, a pair of junction transistors defined in the wafer with each transistor including thin layers of alternate conductivity type adjacent one major face of the wafer providing a base and an emitter region which overlie a collector region, the base-emitter and collector-base junctions of each of said transistors extending wholly to said one major face, elongated semiconductor means defined in the wafer and exhibiting substantial resistance to provide load resistor means for the pair of transistors, first conductive means connected to the collector region

3,138,743

9

of one of the transistors and to an end of the elongated semiconductor means, second conductive means connected to the collector region of the other one of the transistors and to an end of the elongated semiconductor means, means including contacts to the emitter regions of the transistors and to the elongated semiconductor means for applying operating bias to the transistors and means including separate contacts on said base regions for applying inputs to said pair of transistors.

14. In an integrated circuit according to claim 13 first and second elongated semiconductor regions defined in the wafer and exhibiting substantial resistance to provide base resistors for the pair of transistors, and conductive means separately connecting an end of the first elongated region to the base region of one of the transistors and an end of the second elongated region to the base region of the other of the transistors.

15. An integrated circuit having a plurality of electrical circuit components in a wafer of single-crystal semiconductor material, at least one of the components being an active circuit component which includes thin layers of semiconductor material of alternate conductivity types defined in the wafer adjacent one major face thereof with p-n junctions of such active circuit component extending wholly to said one major face, at least one of the components being a passive circuit component which includes at least one discrete region defined in the wafer, the passive circuit component being spaced on said one major face from the active circuit component, substantial electrical impedance being exhibited through the wafer between the active circuit component and the passive circuit component, a plurality of interconnections between selected ones of the electrical circuit components, the circuit components and interconnections being so arranged and constructed as to allow, upon the application of electrical power, the performance within the structure of an electrical function equivalent to the function performed by a plural element electrical network.

16. An integrated circuit comprising a wafer of single-crystal semiconductor material containing a plurality of electrical circuit components defined in the wafer, the circuit components including an active circuit component which comprises at least two thin regions of the wafer of opposite conductivity-types each extending to one major face with the junction between each such thin region and other semiconductor material of the wafer extending to said one major face, the circuit components further including a passive circuit component which comprises at least one discrete region of the semiconductor material, the discrete region being spaced on said one major face from the thin regions of the active circuit component, non-common regions of the active and passive circuit components being interconnected to form at least part of an electrical circuit.

17. In a semiconductor device according to claim 2, said thin layers of said junction transistor being portions of a raised mesa-shaped part of said one major face.

18. An integrated circuit according to claim 3 wherein said active circuit component is a junction transistor with said two thin layers being the base and emitter regions of said junction transistor, the emitter region being substantially smaller than the base region on said one major

10

face, a base contact being positioned on said base region spaced from the emitter region.

19. An integrated circuit according to claim 18 wherein said discrete region of the passive circuit component includes a thin surface-adjacent layer of semiconductor material of conductivity-type opposite that of subjacent semiconductor material, an ohmic contact is provided on said surface-adjacent layer, and a conductive lead connects such ohmic contact to said base contact.

10 20. A semiconductor device according to claim 10 wherein said passive circuit component provided in the body by said discrete portion of the semiconductor material includes a thin surface-adjacent portion of the semiconductor material at said one major face of the body, such thin portion being of conductivity differing from subjacent semiconductor material.

21. A semiconductor device according to claim 20 wherein separate electrical contacts are provided on at least two of said thin regions of the active circuit component on said one major face, wherein a contact is provided on said thin surface-adjacent portion on said one major face, and wherein conductive means interconnects said contact on said surface-adjacent portion with one of said contacts on said thin regions of the active circuit component.

22. In an integrated circuit according to claim 13 said elongated semiconductor means being a single elongated region of the semiconductor material with said first and second conductive means being separately connected to opposite ends of such elongated region and with said means for applying operating bias being connected to a centrally located portion of such elongated region.

23. In an integrated circuit according to claim 13 said means for applying inputs to said pair of transistors includes separate coupling means connecting the first conductive means to the contact on the base region of said one of the transistors and connecting the second conductive means to the contact on the base region of said other one of the transistors.

40 24. An integrated circuit according to claim 16 wherein said discrete region of the passive circuit component includes a thin surface-adjacent region of conductivity type opposite to that of subjacent semiconductor material.

25. An integrated circuit according to claim 24 wherein 45 said passive circuit component is a P-N junction capacitor.

#### References Cited in the file of this patent

#### UNITED STATES PATENTS

50	2,493,199	Khoury	Jan. 3, 1950
	2,748,041	Leverenz	May 29, 1956
	2,816,228	Johnson	Dec. 10, 1957
	2,817,048	Thuermel	Dec. 17, 1957
	2,824,977	Pankove	Feb. 25, 1958
55	2,836,776	Ishikawa	May 27, 1958
	2,878,147	Beale	Mar. 17, 1959
	2,915,647	Ebers	Dec. 1, 1959
	2,916,408	Freedman	Dec. 8, 1959
	2,922,937	Hutzler	Jan. 26, 1960
60	2,935,668	Robinson et al.	May 3, 1960
	2,995,686	Selvin	Aug. 8, 1961
	2,998,550	Collins et al.	Aug. 29, 1961

⑤Int.Cl. ⑥日本分類  
G 06 F 15/02 97(7)H 92  
G 06 F 1/00 97(7)A 1

⑨日本国特許庁

⑩特許出願公告

昭49-31818

## 特許公報

⑪公告 昭和49年(1974)8月24日

発明の数 1

(全42頁)

1

2

## ⑫電子計算器

⑬特 願 昭43-70263

⑭出 願 昭43(1968)9月30日

優先権主張 ⑯1967年9月29日⑯アメリカ  
カ国⑯671804⑯1967年9月29日⑯アメリカ  
カ国⑯671805⑯1967年9月29日⑯アメリカ  
カ国⑯671777⑮発明者 ジャック・セント・クレア・キル  
ビイアメリカ合衆国テキサス州ダラス・  
ミッドベリー7723同 ジエームス・ヘンリー・バン・タ  
ツセルアメリカ合衆国テキサス州ダラス・  
ローリング・ヒルズ・レーン13225

同 ジヨン・マツクラディ

アメリカ合衆国テキサス州ダラス・  
クリデル・ドライブ3040

同 ジエリー・デール・メリーマン

アメリカ合衆国テキサス州ダラス・  
アールシャー・ドライブ10711⑯出願人 テキサス・インストルメンツ・イ  
ンコーポレーテッドアメリカ合衆国テキサス州ダラス・  
セントラル・エキスプレス・ウ  
エイ・ノース13500

⑰代理人 弁理士 浅村成久 外3名

## 図面の簡単な説明

第1図は本発明の実施例による計算器の外部ケーシングを示し、第2図は第1図の計算器の各部の機械的関係を示し、第3図は第2図の計算器のテープ前進装置11およびプリントアウト用熱印字機14を示し、第4図は第2図の計算器のキー

23およびキーボード符号器6を示し、第5図は第2図の計算器のキーボード符号器6を示し、第6図は第2図の計算器の熱印字機4を示し、第7図は第6図の熱印字機の発熱体配列すなわち駆動マトリックスを示し、第8図は第6図の熱印字機の発熱体すなわち駆動マトリックスの電気接続を示し、第9図～第13図は第2図の計算器の電源および補助電子回路を示し、第14図は第2図の計算器の主電子回路を含む半導体集積回路配列を示し、第15図～第18図は第14図の半導体集積回路配列の論理回路を示し、第19図は第2図のテープ前進装置11の部分図を示し、第20図は第15図～第18図のゲートを含む代表的回路を示し、第21図は第14図の半導体集積回路配列の送りレジスタ回路を示し、第22図は第14図の半導体集積回路配列の24ビット送りレジスタを示し、第23図は第14図の半導体集積回路配列の2個の24ビット送りレジスタの相互接続を示し、第24図は第14図の半導体集積回路配列の1個の24ビット送りレジスタを示し、第25図は第14図の半導体集積回路配列の送りレジスタのクロック・パルス回路を示し、第26図は第14図の半導体集積回路配列の制御部分のプロック線図を示し、第27図は第14図の半導体集積回路配列の印字制御部分のプロック線図を示し、第28図は第14図の半導体集積回路配列の演算部分のプロック線図を示し、第29図は第15図～第18図の論理回路を実施する半導体集積回転を示し、第30図は第29図のゲート90を示し、第31図は第30図の線A-Aに沿つて取られた断面図を示し、第32図は第14図の半導体集積回路配列の半導体集積送りレジスタを示し、第33図は第32図の線A-Aに沿つて取られた断面図を示し、第34図と第35図は第2図の計算器の数字記入および加減算用指令のタイミング線図を示し、第36図はプリントアウト・テーブの形式を示すものである。

(25)

特公 昭49-31818

49

- X4およびZ1～Z4の和である。第  
15図。
- S A 低い値であるとき、印字キーが解放さ  
れるまでクロックを時間(S11)  
 $\overline{CL}$ で止める。第18図。 5
- S A P 文字(+−×/CE)用の印字ワン・  
ショット・マルチバイブレータをトリ  
ガする。第18図。 10
- S B 減算サイクルを開始するため低い値に  
なる。除算のときに発生。第16図。 10
- S C S Bまたはキーボード(-)キーのいずれ  
かの作用により時間(S1) $\overline{CL}$ で減  
算サイクルを開始。SUBを高い値に  
セットし、桁上げフリップ・フロップ  
を/ $\overline{IC}$ セットする。第18図。 15
- S M 1 低い値であるとき、MスケールをM1  
にセットする。第16図。 15
- S M 2 MスケールをM2にセットする。第  
16図。 20
- S M 3 MスケールをM3にセットする。第  
16図。 20
- S M 5 MスケールをM5にセットする。第  
16図。 20
- S M 1 2 MスケールをM12にセットする。第  
16図。 25
- S P A 各印字の終りに印字「スペース」に対  
し低値になる。第16図。
- S P A C S PAICに対する同様な作用、除算ブリ  
ントアウトのとき商とあまりの間にス  
ペースを置く。第16図。 30
- S P C 印字マトリックスに対する「スペース」  
信号。第18図。
- S S 計算器の正常な不動位置で低い値。時  
間(S16) $\overline{CL}$ でクロックを止める。  
各種回路を正常にリセットする。任意  
なキー(10進小数点キーを除く)を  
押すことによって打破り、それによつ  
てクロックを開始する。信号DMOに  
よつて乗除算および印字の中間でクロ  
ックを止めないようにする。第18図。 40
- S T P 印字のワン・ショット・マルチバイブ  
レータの任意な一つが起動されるとき  
高い値となる。クロック停止信号をう  
るために使用。第18図。

50

- S U B 減算の際高い値。第17図。
- T 1 , T 2 , T 3 ,  
T 4 Sスケールの出力。S1～S16参照。  
第18図。
- $\overline{T} 1 , \overline{T} 2 , \overline{T} 3 ,$   
 $\overline{T} 4 T 1 , T 2 , T 3$ およびT4の補数。
- T I M 加減算のとき、時間(S7) $\overline{CL}$ で低  
い値になる。このとき演算数レジスタ  
は累算レジスタに加算される。第18  
図。
- T R I G 印字のワン・ショット・マルチバイブ  
レータをトリガする。第16図。
- X 1 , X 2 , X 3 ,  
X 4 演算数レジスタの3増し2進符号出力。  
第24図。
- $\overline{X} 1 , \overline{X} 2 , \overline{X} 3 ,$   
 $\overline{X} 4 X 1 , X 2 , X 3$ およびX4の補数。
- Y 1 , Y 2 , Y 3 ,  
Y 4 累算レジスタの3増し2進符号出力。  
第23図。
- $\overline{Y} 1 , \overline{Y} 2 , \overline{Y} 3 ,$   
 $\overline{Y} 4 Y 1 , Y 2 , Y 3 , Y 4$ の補数。
- Z 1 , Z 2 , Z 3 ,  
Z 4 ゲートG1から直列加算器への符号出  
力。第15図。
- 言うまでもなく、記載した実施例は単に本発明  
の説明のためのものである。多くの他の配列が、  
下記の特許請求の範囲に定められるとおり、本発  
明の主旨と範囲を逸脱しないで、当業者により考  
案されよう。
- ⑥特許請求の範囲
- 1 超小型携帯用電池動作電子計算器であつて、  
(a) 10進数値の複数数字を入れるための10進數  
字キーと複数の指令キーを有し、計算器に数値の  
35 数字および演算指令を入れ、前記数字ならびに前  
記指令に対応する信号を発生するためのキーボー  
ドをそなえた入力手段と、(b)ほぼ一つの平面内に  
配置され、占有面積がキーボード面積より小さい  
半導体集積回路アレイで構成され、前記信号に応  
答して計算器に入れられた数値に対して演算を行  
い、かつ制御信号を発生する電子的手段であつて、  
前記半導体集積回路アレイに、(i)計算器に入れら  
れた数値の数字を貯えるために記憶手段と、(ii)こ  
の記憶手段に結合され、前記数値を加算、減算、

(26)

特公 昭49-31818

51

乗算および除算を行い、得られた答を記憶手段に貯えさせるための演算手段と、(ii)指令に従つて所望の演算を行うように記憶手段から演算手段を介して数値を選択的に転送し、かつ記憶手段へ戻すための手段とが設けられた電子時手段と、(c)前記5半導体集積回路アレイに結合され、前記制御信号に応答して演算の答えを可視表示する手段とをそなえ、キーボードと、電子的手段と、可視表示手

52

段と電池とを含む計算器全体をポケットサイズのケースに収めた計算器。

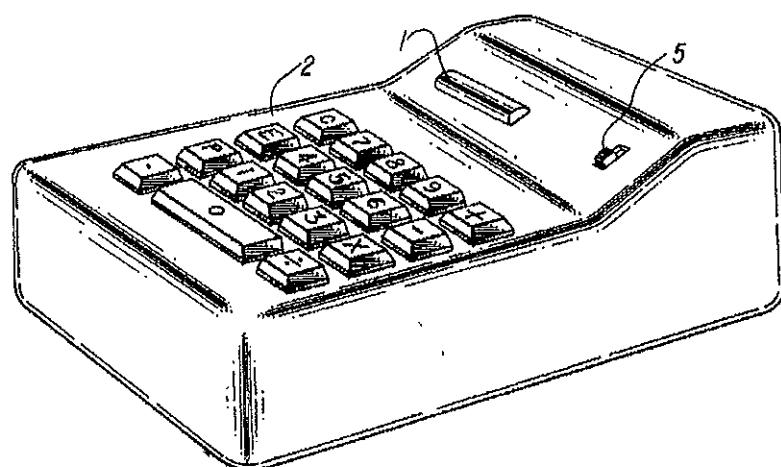
⑥引用文献

エレクトロニクス 昭42・1月号 第55～  
58頁

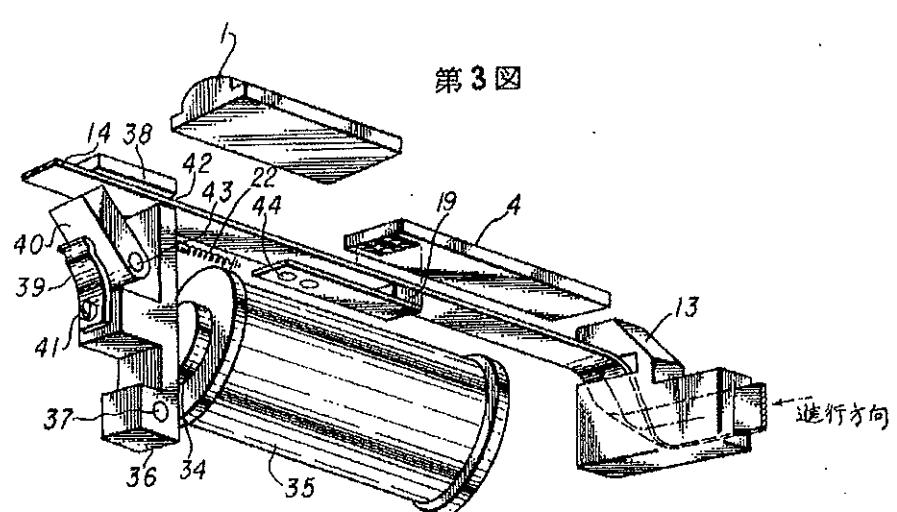
(27)

特公 昭49-31818

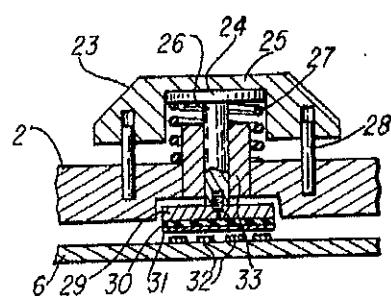
第1図



第3図

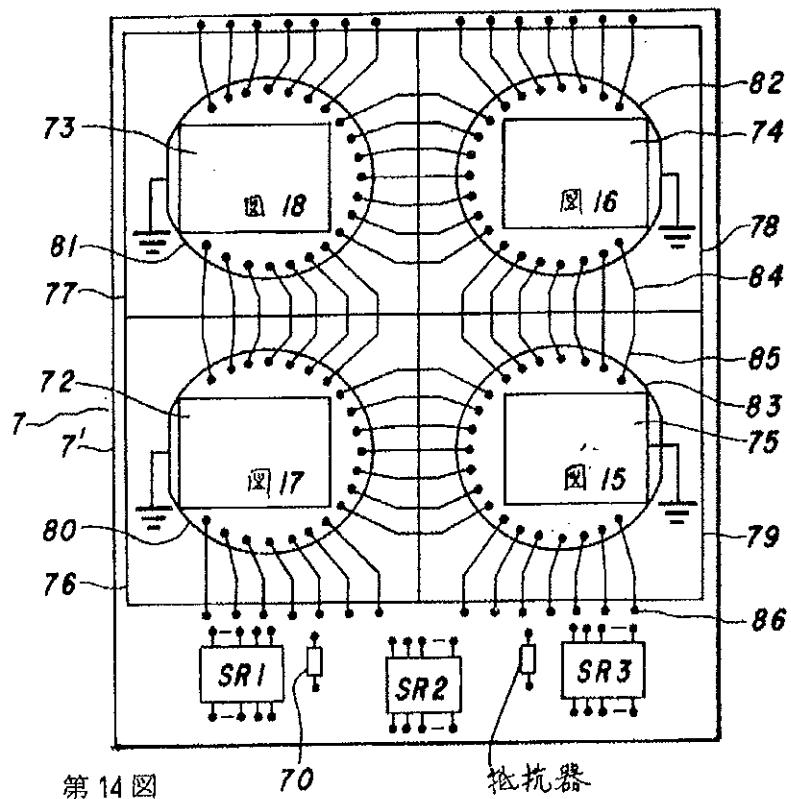
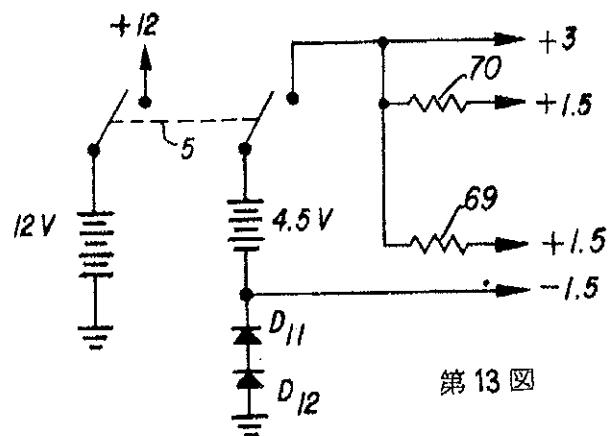


第4図



(32)

特公 昭49-31818



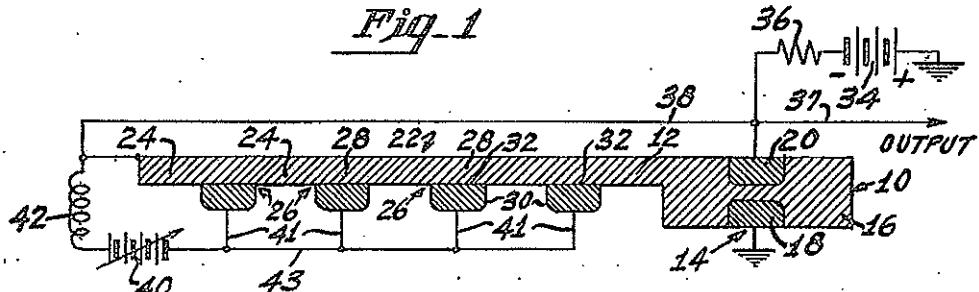
Dec. 10, 1957

H. JOHNSON

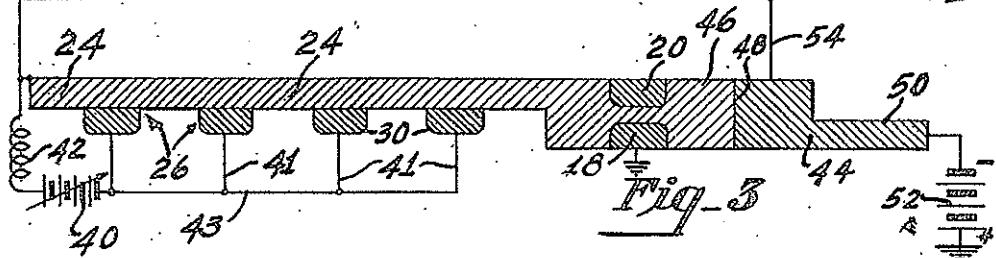
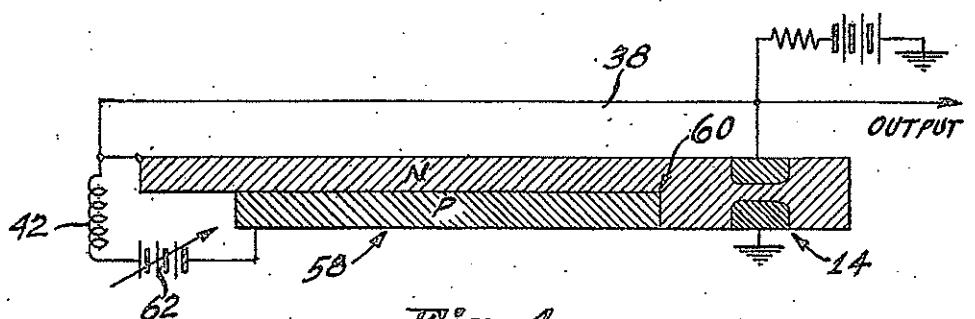
2,816,228

## SEMICONDUCTOR PHASE SHIFT OSCILLATOR AND DEVICE

Filed May 21, 1953

Fig. 1Fig. 2

55 OUTPUT

Fig. 3Fig. 4INVENTOR.  
Harwick JohnsonBY J. L. Whittaker  
ATTORNEY

# United States Patent Office

2,816,228

Patented Dec. 10, 1957

1

2,816,228

## SEMICONDUCTOR PHASE SHIFT OSCILLATOR AND DEVICE

Harwick Johnson, Princeton, N. J., assigner to Radio Corporation of America, a corporation of Delaware

Application May 21, 1953, Serial No. 356,407

10 Claims. (Cl. 250—36)

This invention pertains to semiconductor devices and particularly to semiconductor phase-shift oscillators and devices.

One basic form of semiconductor device is known as a P-N junction transistor and comprises a body of semiconductor material of one type of conductivity having two zones of opposite conductivity material formed therein and separated therefrom by rectifying barriers. A base electrode is in ohmic contact with the semiconductor body and the two zones are operated as emitter and collector electrodes. In operation of a transistor, the emitter electrode injects minority charge carriers, either holes or electrons, into the semiconductor body where they are collected by the collector electrode. The flow of current between the emitter and collector electrodes is influenced by the electrical condition of the semiconductor body which is determined by the electrical potential applied to the base electrode.

In the electron tube art, it is well known that a tube may be operated, in a suitable circuit, as a phase-shift oscillator. In such circuits, a resistance-capacity phase shifting network is connected between the output and the input of an amplifier tube, the circuit being proportioned to provide a 180° phase shift at the desired oscillation frequency. In accordance with the invention, a transistor may be similarly operated in such an external phase-shifting circuit. Also in accordance with a preferred embodiment of the invention, a semiconductor phase-shift oscillator is incorporated in a unitary body whereby much of the circuitry of the conventional phase-shift oscillator is eliminated.

Accordingly, an important object of this invention is to provide a semiconductor device of new and improved form.

Another object is to provide a new and improved semiconductor device capable of functioning as a phase-shift oscillator.

A further object is to provide a novel phase-shift oscillator in a unitary semiconductor body.

In general, the purposes and objects of this invention are accomplished by providing a semiconductor body having a portion thereof formed as a transistor and another portion formed as a controllable phase shift (for example, resistance-capacitance) network or delay line, the two portions being related and interconnected to provide the desired function.

The invention is described in greater detail with reference to the drawing wherein:

Fig. 1 is a sectional, elevational view of one embodiment of the invention;

Fig. 2 is an elevational view of a semiconductor crystal utilized in preparing a second embodiment of the invention;

Fig. 3 is a sectional, elevational view of said second embodiment of the invention; and,

Fig. 4 is a sectional, elevational view of a third embodiment of the invention.

2

Similar elements are designated by similar reference characters throughout the drawing.

Referring to Figure 1, a semiconductor device 10 according to the invention comprises a body 12 of semiconductor material of germanium, silicon or the like of N-type or P-type conductivity. The body includes a first portion 14 which comprises either an N-P-N or P-N-P transistor. For example, the body 12 may be N-type germanium and the portion 14 may comprise a P-N-P transistor having an N-type body 16 and having one P-type region 18 intended to be operated as an emitter electrode and another P-type region 20 intended for operation as a collector electrode. Contiguous or integral with the N-type body portion 16, according to the invention, is a portion 22 of semiconductor material which is formed and operated as a resistance-capacitance phase shift network or delay line. The phase shift network 22 includes, as resistor elements, a plurality of filamentary portions 24 of the same type of conductivity as the transistor body 16, i. e. N-type. The phase shift network also includes, as capacitor elements, regions 26 which alternate with the filamentary portions 24 and which comprise P-N junctions. Each of the P-N junctions 26 includes a portion 28 of the N-type body 12 and a zone 30 of P-type material separated from each other by a rectifying barrier 32. The last portion of the phase shift network may be either a filamentary region 24 or a P-N junction region 26, preferably the former.

In the preparation of the device 10, the basic element 30 is the semiconductor body 12 which may be in the form of an elongated crystal of N-type germanium. The semiconductor crystal is provided with the P-N junction regions 26 and the P-N junction emitter and collector electrodes 18 and 20 by any suitable method. One such method is described by C. W. Mueller in his copending U. S. patent application, Serial No. 294,741, filed June 20, 1952, and assigned to the assignee of this application. Briefly, according to Mueller's method, disks or pellets of a suitable impurity material are alloyed into opposite surfaces of the N-type crystal 12 to form thin layers of P-type material which are separated from the N-type body by rectifying barriers. Generally, according to this alloying method, adjacent to the P-type layers are regions of material which are an alloy of the impurity material and the material of the crystal and do not have semiconducting properties. If the semiconductor crystal is of N-type material, the impurity substance may be any one of indium, aluminum, gallium, boron or zinc or an alloy of any of these. If the crystal 12 is of P-type material, the impurity disk may be any one or a combination of phosphorus, arsenic, antimony, bismuth, sulfur, selenium or tellurium. After the P-N junction portions have been formed and the necessary crystal surface treatment has been provided, the crystal may be provided with the filamentary resistance elements 24 by means of an etching operation or by means of an abrading operation such as sandblasting. If desired, the filamentary portions may be formed before the P-N junctions are prepared in the crystal.

60 In operation of the device 10, the emitter region or electrode 18 is connected to ground and the collector electrode 20 is biased in the reverse direction in conventional fashion by a connection to the negative terminal of a battery 34, the positive terminal of which is connected to ground.

65 A load device, for example a load impedance 36 is connected in series with the collector electrode and the battery 34. The end of the load impedance connected to the collector electrode has a lead 37 which is connected to a suitable output utilization device. The 70 same end of the load impedance is also connected by a feedback lead 38 to the last element of the phase shift network or delay line 22. According to the invention,

100 D 0

特許庁  
特許公報

特許出願公告  
昭34-5175

公告 昭34.6.20 出願 昭32.3.26

特願 昭32-7143

発明者 垂井康夫  
出願人 工業技術院長  
指定代理人 電気試験所長

東京都北多摩郡保谷町上保谷1361  
番地13

(全2頁)

高入力インピーダンス4極トランジスタ

**図面の略解**

図は本発明のトランジスタの断面とその回路接続例を示す。

**発明の詳細なる説明**

従来の接合型トランジスタでは、入力回路に正バイアスされた接合を使用しているので、入力抵抗が低く、高々  $1\text{K}\Omega$  程度である。このため段間の結合及び他の装置との結合の際極めて不便であり、更に高周波利得は、この入力抵抗と整合の関係上、ベース抵抗  $r_{bb'}$  が大きくなると利得は大幅に減少する。また温度によつて入力コンダクタンスが変化する欠点がある。一方フィールド効果型のトランジスタは高い入力抵抗をもつているが、得られる利得は高々  $20\text{db}$  程度で、何れも種々の用途に極めて不便である。

本発明は上記の欠点を除いたもので、一般の接合型トランジスタにもう一つの電極を附加することにより、入力抵抗高く、高利得で高周波特性及び温度特性を割期的に改善したトランジスタに係るものである。

図は本発明のトランジスタの断面とその回路接続の実施例を示したもので、1はベース半導体（ここでは説明のためn型とする）で、これにp型材料からなる2と3のコレクタ及びエミッタ結合がつけられて、この部分は一般的エミッタ接合型トランジスタとして働く。一方この部分とベース電極5との間に別の接合電極4をつける。

然るとき電極4をベース1に対して逆にバイアスすれば、接合直下の欠乏層厚みが変化し、從つてベース1の横向きの抵抗値は、ベース1と電極4の接合に加わる逆バイアスによつて制御される。即ちベース1、コレクタ2、エミッタ3からなる接合型トランジスタのベース電流は、ベース

1と電極4の接合に加わる逆バイアスによつて制御される。そこで一例として図に示すように電極4に信号を加えれば、極めてインピーダンスの高い入力回路が得られるものである。

本発明のトランジスタは従来の一般接合型トランジスタにくらべて次の利点を有する。

(1) 従来のものの入力抵抗  $1\text{K}\Omega$  程度に対し、本発明は数百  $\text{K}\Omega$  程度に、同じく電流増幅率100を3000に、電力増幅  $40\text{db}$  を  $60\text{db}$  程度にすることが容易である。

(2) 接合トランジスタの部分へのベース電流は、数百  $\text{K}\text{A}$  の高出力インピーダンスを通して加えられるから、ベース抵抗は相当大きくしても例えば  $1\text{K}\Omega$  としても、高周波利得の減少は  $1\%$  以下である。従つてエミッタ及びコレクタは充分近づけて高周波特性を良好にすることができる、更にベースの比抵抗は欠乏層制御に最適な値を使うことができる。

(3) 同じくベース電流が高インピーダンスを通して加えられるから、温度によるベース入力コンダクタンスの変化はコレクタ電流に影響しない。

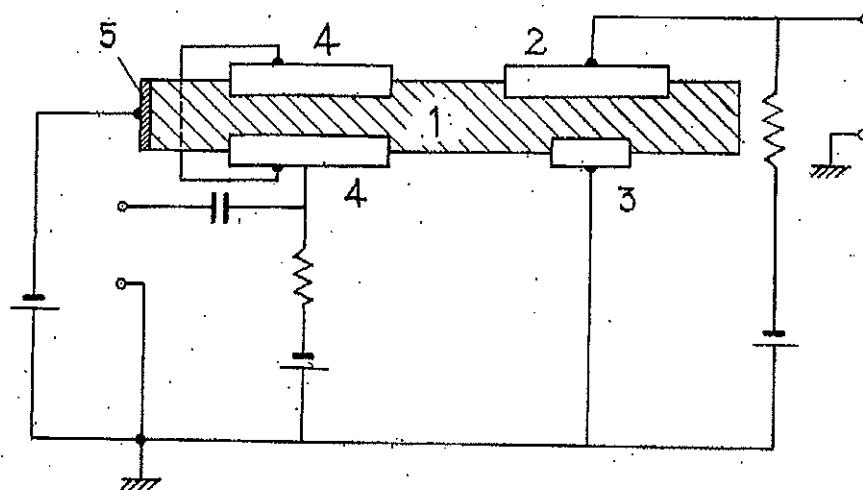
以上の点は今までのトランジスタの欠点としてその改良を強く要望されていたところで、本発明のトランジスタの出現は電子工業に寄与する効果大なるものである。

**特許請求の範囲**

本文に詳記し図面について説明するように、接合型トランジスタのエミッタ及コレクタの部分とベース電極との間に逆バイアスした制御電極を加えることによつて生ずる欠乏層変化により、ベース電流を制御することを特徴とする高入力インピーダンス4極トランジスタ。

(2)

特公 昭 34-5175



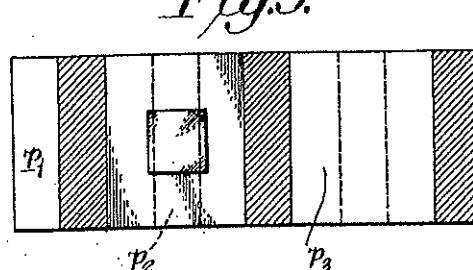
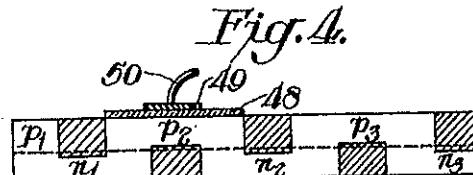
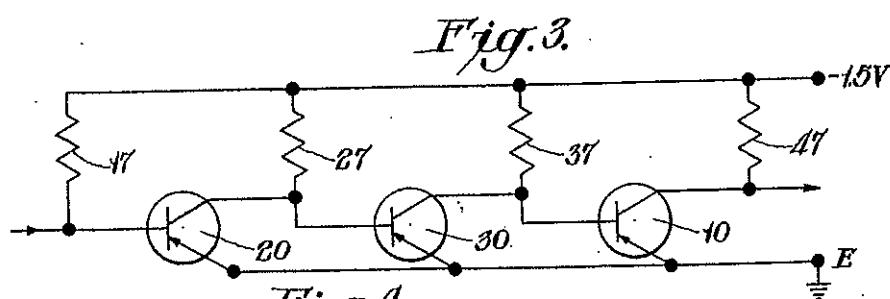
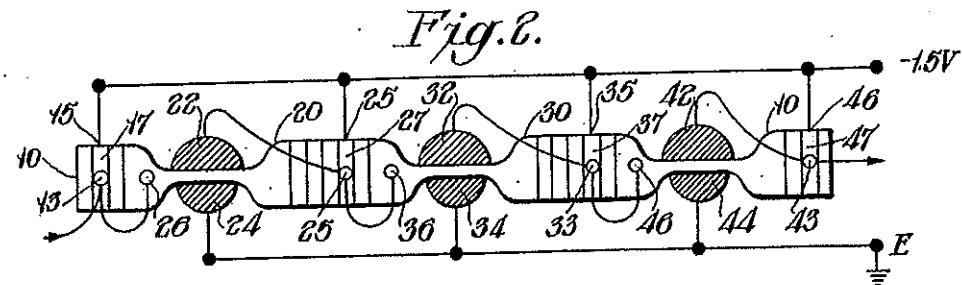
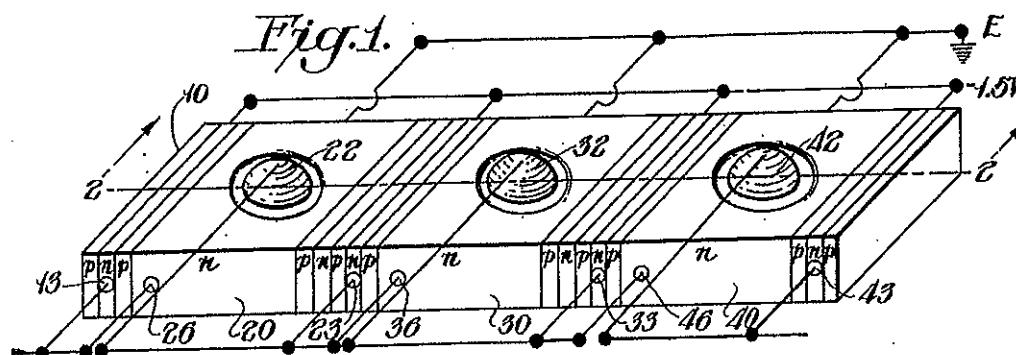
April 10, 1962

K. LEHOVEC

3,029,366

## MULTIPLE SEMICONDUCTOR ASSEMBLY

Filed April 22, 1959



INVENTOR

Kurt Lehovec  
By Connolly and Gutz  
ATTORNEYS

## United States Patent Office

3,029,366

Patented Apr. 10, 1962

1

3,029,366

MULTIPLE SEMICONDUCTOR ASSEMBLY  
 Kurt Lebovec, Williamstown, Mass., assignor to Sprague  
 Electric Company, North Adams, Mass., a corporation  
 of Massachusetts

Filed Apr. 22, 1959, Ser. No. 808,249  
 7 Claims. (Cl. 317—101)

This invention relates to a multiple semiconductor assembly, and more particularly to a plurality of semiconductive devices produced on a single semiconductor slice. Still more particularly, this invention relates to the micro-miniaturization of semiconductor assemblies by the preparation of several transistors and related devices on a single semiconductor slice, and the utilization of the resistive and capacitive properties of regions in that slice.

The present day miniaturization of electronic components has reached a state of art that may now be termed "micro-miniaturization," which may be defined as the assembly of a plurality of complementary components in an extremely small volume. Considerable activity has been expended in micro-miniaturizing circuits in which a plurality of transistors is employed. This micro-miniaturization activity has included the concept of direct coupling between stages of some particular types of transistors; e.g., surface-barrier and alloy-junction transistors have properties that permit their use in so-called common-emitter configurations in which the voltage at the collector of one transistor may be high enough to cause saturation at the base of the next transistor in the circuit. An article entitled, "Directly Coupled Transistor Circuits" by R. H. Beter, W. E. Bradley, R. B. Brown and M. Rubinoff, which was published in Electronics for June 1955, discloses the concept of employing a common-emitter transistor amplifier having more than one base connected to a single collector. Others in the art have suggested processes for producing a plurality of p-n junctions in a single semiconductor body; e.g., G. K. Teal U.S. Patent 2,727,840 and R. N. Hall U.S. Patent 2,822,308. However, great difficulty has been experienced in reaching the objective of a generally acceptable multi-transistor assembly on a single semiconductor body, because transistors so-produced have been electrically connected through the semiconductor slice. For example, in transistors of the alloy-junction type wherein the semiconductor slice of homogeneous impurity concentration represents the base of the transistor, all transistors in a multi-transistor assembly are connected to a common base, which is not a desirable configuration for many circuit applications.

A further example of the restricted nature of prior art multi-transistor assemblies is found in my U. S. Patent 2,779,877 issued January 29, 1957, which discloses and claims a signal translating device comprising a semiconductive crystal of the symmetrical grown junction type having two fused junctions disposed inwardly from opposed surfaces of the crystal.

It is an object of this invention to overcome these and other deficiencies of the prior art.

It is a further object of this invention to produce an assembly having a plurality of semiconductive components on a single semiconductor slice, and to provide a sufficient degree of electrical insulation between these semiconductive components through the semiconductor slice so as to permit a circuit designer to have substantial freedom in the interconnection of the components.

It is a still further object of this invention to produce an assembly having a plurality of transistors together with other components such as capacitors, resistors and diodes on a single semiconductor slice.

These and other objects of this invention will become more apparent upon consideration of the following de-

2

tailed description when read in conjunction with the accompanying drawing, wherein:

FIGURE 1 is a diagrammatic perspective view of a multiple semiconductor assembly constructed in accordance with this invention, with electrical circuit wiring attached thereto to accomplish the circuit shown in FIGURE 3;

FIGURE 2 is a diagrammatic cross-section of the multiple semiconductor assembly taken along line 2—2 in FIGURE 1; in order to establish a clearer picture of the electrical interconnection of the various semiconductive components. FIGURE 2 is not a true cross-section of FIGURE 1, in that the contacts at the front surface of the assembly of FIGURE 1 have been shown again on the diagrammatic cross-section of FIGURE 2, although it should be understood that these contacts are not in the plane 2—2 of FIGURE 1;

FIGURE 3 is a schematic diagram of a chain of direct coupled amplifiers which may be assembled on a single semiconductor slice of the configuration shown in FIGURE 1 in accordance with this invention;

FIGURE 4 is a diagrammatic cross-sectional view through a multiple region semiconducting slice such as may be used in the construction of another embodiment of the multiple semiconductor assemblies according to this invention; and

FIGURE 5 is a diagrammatic plan view of the multiple region semiconductor slice of FIGURE 4.

In general, the objects of this invention are attained by a multiple semiconductor assembly in which a plurality of semiconductor components are prepared on the same semiconductor slice in such a manner as to ensure electrical separation of the terminals of the individual semiconducting components. Since these semiconducting components will be transistors in many cases, the following description will be directed specifically to transistors although the concept of the invention applies also to other components, such as capacitors, resistors and diodes.

More particularly the objects of this invention are attained by utilizing a semiconductor slice having a series of p-n junctions that are so constructed and arranged that a transistor may be produced on each of a plurality of regions that are separated from one another by at least one additional p-n junction.

It is well known that a p-n junction has a high impedance to electric current, particularly if biased in the so-called "blocking direction," or with no bias applied. Therefore, any desired degree of electric insulation between two components assembled on the same slice can be achieved by having a sufficiently large number of p-n junctions in series between the two semiconducting regions on which said components are assembled. For most circuits, one to three p-n junctions will be sufficient to achieve the desired degree of insulation. These p-n junctions may be placed quite closely to each other. However, it is often required that they are placed sufficiently far apart from each other that the multiple p-n junction structure used for electric insulation should not act as an active semiconducting element such as a transistor or a four-layer npnp diode. In order to assure this condition, it is required that the region between two junctions is wider than a small multiple of the diffusion length of the minority carriers in said region. The diffusion length is the square root of the diffusion constant multiplied by the lifetime of these minority carriers. For instance, assuming a diffusion constant of 40 cm.<sup>2</sup> per second and a lifetime of 1 microsecond, a diffusion length of  $60 \times 10^{-4}$  cm. or approximately 2 mils results, and a separation of 4 mils between the two junctions will be sufficient to avoid any appreciable interaction by carrier injection between the two junctions delineating said region.

In a restricted form of this invention, the objects are attained by a multiple transistor assembly comprising a

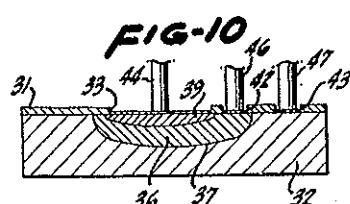
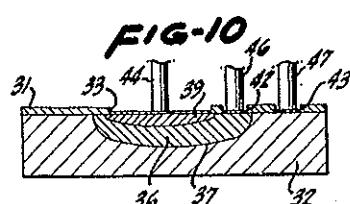
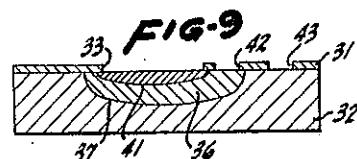
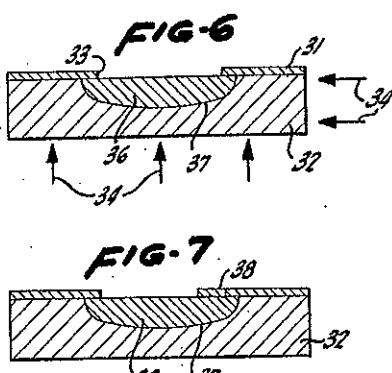
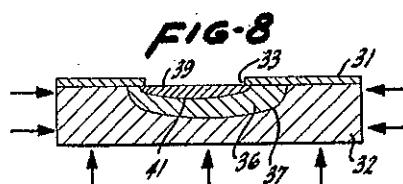
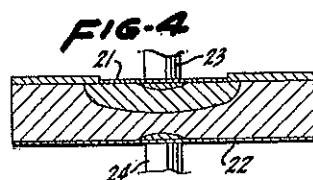
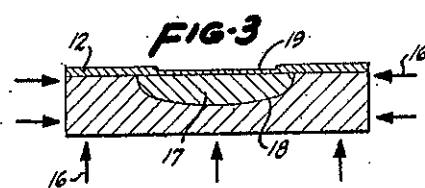
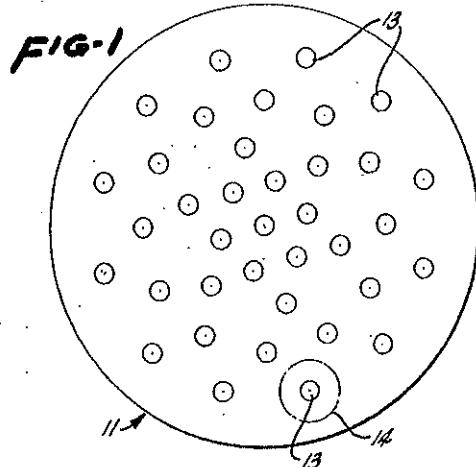
March 20, 1962

J. A. HOERNI

3,025,589

## METHOD OF MANUFACTURING SEMICONDUCTOR DEVICES

Filed May 1, 1959

INVENTOR.  
JEAN A. HOERNI

BY

*Lippincott & Ralls  
ATTORNEYS.*

# United States Patent Office

3,025,589

Patented Mar. 20, 1962

1

3,025,589

## METHOD OF MANUFACTURING SEMICONDUCTOR DEVICES

Jean A. Hoerni, Los Altos, Calif., assignor, by mesne assignments, to Fairchild Camera and Instrument Corporation, Syosset, N.Y., a corporation of Delaware

Filed May 1, 1959, Ser. No. 810,388

11 Claims. (Cl. 29—25.3)

The present invention relates to an improvement in the manufacture of semiconductor devices including transistors and to an improved transistor structure. More particularly, the invention relates, as to the method thereof, to the control of semiconductor diffusing and masking to the end of producing an improved diffusion transistor having fully protected junctions and maximized exposed surfaces for ohmic contact attachment.

Advancements in transistor technology have in part been directed to the production of very small sized transistor structures, inasmuch as minute semiconductor geometries are required for high frequency applications of transistors. While the well known point-contact transistor is adapted for high frequency work, yet certain limitations attach to this type of transistor and consequently junction transistors have been developed for use in the high frequency range. One type of junction transistor which is particularly well adapted for high frequency applications is the double-diffused silicon transistor, and although the present invention is adapted for use with other types of transistors it is with respect to double-diffused silicon transistors that the following description is referenced.

As regards the manufacture of double-diffused silicon transistors, and in fact any minute transistor structure, difficulty is encountered in providing a sufficient exposed area of the base material for attachment of an ohmic contact thereto. By maintaining the extremely small element dimensions required of the transistor, there results only a minute thickness of base material exposed between the base-collector junction and the emitter-base junction on a transistor surface. Conventional transistor utility requires the provision of electrical contacts to the individual transistor elements or portions, and thus it is necessary for the dimensions of the base portion to be made sufficient to attach such contacts. In certain instances this limitation upon the size of the base portion is highly undesirable, inasmuch as conventional manufacturing practices produce a base thickness in proportion to the exposed base width.

Another difficulty arising from the limited size necessary for transistors to suitably operate at very high frequencies is encountered in the difficulty of protecting the transistor junction. This is particularly noted in the attachment of electrical contacts to the transistor portions inasmuch as very minute variations in the placement of electrical conductors or ohmic contacts to the transistor may well result in electrically shorting of the transistor junction, whereby the transistor structure is unsuited for use and must be rejected. This latter problem is compounded by the necessity in high-frequency transistors of employing an ohmic contact which substantially entirely covers the exposed surface of each of the elements in order to minimize the spreading resistance thereof. Conventional plating methods are unsuited for the provision of such ohmic contacts to within fractions of a millimeter from the transistor junction, as is normally required for transistor structures capable of operating at very high frequencies. Not only is the problem of providing suitable ohmic contacts to the transistor portions a major one, but also the possible damage or other types of inadvertent electrical shorting of the transistor junctions during manufacturing processes is of major importance in limiting the number of rejects in any manufacturing process. Addi-

2

tionally, long range contamination of transistor junctions may be a cause of drifting and deterioration of transistor characteristics.

There have been developed for high frequency applications transistors of the "mesa" design wherein undesirable lateral extensions of the base-collector junction are removed by etching to produce transistors of very small dimensions. Although mesa transistors have found wide acceptance in the art, the junction exposed by the etching, as well as the other junction, is particularly vulnerable to contamination or degradation during subsequent portions of the manufacturing process. In accordance with the present invention there is produced a transistor having the minute dimensions of the mesa type, but with the unit at all times completely embedded in the semiconductor. In the process hereof, the transistor junctions are at all times fully protected by an oxide layer or coating formed simultaneously with the junction during diffusion at high temperatures so that no contamination of the transistor junctions during or after manufacture is possible. In this manner one of the major causes of transistor failure is entirely precluded.

The present invention provides a method of transistor manufacture overcoming the above-noted problems as well as others prevalent in the art. In the manufacture of transistors it is not uncommon for the semiconducting material to become oxidized on the exterior surfaces thereof, and it is conventional during manufacture to remove this outside coating as by etching, although it has been proposed to leave a certain portion of this coating upon the transistor surface as a protection for portions thereof. The present invention provides, as integral steps in the manufacture of transistors, the control of the extent and position of semiconductor coating which serves the purpose of thereby delineating the exact lateral configuration of materials diffused into the semiconducting material and furthermore to provide a subsequent protection for the transistor surface. In accordance with the present invention it is possible not only to limit the extent of impurities diffusion in a semiconductor during the formation of different types of semiconductor, but furthermore, by the addition and subtraction of a masking layer or coating upon exposed transistor surfaces, it is herein possible to provide a precisely controlled area of any particular transistor material upon a common transistor surface. In addition, and in accordance with the present invention, there is herein provided, by the retention of a protective coating upon exposed transistor surfaces, means for preventing electrical shorting of transistor junctions and/or damage thereto during fabrication and manufacture of the transistor devices.

It is an object of the present invention to provide an improved method of manufacturing semiconductor devices wherein maximum surface protection of a device is afforded.

It is another object of the present invention to provide an improved method of manufacturing semiconductor devices wherein precise control is attained over lateral extent of diffused impurities therein.

It is a further object of the present invention to provide an improved method of transistor manufacture employing masking for controlling the extent of base surface area of minute double-diffused transistors.

It is yet another object of the present invention to provide a method of transistor manufacture including the addition of further masking to limit the diffusion of a second impurity in double-diffused transistors for maximizing the base surface area available for ohmic contacts, and additionally protecting transistor surfaces.

It is still another object of the present invention to provide an improved semiconducting device having a

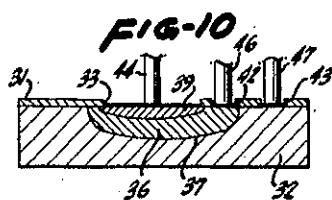
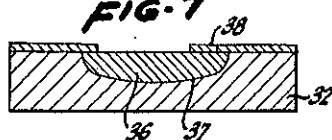
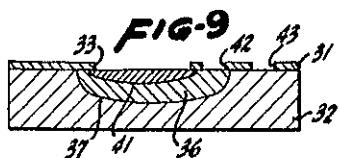
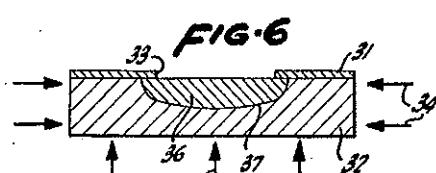
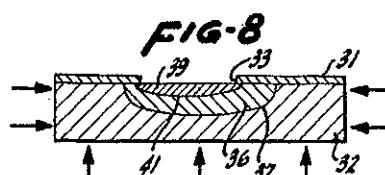
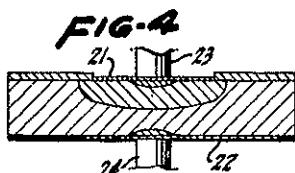
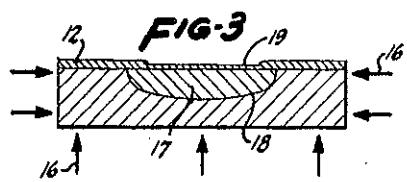
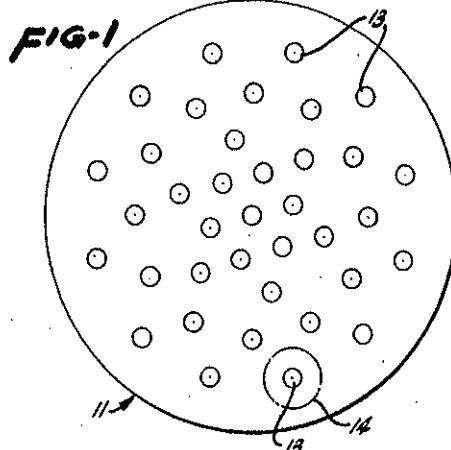
Nov. 13, 1962

J. A. HOERNI

3,064,167

SEMICONDUCTOR DEVICE

Original Filed May 1, 1959

INVENTOR.  
JEAN A. HOERNI

BY

Lippincott, Ralls & Hendricson  
ATTORNEYS

# United States Patent Office

3,064,167

Patented Nov. 13, 1962

1

3,064,167

## SEMICONDUCTOR DEVICE

Jean A. Hoerni, Los Altos, Calif., assignor, by mesne assignments, to Fairchild Camera and Instrument Corporation, Syosset, N.Y., a corporation of Delaware  
Original application May 1, 1959, Ser. No. 810,388. Divided and this application May 19, 1960, Ser. No. 30,256

6 Claims. (Cl. 317—234)

This application is a division of my copending application Serial No. 810,388, filed May 1, 1959, and now Patent No. 3,025,589.

The present invention relates to an improvement in semiconductor devices including transistors and to an improved transistor structure. More particularly, the invention relates to an improved diffusion transistor having fully protected junctions and maximized exposed surfaces for ohmic contact attachment.

Advancements in transistor technology have in part been directed to the production of very small sized transistor structures, inasmuch as minute semiconductor geometries are required for high frequency applications of transistors. While the well known point-contact transistor is adapted for high frequency work, yet certain limitations attach to this type of transistor and consequently junction transistors have been developed for use in the high frequency range. One type of junction transistor which is particularly well adapted for high frequency applications is the double-diffused silicon transistor, and although the present invention is adapted for use with other types of transistors it is with respect to double-diffused silicon transistors that the following description is referenced.

As regards the manufacture of double-diffused silicon transistors, and in fact any minute transistor structure, difficulty is encountered in providing a sufficient exposed area of the base material for attachment of an ohmic contact thereto. By maintaining the extremely small element dimensions required of the transistor, there results only a minute thickness of base material exposed between the base-collector junction and the emitter-base junction on a transistor surface. Conventional transistor utility requires the provision of electrical contacts to the individual transistor elements or portions, and thus it is necessary for the dimensions of the base portion to be made sufficient to attach such contacts. In certain instances this limitation upon the size of the base portion is highly undesirable, inasmuch as conventional manufacturing practices produce a base thickness in proportion to the exposed base width.

Another difficulty arising from the limited size necessary for transistors to suitably operate at very high frequencies is encountered in the difficulty of protecting the transistor junction. This is particularly noted in the attachment of electrical contacts to the transistor portions inasmuch as very minute variations in the placement of electrical conductors or ohmic contacts to the transistor may well result in electrically shorting of the transistor junction, whereby the transistor structure is unsuited for use and must be rejected. This latter problem is compounded by the necessity in high-frequency transistors of employing an ohmic contact which substantially entirely covers the exposed surface of each of the elements in order to minimize the spreading resistance thereof. Conventional plating methods are unsuited for the provision of such ohmic contacts to within fractions of a millimeter from the transistor junction, as is normally required for transistor structures capable of operating at very high frequencies. Not only is the problem of providing suitable ohmic contacts to the transistor portions a major one, but also the possible damage or other types of inadvertent electrical shorting of the transistor junctions during man-

2

ufacturing processes is of major importance in limiting the number of rejects in any manufacturing process. Additionally, long range contamination of transistor junctions may be a cause of drifting and deterioration of transistor characteristics.

There have been developed for high frequency applications transistors of the "mesa" design wherein undesirable lateral extensions of the base-collector junction are removed by etching to produce transistors of very small dimensions. Although mesa transistors have found wide acceptance in the art, the junction exposed by the etching, as well as the other junction, is particularly vulnerable to contamination or degradation during subsequent portions of the manufacturing process. In accordance with the present invention there is produced a transistor having the minute dimensions of the mesa type, but with the transistor junctions at all times fully protected by an oxide layer or coating formed simultaneously with the junction during diffusion at high temperatures so that no contamination of the transistor junctions during or after manufacture is possible. In this manner, one of the major causes of transistor failure is entirely precluded.

It is an object of the present invention to provide an improved semiconducting device having a protective coating thereover except for ohmic contact areas.

It is a still further object of the present invention to provide an improved transistor structure having a laterally extended base surface for ohmic contact thereto, and including covered junction and exposed transistor surfaces.

Various other possible objects and advantages of the present invention will become apparent to those skilled in the art from the following description of the present invention. Although the invention is herein illustrated with respect to particular preferred embodiments thereof, no limitation is intended thereby, and reference is made to the appended claims for a precise delineation of the true scope of the present invention.

The present invention is particularly well adapted to diode units as well as multi-element units. Although the problems encountered in high frequency triode transistors are normally more troublesome than those found in the diode art, yet the present invention provides material advantage diode semiconductors. Furthermore, although as previously noted, the present invention may be employed with a variety of semiconducting materials, yet actual use thereof has been primarily directed to silicon transistors and thus the following description is referenced thereto.

The invention is illustrated in the accompanying drawings wherein:

FIG. 1 is a plan view of a wafer of semiconducting material having the masking layer thereof removed within the illustrated circles;

FIGS. 2, 3, and 4 are sectional views through a semiconducting diode device, at separate stages of manufacture thereof, in accordance with the present invention;

FIGS. 5, 6, 7, 8 and 9 are sectional views through a triode semiconducting device or transistor, showing same at separate stages of manufacture, in accordance with the present invention; and

FIG. 10 is a sectional view through a transistor in accordance with the present invention.

Reference is made to FIGS. 1 to 4, wherein there is illustrated a diode semiconducting device, at various stages of manufacture thereof, in accordance with the present invention. There is illustrated in FIG. 1 a wafer 11 formed of a semiconducting material such as silicon having, for example, an N-type impurity therein. This wafer 11 has formed thereon as a step of the present invention, a coating 12 entirely covering the upper surface of the wafer. Preferably, this coating is formed of a

100 D 0  
(62 D 0)

## 特許公報

特許出願公告  
昭38-14856

公告 昭38.8.14 出願 昭36.5.2 特願 昭35-22921

優先権主張 1959.5.1 (アメリカ国)

発明者	ジーン エー ホエル ニ	アメリカ合衆国カリフォルニア州ロス アルトス ハーリントン アベニュー 595
出願人	フェアチャイルド カ メラ エンド インス ツルメント コーポ レーション	アメリカ合衆国ニューヨーク州ロングアイランド シオセット ロビンズレーン 300
代表者	ネルソン ストーン	
代理人弁理士	杉村信近 外1名	

(全4頁)

## 半導体装置の製造方法

## 図面の簡単な説明

第1図は本発明方法を実施するために用いる多数の孔をあけた絶縁層を示す半導体ウエーファの平面図、第2~4図は本発明方法の異なる3工程を示すダイオード半導体装置の断面図、第5~9図は本発明方法の異なる5工程を示す3極半導体装置の断面図、第10図は本発明方法により造ったトランジスタの断面図である。

## 発明の詳細な説明

本発明はトランジスタその他の半導体装置の製造方法に関するものである。

トランジスタ工学の進歩発達の一端は、高周波用として必要な超小型トランジスタを如何にして造るかに向けられている。既知の点接触型トランジスタは高周波用として好適であるが、点接触型トランジスタ特有の欠点があるため、接合型トランジスタを高周波用として改良している。高周波用として特に好適な接合型トランジスタは2重拡散硅素トランジスタであつて、本発明はその他の型のトランジスタにも適用できるが、以下主として2重拡散硅素トランジスタの製造方法に就き説明する。

2重拡散硅素トランジスタその他のトランジスタを超小型に構成するに当り、ベース材料の露出区域を充分広くとつてこれにオーム接点を取付けることは難しい。トランジスタを高周波用として必要な程度に超小型とすると、ベース・コレクタ接合部と、エミッタ・ベース接合部との間に介在するトランジスタ層のトランジスタ頂面の横幅が非常に狭くなる。併し電気接点をエミッタ・コレクタ及びベースに夫々取付ける必要あるため、トランジスタ頂面のベース層の横幅を電気接点を取付け得る程度迄広くする必要がある。併し既知の方法ではトランジスタ頂面のベース層の横幅を広くすると、それ丈ベース層の厚さが厚くなり、トランジスタが大型となる欠点がある。

又トランジスタを超高周波で適切に作動せしめるに必要な超小型とする時は、トランジスタの接合部を保護し難くなり、電気接点をエミッタ・コレクタ及びベース部分に接続する際、導線よりもなるオーム接点が極めて僅かだけれども接合部を短絡してトランジスタが損傷して不良品となる。又高周波トランジスタではオーム接点部分の抵抗をできる限り小さくするためにエミッタ・ベース及びコレクタのトランジスタ頂面の露出部分のほぼ全面を電気接点で覆う必要があり、超高周波用トランジスタでは、接合部か

ら数分の1mm以内でオーム接点を接続する必要があるから、電気接点を既知の鍍金処理で接続することは不適当である。前述したところから明かなようにトランジスタのエミッタ・ベース及びコレクタ部分にオーム接点を適切に接続することと、製造工程中接合部を誤つて短絡してトランジスタを損傷し、不良品の数を増さないようにすることが非常に重要である。又接合部を適切に保護し得ないと、トランジスタ特性を各製品毎に相違させると共に、トランジスタを劣化する。

ベース・コレクタ接合部の横の広がり腐蝕処理によつて狭くし、高周波用超小型トランジスタを造ることも提案された。併しこの種トランジスタでは接合部を腐蝕処理によつて露出させるため、爾後の製造工程中に接合部が汚れて劣化すると共に、短絡を生じトランジスタを損傷する欠点がある。本発明に於ては超小型ではあるが、接合部を半導体中に完全に埋置したトランジスタを提供する。本発明に於てはこの種トランジスタを造るに當り、接合部を、高温度で拡散中接合部と同時に形成した酸化物層によつて充分に保護し、爾後の製造工程中又は製造後接合部を汚さないようにし、前述した欠点を除去する。

本発明に於ては前述した欠点を除去するトランジスタの製造方法を提供する。トランジスタの製造に當り半導体材料の外面を酸化するのが普通で、製造中この外面の酸化物層を例えれば腐蝕処理によつて取除くのが普通である。この場合この酸化物層の一部分をトランジスタ表面にその保護層として残すことも提案された。本発明はトランジスタの製造に當り、その工程中半導体酸化物層の広さ及び位置を制御し、半導体材料中に拡散する拡散層の横の拡がりを制限すると共に、トランジスタ表面を保護するようとする。本発明に於ては種々の導電率型の半導体中に於ける不純物の拡散程度を制限するのみならず、露出表面上のマスク保護層を添加又は削除することによつて、共通トランジスタ表面上で、各種トランジスタ材料に対し精密に制御した露出区域を設定する。加うるに本発明に於てはトランジスタ露出面上に保護層を保留することにより、トランジスタ上製造中接合部の短絡を防止してトランジスタの損傷を防止する装置を提供する。

本発明の目的は半導体装置表面の酸化物層を最大ならしめ得るように半導体装置を製造せんとするにある。本発明

(2)

特公 昭38-14856

の他の目的は半導体装置内に於ける不純物の拡散の横の広がりを精密に制御し得るよう半導体を製造せんとするにある。他の目的はマスク保護層を利用し、超小型2重拡散トランジスタのベース層を制御し得るようにトランジスタを製造せんとするにある。又別のマスク保護層を添加し、2重拡散トランジスタ中の第2不純物の拡散を制限し、オーム接点を接続すべきベース層を最大とし、トランジスタ表面を補足的に保護し得るようにトランジスタを製造せんとするにある。

更に本発明の目的はオーム接点区域以外は総て保護層で覆つた半導体装置を得んとするにある。他の目的はオーム接点に対し充分広い横幅を有するベース層を設けると共にトランジスタ頂面上に被覆した接合部及び露出面を設けたトランジスタを得んとするにある。

本発明半導体装置の製造方法はダイオード装置並に多極半導体装置の製造に特に好適である。高周波用3極トランジスタの製造に当り遭遇する前述した問題はダイオード半導体装置を製造する場合に比べ遙かに厄介であつて、本発明方法をダイオード半導体装置の製造に適用すれば前述したところと同様の利点を得ること勿論である。又本発明方法には各種の半導体材料を用いることができるが、實際上は硅素トランジスタが主として用いられる關係上、以下の説明も硅素トランジスタに就いて行う。

図面に就き本発明の実施例を説明する。

第1～4図に就き硅素トランジスタの製造方法を説明する。第1～4図は本発明方法によりダイオードを半導体装置を造る場合の4製造工程を示す。第1図に於てはウエフア11を、例えばN型不純物を添加した硅素の如き半導体材料を以て構成する。本発明方法の1工程に於ては、ウエフア11上にその頂面全体に酸化物層12を被着する。酸化物層12は酸化硅素を以て構成する可とする。酸化物層12を造るに當り、硅素ウエフアに温氣及び空気をあてるか、過酸化水素等の如き酸化剤を利用する事は既知である。酸化物層12に多数の円孔13をあけて有効マスクを形成する。酸化物層12に円孔13をあけるには、光抵抗技術によるか、又は例えば沸化水素酸を用いる腐蝕処理によつて行う。第1図に示すような有効マスクを被着したウエフアを造つた後、このウエフアを細分して多数のダイオード単位を別々に構成する。或は又ウエフア11上に多数のダイオード単位を別々に形成し、次にウエフア11を別々のダイオード単位に細分することもできる。

第2図は大きいウエフア11から第1図に鎖線で示すようにに細分した小さいウエフア14を示し、その頂面全体には中心に孔13を有する酸化物マスクを被着してある。半導体ダイオードを造る次の工程として、ウエフア14の孔13内の頂面上に不純物を添加する。本例の如きN型硅素ウエフアの場合には、不純物として既知のアクセプタ不純物の1種を用い、これを硅素に合金化させるため、第3図に矢16で示すようにウエフア及び不純物を加熱する。この場合アクセプタ不純物がウエフア14中に拡散し、ウエフア14中にP型硅素領域17が生ずる程度にウエフア14の温度を上げるように加熱する。加熱中ウエフア14を

構成するP型硅素及びN型硅素間の中間に既知のように接合部18を生じ、ここに所要電気特性を具現する。不純物が硅素ウエフア14中に拡散する間、表面の硅素は酸化され、第3図に示すようにその頂面全体を酸化物層で覆う。

本発明方法に於ては次にマスク孔13内にある酸化物層19を沸化水素酸による腐蝕処理その他の適當の手段によつて取除き、P型硅素材料17の頂面を露出させる。併しP型硅素とN型硅素との間の接合部の頂端は元の酸化物層12で覆つた儘とする。次にウエフアの孔13内にある頂面にオーム接点21を取り付け、ウエフア底面にオーム接点22を取付けてダイオード装置を完成する。オーム接点21及び22は、既知の鍍金法により金等を硅素上に電着して取付けることができ、次に導線23及び24をオーム接点21及び22並に硅素17の頂面及び底面に合金化して装置に電気接点を構成する。前記合金化工程は、金一硅素共晶温度である383℃を越える温度で行い、接合部で電気特性が不連続とならないようとする。前述したようにダイオード半導体装置を造る間、硅素上に形成した酸化物層を、装置にオーム接点を取付ける表面以外では絶えず残して置く。前述したように造つたダイオード半導体装置によれば、そのPN接合部を充分に保護し、装置の取扱い中、並にその製造工程中に行う清浄及び管球内に封入中に生ずる汚れ及び電気漏洩を防止することができる。装置の製造中元のマスク孔13内にある酸化物層だけを取除き、その他の部分は総てこれと同一体の酸化硅素保護層で覆う。

次に第5～9図に就き2重拡散硅素トランジスタを製造する場合に適用した本発明方法を説明する。本例ではその第1工程に於て、例えばN型硅素で構成した硅素ウエフア32の少くとも頂面上に例えば酸化硅素よりなる酸化物層31を被着する。次に酸化物層31に孔33を、光抵抗技術又は腐蝕処理によつてあけ、孔33の形状を制御してトランジスタベースを所要形状に画成する。有孔酸化物層31はマスクとして作用し、トランジスタ表面及び接合部を保護すると共に、ウエフア中に於ける不純物の横方拡散を制限する。これがため酸化物層31を酸化硅素の如き材料で構成し、トランジスタの製造に當り用いる不純物が後工程中材料中に拡散しないようにウエフア面を保護するのみならず、材料自体が非導電性であるようにする。ウエフア32の頂面の酸化物層31の孔33内には、予定量のアクセプタ不純物、例えば硅素合金を添加し、第6図に矢34で示すように加熱し、不純物をウエフア32中に拡散させてその内にP型ベース層36を形成する。既知のようにトランジスタ構体の加熱及び冷却を制御して、ベース層36と、ウエフア32との間に接合部37をつくり、その頂端を酸化物層31の下側で終らせる。N型硅素は元素周期律表の第V族から選定した不純物を硅素中に包含させて造り、P型硅素は同表の第III族から選定した不純物を硅素中に包含させて造る。

ウエフア32上にベース層36を形成すると共に、ウエフア32とベース層36との間に接合部37を形成する間又はその後に、酸化物層31に第7図で38で示すような追加マスクを余分につける。追加マスク38のため、酸化物層31

(3)

特公 昭38-14856

はベース層36上に余分に突出し、ベース層36のマスクとして作用し、トランジスタ中に第2材料層を拡散せしめんとするも、この第2材料層をベース層36の両端迄拡散させないように作用する。斯くウエフア32の頂面上の酸化物層31を余分に拡大してベース層35の側縁のマスクとして作用させた後、ベース層36の頂面に適当な不純物又はその合金を添加して加熱し、ウエフア及びその上の不純物を拡散温度に高め、トランジスタ構体中に第2層39をエミッタ層として拡散せしめる。ウエフア中に於ける拡散速度及び拡散程度を既知のように精密に制御し、エミッタ層39と、ベース層36との間に第2接合部41を形成する。第8図に示すようにエミッタ層39はベース層36中に拡散し、エミッタ層39及びベース層36間の接合部41はウエフア頂面のマスク38の下側に於て、小さくなつた孔33の近くで終る。第8図に示すように第2拡散層39はベース層36の中心から左方にずれる。本例に於けるようにベース層36の中心から第2拡散層39を左方にずらせば、第9図に示すように酸化物層31に、エミッタ層39の右側のベース層36の真上に、孔42をあけ、ベース層36頂面にオーム接点を取り付け得るようにすることができる。この場合エミッタ・ベース接合部41の頂端が終るトランジスタ頂面には酸化物層31の一部分を残して置き、爾後の製造工程中或は取扱い作業中に、エミッタ・ベース接合部41を誤つて短絡したり損傷しないようにする。エミッタ・ベース接合部41の頂部のウエフア頂面上のその他の箇所も總て酸化物層31で覆う。同様にベース・コレクタ接合部37のエウエフア頂面で終る頂端を總て酸化物層31で覆う。これがため本例トランジスタによれば、エミッタ・ベース接合部41及びベース・コレクタ接合部37を誤つて短絡したり、或は損傷するのを完全に防止することができる。エミッタ・ベース及びコレクタには夫々オーム接点を既知の手段によつて取付ける。本例によればコレクタ頂面にオーム接点を取り付け、オーム接点全部をトランジスタの同一側に取付けることができる。これがため、酸化物層31にベース孔42から右方に少し離して別の孔43をあけ、コレクタ頂部を所要程度だけ露出させる。次にオーム接点44、46及び47を夫々孔33、42及び43を通じてトランジスタのエミッタ層39、ベース層36及びコレクタウエフア32に既知の手段によつて取付ける。斯かる取付手段として導線を半導体に取付ける既知の電鍍処理を用いることができる。トランジスタのエミッタ・ベース接合部及びベース・コレクタ接合部全体をトランジスタ内に埋置し且トランジスタ頂面に出る頂面を酸化物層で覆うため、前記鍍金処理及び合金化処理中両接合部を誤つて短絡したり損傷することが無い。

トランジスタウエフア32頂面を覆う酸化硅素層を、異型の半導体材料を造るために用いる不純物と反応させないようにするために、硅素中に拡散せしむべき周期律表第III族の不純物としてガリウムは採用しない。その理由はガリウムは酸化硅素とし、反応酸化物層が不純物の横方拡散を制限するマスクとして作用しなくなるためである。硅素中に拡散するその他の不純物は總て酸化硅素層と反応せず、これ

がため本発明方法は不純物としてガリウムを採用する場合にだけ適用できない。

前述したように2重拡散硅素型3極トランジスタを製造するに當り、ウエフア頂面上の不所望箇所に酸化物層が已むを得ず生ずる場合には、次にこの箇所の酸化物層を取除く。例えばウエフア32中に不純物が拡散してベース層36を造つた後、ベース層36頂面上に薄い酸化物層ができることがある。この場合には次にこの薄い酸化物層の少くとも一部分を腐蝕処理又は光抵抗技術によつて取除く。

次に第10図に就き本発明2重拡散硅素トランジスタの1例を説明する。本例トランジスタのコレクタ円板であるウエフア32は例えN型硅素で造る。次にウエフア32の頂面には薄いベース層36を、P導電率型硅素を以て形成する。ベース層36の頂面上に、微小のN型硅素よりなるエミッタ層39を形成する。本例トランジスタは超小型を必要とする高周波用として特に好適である。本例トランジスタはその横幅をほぼ1mm以下とし、エミッタ層39及びコレクタウエフア32間に介在するベース層36の厚さを1μ程度とすることできる。ウエフア32の頂面には酸化物層31を被着し、これによりエミッタ・ベース接合部並にベース・コレクタ接合部37双方の頂端を覆う。酸化物層31には孔33、42及び43をあけ、トランジスタのエミッタ・ベース及びコレクタを夫々露出させ、トランジスタ頂面でエミッタ・ベース及びコレクタに夫々オーム接点を取付ける。即ち導線44よりなるオーム接点をエミッタ層39の頂面に接続し、導線46よりなる第2の接点をベース層36の頂面にマスク孔42を経て接続し、導線47よりなる第3の接点をコレクタウエフア32の頂面にマスク孔43を経て接続する。斯く構成配置した第10図に示すトランジスタは高周波用として特に好適なるのみならず製造工程中に生ずる惧れある接点の短絡による損傷を未然に防止し得る利点がある。本例に於てもコレクタ接点を第4図に示すダイオードの場合のようにウエフア32の底面に接続することができる。

前述したところは本発明方法をトランジスタ、特にNPN型トランジスタに就き説明したがPNP型トランジスタにも適用し得ること勿論である。

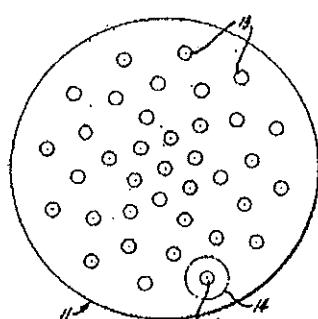
#### 特許請求の範囲

- 予定導電率型を有する半導体材料ウエフア表面に絶縁層を被着し、該絶縁層に孔をあけて前記ウエフア表面を僅かだけ露出させ、選択した不純物を前記孔を経て前記ウエフア中に拡散させてウエフアとは導電率型を異にする第1拡散領域を形成し、該第1拡散領域と残余のウエフアよりも一部分より酸化物を取除くと共に、ウエフア表面の他の部分より前記絶縁層を取除いてウエフアの導電率型を異にする領域を露出させ、接合部その他のウエフア表面残部上には絶縁層を残して置き、絶縁層に別々の孔をあけ、別々のオーム接点を該孔を経て前記導電率型を異にする領域に接続することを特徴とする予定導電率型を有する半導体材料ウエフアより半導体装置を製造する方法。

(4)

特公昭38-14856

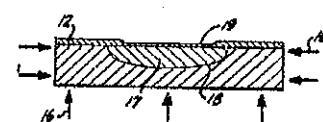
第1図



第2図



第3図



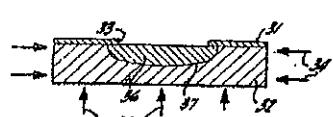
第4図



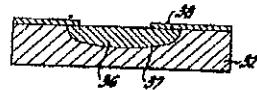
第5図



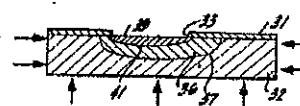
第6図



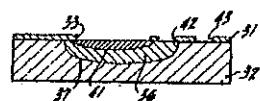
第7図



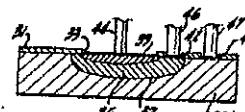
第8図



第9図



第10図



昭 41 1.10 発行

昭和36年特許願第35299号の明細書（特公昭39-9770号、(抗)昭39.6.6発行の特許公報6-630号掲載）の異議申立による補正に基いてその公報を後記のとおり訂正する。

—特許第459758号— 98 E 6

## 記

- 1 「特許請求の範囲」の項を「周波数変調波をスーパー・テロダイイン方式により受信復調し、その出力を負荷還することによって局部発振器の中間周波の周波数偏移が減少する方向に周波数変調する負荷還受信方式に於て、中間周波増幅器を広帯域としてその一部に狭帯域の同調回路を挿入すると共に低周波増幅帯域の高域周波数端附近で急上昇する振幅特性を有する補償回路を設けて前記負荷還勢力の位相回転を抑制することを特徴とする高感度受信方式」と補正する。
- 2 特許公報第1頁右段第34~35行「対応する周波数の部分で」とあるを「対応する周波数の部分即ち高域周波数端附近で」と補正する。

昭和36年特許願第47788号の明細書（特公昭39-11924号、(抗)昭39.6.27発行の特許公報6-638号掲載）の異議申立による補正に基いてその公報を後記のとおり訂正する。

—特許第459358号— 98 F 31  
(96 F 311)

## 記

- 1 特許公報第1頁左段第2~5行「第1図は～一実施例を示す。」とあるを「第1図はステップバイステップ局とクロスバ局との間に行われている公知の局間中継接続方式、第2図は本発明の方式を示し、第3図、第4図は本発明の接続制御に必要な情報送受方法の実施例を示す。」と補正する。
- 2 特許公報第1頁右段第12~32行「第2図、第3図は～欠点がある。」を削除する。
- 3 特許公報第1頁右段第33行「第3図は本発明による他の実施例」とあるを「第2図は本発明による実施例」と補正する。
- 4 特許公報第1頁右段第36行「第3図」とあるを「第2図」と補正する。
- 5 特許公報第1頁右段第40~41行「ダイヤル数字を中継することは前記第2図の場合と同様である。」とあるを「10位、1位の数字が中継される。」と補正する。
- 6 特許公報第1頁右段第45~47行「この第3図に～有している。」を削除する。
- 7 特許公報第2頁左段第1行「第4図は」とあるを「第3図は」と補正する。
- 8 特許公報第2頁左段第6行「第5図は」とあるを「第4図は」と補正する。
- 9 「特許請求の範囲」の項を「ステップバイステップ局を介して接続される3数字以下の小容量局の従局構成のクロスバ局に於て必要とされる選択番号の最高位の数字で設定されるステップバイステップ局のセレクタを介して該クロスバ局は捕捉され、且該クロスバ局は該最高位の数字に対応する直流信号、及び続いて送られて来る選択番号の以下の数字によつて制御される局間中継接続制御方式に於て、該最高位の数字は出中継装置(OGT)内の該セレクタのレベル識別リレー(C-1)の接点及び通話線を介して入中継装置(CT)に送出され、該入中継装置では送られてくる直流信号の大きさにより該最高位の数字を再生することを特徴とする局間中継接続制御方式」と補正する。

昭和35年特許願第22921号の明細書（特公昭38-14856号、昭38.8.14発行の特許公報6-560号掲載）の異議申立による補正に基いてその公報を後記のとおり訂正する。

—特許第459980号— 100 D 0  
(62 D 0)

## 記

- 1 特許公報第1頁左段「図面の簡単な説明」の項を「第1図は本発明方法を実施するために用いる多数の孔をあけた絶縁層を示す半導体ウェーファの平面図、第2~9図は本発明方法の諸工程を示す半流体装置の断面図、第10図は本発明方法により造つたトランジスタの断面図である。」と補正する。

- 2 特許公報第1頁右段下から2行目「本発明の最も重要な特徴は工程の期間中も、工程の終了後も、P-N接合部が酸化皮膜で常に保護されているということである。

この常に保護されているということは最初の拡散工程で用いた始めてのマスクがそのまま全工程を通して残されたときにのみ達成されることを意味するものである。即ち本発明方法によつてのみ最初の拡散工程に於て形成されたP-N接合部は、その拡散工程の間も、これに續く工程の間も、又その後の如何なる場合にでも決して汚染にさらされることがないのである。蓋し、P-N接合部の頂部のウェーファ表面領域は非常に重要なところであるため、このP-N接合部が一寸でも汚染されたり又は損傷されたりした場合には半導体装置は役に立たなくなつてしまい、而もこのような汚染の機会は最初のマスクを除去するときが一番甚だしいからである。従つて本発明の効果は

— 1 —

昭 41.1.10 発行

第1に本発明方法によつて作成された装置では前記のような工程を経ないので、半導体接合部が汚染されることなく、極めて安定な面も信頼性のあるものとなる。

第2にもしも従来の方法により最初のマスクを取除き、続いて新しいマスクをつけるという工程を経るならば、更に二つの補助工程を必要とするが、本発明によれば、全工程を通して最初のP—N接合部に形成されたマスクをずっと残しておいて差支えないので、前記二つの補助工程は全く省略出来ることである。】を挿入する。

3 特許公報第2頁左段第26~27行[第1~4図は～製造工程を示す。]とあるを「第1~4図は本発明方法の4製造工程を示す。」と補正する。

4 特許公報第2頁左段下から5行目[合金化]とあるを「拡散」と補正する。

5 特許公報第2頁右段下から13行目[硅素合金]とあるを「硅素蒸気」と補正する。

6 特許公報第3頁左段下から10行目[頂面]とあるを「接合部」と補正する。

7 特許公報第3頁右段「特許請求の範囲」の項を「予定導電率型を有する半導体ウエーファ表面にこの表面上の限られた面積だけ露出するように第1の孔をもつ半導体材料の化合物よりなる絶縁物層を被着し、選択した不純物を前記孔を経て前記ウエーファ中に拡散させウエーファとは導電率型を異にする第1拡散領域を形成してこの第1拡散領域と残余のウエーファよりなる第2領域との間にウエーファ表面の前記第1絶縁物層の下側迄延長するP—N接合部を形成し、前記ウエーファ表面にこのウエーファ表面に於ける前記第1拡散領域の一部分を露出するようにより小さい第2の孔をもつ半導体材料の化合物よりなる第2絶縁物層を被着し一方前記P—N接合部を含むウエーファ表面残部上には前記第1絶縁物層を残しておき、選択した不純物を前記第2の孔を経て前記第1拡散領域に拡散させこの第1拡散領域とは導電率型を異にする第3拡散領域を形成してこの第3拡散領域と前記第1拡散領域との間にウエーファ表面の前記第2絶縁物層の下側迄延長するP—N接合部を形成し、前記第2絶縁物層に前記第1拡散領域のウエーファ表面の限られた面積だけ露出するようにより第3の孔をあけ一方前記二つのP—N接合部を含むウエーファ表面残部上には前記絶縁物層を残しておき、別々のオーム接点を前記第2及び第3の孔を経て前記導電率型を異にする第1及び第3拡散領域に形成することを特徴とする半導体装置の製造方法。」と補正する。

99(5)C 13  
(99(5)B 23)

## 特許公報

特許公報

特許出願公告  
昭39-14712

公告 昭39.7.25

(全4頁)

## 半導体装置

特願 昭38-64211

出願日 昭35.5.2

特願昭35第2291号の分割

優先権主張 1959.5.1 (アメリカ国)

発明者 ジーン、エー、ホエルニ

アメリカ合衆国カリフォルニア州ロス、アルトス、ハーリントン、アベニュー595

出願人 フエアチャイルド、カメラ、エンド、インスツルメント、コーポレーション

アメリカ合衆国ニューヨーク州ロングアイランド、シオセット、ロビンズ、レーン300

代表者 ネルソン、ストーン

弁理人 杉村信近 外1名

## 図面の簡単な説明

図面中第1図は本発明半導体装置の構成に当り用いる多数の孔をあけた絶縁層を示す半導体ウェアフアの平面図、第2~4図は本発明装置の一例であるダイオード半導体装置を製造する際の異なる工程を示す断面図、第5~9図は本発明装置の他の例である3極半導体装置を製造する際の異なる5工程を示す断面図、第10図は本発明トランジスタの断面図である。

## 発明の詳細な説明

本発明はトランジスタその他の半導体装置に関するものである。

トランジスタ工学の進歩発達の一部は、高周波用として必要な超小型トランジスタを如何にして造るかに向けられている。既知の点接触型トランジスタは高周波用として好適であるが、点接触型トランジスタ特有の欠点があるため、接合型トランジスタを高周波用として改良している。高周波用として特に好適な接合型トランジスタは二重拡散硅素トランジスタであつて、本発明はその他の型のトランジスタにも適用できるが、以下主として二重拡散硅素トランジスタについて説明する。

二重拡散硅素トランジスタその他のトランジスタを超小型に構成するに当り、ベース材料の露出区域を充分広くとつてこれにオーム接点を取付けることは難しい。トランジスタを高周波用として必要な程度に超小型とすると、ベース・コレクタ接合部と、エミッタ・ベース接合部との間に介在するトランジスタ層のトランジスタ頂面の横幅が非常に狭くなる。しかし電気接点をエミッタ・コレクタ及びベースに夫々取付ける必要あるため、トランジスタ頂面のベース層の横幅を電気接点を取付け得る程度迄広くする必

要がある。しかし既知の方法ではトランジスタ頂面のベース層の横幅を広くすると、それだけベース層の厚さが厚くなり、トランジスタが大型となる欠点がある。

又トランジスタを超高周波で適当に作動せしめるに必要な超小型とする時は、トランジスタの接合部を保護し難くなり、電気接点をエミッタ・コレクタ及びベース部分に接続する際、導線より成るオーム接点が極めて僅かだけれども接合部を短絡してトランジスタが損傷して不良品となる。又高周波トランジスタではオーム接点部分の抵抗をできる限り小さくするために、エミッタ・ベース及びコレクタのトランジスタ頂面の露出部分のはば全面を電気接点で覆う必要があり、超高周波用トランジスタでは、接合部から数分の1mm以内でオーム接点を接続する必要があるから、電気接点を既知の鍍金処理で接続することは不適当である。前述したところから明らかのようにトランジスタのエミッタ・ベース及びコレクタ部分にオーム接点を適切に接続することと、製造工程中接合部を誤つて短絡してトランジスタを損傷し、不良品の数を増さないようにすることが非常に重要である。又接合部を適切に保護し得ないと、トランジスタ特性を各製品毎に相違させると共に、トランジスタを劣化する。

ベース・コレクタ接合部の横の広がりを腐蝕処理によつて狭くし、高周波用超小型トランジスタを造ることも提案された。しかし斯種トランジスタでは接合部を腐蝕処理によつて露出させるため、爾後の製造工程中に接合部が汚れて劣化すると共に、短絡を生じトランジスタを損傷する欠点がある。本発明に於ては超小型ではあるが、接合部を半導体中に完全に埋置したトランジスタを提供する。本発明に於ては斯種トランジスタに於て接合部を、高温度で拡散中接合部と同時に形成した酸化物層によつて充分に保護し、爾後の製造工程中又は製造後接合部を汚さないようにし、前述した欠点を除去する。

本発明に於ては前述した欠点を除去し得るように適切に構成配置したトランジスタを提供する。トランジスタの製造に當り半導体材料の外面を酸化するのが普通で、製造中の外面の酸化物層を例えば腐蝕処理によつて取除くのが普通である。この場合この酸化物層の一部分をトランジスタ表面にその保護層として残すことも提案された。本発明トランジスタに於てはその製造工程中、半導体酸化物層の広さ及び位置を制御し、半導体材料中に拡散する拡散層の横の拡がりを制限すると共に、トランジスタ表面を保護するようとする。本発明に於ては種々の導電率型の半導体中に於ける不純物の拡散程度を制限するのみならず、露出表面上のマスク保護層を添加又は削除することによつて、共通トランジスタ表面上で、各種トランジスタ材料に対し精密に制御した露出区域を設定する。加うるに本発明に於てはトランジスタ露出面上に保護層を保留することにより、

(3)

特公 昭39-14712

て造る。

ウエフア32上にベース層36を形成すると共に、ウエフア32とベース層36との間に接合部37を形成する間又はその後に、酸化物層31に第7図に38で示すような追加マスクを余分につける。追加マスク38のため、酸化物層31はベース層36上に余分に突出し、ベース層36のマスクとして作用し、トランジスタ中に第2材料層を拡散せしめんとするも、この第2材料層をベース層36の両端迄拡散させないように作用する。斯くウエフア32の頂面上の酸化物層31を余分に拡大してベース層36の側縁のマスクとして作用させた後、ベース層36の頂面に適當な不純物又はその合金を添加して加熱し、ウエフア及びその上の不純物を拡散温度に高め、トランジスタ構体中に第2層39をエミッタ層として拡散せしめる。ウエフア中に於ける拡散速度及び拡散程度を既知のように精密に制御し、エミッタ層39と、ベース層36との間に第2接合部41を形成する。第8図に示すようにエミッタ層39はベース層36中に拡散し、エミッタ層39及びベース層36間の接合部41はウエフア頂面のマスク38の下側に於て、小さくなつた孔33の近くで終る。第8図に示すように第2拡散層39はベース層36の中心から左方にずれる。本例に於けるようにベース層36の中心から第2拡散層39を左方にずらせば、第9図に示すように酸化物層31は、エミッタ層39の右側のベース層36の真上に、孔42をあけ、ベース層36頂面にオーム接点を取付け得るようになることができる。この場合エミッタ・ベース接合部41の頂端が終るトランジスタ頂面には酸化物層31の一部分を残して置き、爾後の製造工程中或は取扱い作業中に、エミッタ・ベース接合部41を誤つて短絡したり損傷しないようにする。エミッタ・ベース接合部41の頂端のウエフア頂面上のその他の箇所も縦て酸化物層31で覆う。同様にベース・コレクタ接合部37のウエフア頂面で終る頂端を縦て酸化物層31で覆う。これがため本例トランジスタによれば、エミッタ・ベース接合部41及びベース・コレクタ接合部37を誤つて短絡したり、或は損傷するのを完全に防止することができる。エミッタ・ベース及びコレクタには夫々オーム接点を既知の手段によつて取付ける。本例によればコレクタ頂面にオーム接点を取付け、オーム接点全部をトランジスタの同一側に取付けることができる。これがため、酸化物層31にベース孔42から右方に少し離して別の孔43をあけ、コレクタ頂部を所要程度だけ露出させる。次にオーム接点44,46及び47を夫々孔33,42及び43を通じてトランジスタのエミッタ層39、ベース層36及びコレクタウエフア32に既知の手段によつて取付ける。斯る取付手段として導線を半導体に取付ける既知の電鍍処理を用いることができる。トランジスタのエミッタ・ベース接合部及びベース・コレクタ接合部全体をトランジスタ内に埋置し且トランジスタ頂面に出る頂端を酸化物層で覆うため、前記鍍金処理及び合金化処理中両接合部を誤つて短絡したり損傷することがない。

トランジスタウエフア32頂面を覆う酸化硅素層を、異

型の半導体材料を造るために用いる不純物と反応させないようにするため、硅素中に拡散せしむべき周期律表第Ⅲ族の不純物としてガリウムは採用しない。その理由はガリウムは酸化硅素と反応し、酸化物層が不純物の横方拡散を制限するマスクとして作用しなくなるためである。硅素中に拡散するその他の不純物は縦て酸化硅素層と反応せず、これがため不純物としてガリウムを採用する場合にだけ適用できない。

前述したように二重拡散硅素型3極トランジスタを製造するに当り、ウエフア頂面上の不所望箇所に酸化物層がやむを得ず生ずる場合には、次にこの箇所の酸化物層を取除く。例えば、ウエフア32中に不純物が拡散してベース層36を造つた後、ベース層36頂面上に薄い酸化物層ができることがある。この場合には次にこの薄い酸化物層の少くとも一部を腐蝕処理又は光抵抗技術によつて取除く。

次に第10図につき本発明による二重拡散硅素トランジスタを説明する。本例トランジスタのコレクタ円板であるウエフア32は例えばN型硅素で造る。次にウエフア32の頂面には薄いベース層36を、P導電率型硅素を以て形成する。ベース層36の頂面上に、微小のN型硅素より成るエミッタ層39を形成する。本例トランジスタは超小型を必要とする高周波用として特に好適である。本例トランジスタはその横幅をほぼ1mm以下とし、エミッタ層39及びコレクタウエフア32間に介在するベース層36の厚さを1ミクロン程度とすることができる。ウエフア32の頂面には酸化物層31を被着し、これによりエミッタ・ベース接合部並にベース・コレクタ接合部37双方の頂端を覆う。酸化物層31には孔33,42及び43をあけ、トランジスタのエミッタ・ベース及びコレクタを夫々露出させ、トランジスタ頂面でエミッタ・ベース及びコレクタに夫々オーム接点を取付ける。即ち導線44より成るオーム接点をエミッタ層39の頂面に接続し、導線46より成る第2オーム接点をベース層36の頂面にマスク孔42を経て接続し、導線47より成る第3オーム接点をコレクタウエフア32の頂面にマスク孔43を経て接続する。斯く構成配置した第10図に示すトランジスタは高周波用として特に好適なるのみならず、製造工程中に生ずる惧れある接点の短絡による損傷を未然に防止し得る利点がある。本例に於てもコレクタ接点を第4図に示すダイオードの場合のようにウエフア32の底面に接続することができる。

前述したところは本発明半導体装置をトランジスタ、特にNPN型トランジスタにつき説明したが、本発明はPNP型トランジスタにも適用し得ること勿論である。

#### 特許請求の範囲

- 半導体材料ウエフアを、導電率型を異にし、共通ウエフア表面迄延長する少くとも2箇の領域に分割し、相隣れる2領域間にP-N接合部を形成し、前記共通ウエフア表面上に絶縁層を被着して共通ウエフア表面でP-N接合部全体を囲み、前記絶縁層には各領域に達する孔をあけ、電気導線を該孔を経て領域の露出面全体に接続してオーム接点を構成したことを特徴とする半導体装置。

昭 4112. 1 発行

昭和38年特許願第64211号の明細書（特公昭39-14712号、昭39.7.25発行の特許公報6-647号掲載）は異議申立による補正に基いてその公報を下記のとおり訂正する。

—特許第480803号— 99(5) C 13  
(99(5) B 23)

記

1. 特許公報第1頁左段第2～8行「図面の簡単な説明」の項を「第1図は本発明を実施するのに用いる多数の孔をあけた絶縁層を示す半導体ウエーファの平面図、第2～9図は本発明の半導体装置を構成する際の各段階を示す断面図、第10図は本発明のトランジスタ半導体装置の断面図である。」と補正する。
2. 特許公報第2頁左段第19行「ダイオード並に」を削除する。
3. 特許公報第2頁左段第22行「ダイオード及び」を削除する。
4. 特許公報第2頁左段第28行「第1～4図」を「第1～9図」と補正する。
5. 特許公報第2頁左段末行「合金化」を「拡散」と補正する。
6. 特許公報第2頁右段下から8行目「硅素合金」を「硅素蒸気」と補正する。
7. 特許公報第3頁右段「特許請求の範囲」の項を「1実質的に平らな面をもつあらかじめ定められた導電型をもつた半導体材料ウエーファ、前記平らな面から前記ウエーファ内に拡散された前記あらかじめ定められた導電型と反対の導電型の第1領域、前記ウエーファと前記第1領域との間の境界を形成し前記平らな面まで延長している第1のP—N接合、前記第1領域の平らな面から前記第1領域の内に拡散された前記第1領域と異なる導電型の第2領域、前記第1と第2各領域との間の境界を形成し前記平らな面まで延長している第2のP—N接合、前記第1領域が拡散されたところの開口部を有し少くとも前記平らな面上の第1のP—N接合部分を覆つて永久に残される第1の絶縁被膜と前記開口部内に形成された第2の絶縁被膜により構成されている半導体材料の化合物からなる絶縁被膜、前記第1領域第2領域及び前記ウエーファの残りの部分の前記平らな面上の絶縁被膜にあけられた少くとも3つの孔、及び前記各孔内に覆われた前記第1領域第2領域及びウエーファの残りの部分とそれぞれ接続する接点とを有することを特徴とする半導体装置。」と補正する。

昭 42 5. 9 発行

## (第6部門) 正 誤 表 (昭和42年5月9日発行)

公告番号	分類	個所	誤	正
昭37-16609	98 A 212	図面	第6図	第9図
"	"	同	第8図	第6図
昭39-14712	98(5) C 13 (98(5) B 23)	分割の表示	特願昭35-2291 号の分割	特願昭35-2292 1号の分割
昭41-20135	98 D 21 (101 G 5) (98 A 5) (52 C 3)	代理人 弁理士 中吉章一郎 外1名	中吉章一郎	
昭42- 5724	①~③ 97(5) E 15 (97(5) A 15) (98 F 13)	出願人名称(目次も)	ゼニス・ランド・コープレーション	ゼニス・ラジオ・コープレーション
5742	102 E 32 (114 A 512) (98 B 15) (98 E 0)	発明の名称(目次も)	磁気的に記録されたデータを変換するための装置	データ変換装置
5895	98 F 01	本文第1頁左段 下から2行目	DC 100V	DC 150V
"	"	本文第2頁右段 第1行	DC / 50V	DC 150V
"	"	本文第3頁右段 下から16行目	F = φ'' 12 √2 φ	F = φ'' / 2 √2 φ
5991	102 E 31 (98 A 32) (98 C 03)	出願人名称	ミネソタ・マイニング・ アンド・マニュフ・ア クチュアリング・コン パニー	ミネソタ・マイニング・ アンド・マニュファク チャリング・コンパ ニー
6408	98 C 132 (98 F 23)	優先権主張	1943. 2. 7 (イギリス国)	1963. 2. 7 (イギリス国) 5112/63
"	"	発明者氏名	ジョージ・アーサー・ マシマーズ	ジョージ・アーサー・ マシユーズ
"	"	代表者氏名	ウイルフレッド・アーサー・リチャーズ	ウイルフレッド・アーサー・リチャーズ
6438	110 B 3 (110 B 7)	出願人住所	アメリカ合衆国カリフ オルニア州ザタモニカ 市クローバーフィール ド・ブルバード 1723	アメリカ合衆国カリフ オルニア州サンタモニ カ市クローバーフィール ド・ブルバード 1723
6587	100 D 0	発明者	脱落	芦沢 隆一 東京都世田谷区成城町 152 梅本 重臣 東京都世田谷区世田谷 1の39
6847	98 E 0	分類(目次も)	78 E 0	98 E 0
6876	103 K 1 (103 K 11)	願書番号(目次 も)	昭38-74724	昭38-47424

99(5) 0 23

特許序  
特許公報 昭41-4218  
特許出願公告  
（全5頁）

## 半導体装置

特願 昭 39-49401  
 出願日 昭 35.5.2  
 優先権主張 1959.5.1 (アメリカ国)  
 特願 昭 35-22921 の分割  
 発明者 ジーン、エー、ホエルニ  
 アメリカ合衆国カリフォルニア州  
 ロス、アルトス、ハーリントン  
 アベニュー 595  
 出願人 フエアチャイルド、カメラ、エン  
 ド、インスツルメント、コーポレ  
 ーション  
 アメリカ合衆国ニューヨーク州ロン  
 グ、アイランド、シオセット、ロ  
 ピンス、レーン 300  
 代表者 ネルソン、ストーン  
 代理人 弁理士 杉村信近 外1名

## 図面の簡単な説明

図面中第1図は本発明半導体装置の構成に当り用いる多数の孔をあけた絶縁層を示す半導体ウエーファの平面図、第2～6図は本発明装置を製造する際の異なる5工程を示す断面図、第7図は本発明トランジスタの1実施例断面図である。

## 発明の詳細な説明

本発明はトランジスタその他の半導体装置に関するものである。

トランジスタ工学の進歩発達の1部は、高周波用として必要な超小型トランジスタを如何にして造るかに向けられている。既知の点接触型トランジスタは高周波用として好適であるが、点接触型トランジスタ特有の欠点がある為、接合型トランジスタを高周波用として改良している。高周波用として特に好適な接合型トランジスタは2重拡散珪素トランジスタであつて、本発明はその他の型のトランジスタにも適用できるが、以下主として2重拡散珪素トランジスタに就き説明する。

2重拡散珪素トランジスタその他のトランジスタを超小型に構成するに当たり、ベース材料の露出区域を充分広くとつてこれにオーム接点を取付け

る事は難しい。トランジスタを高周波用として必要な程度に超小型とすると、ベース・コレクタ接合部と、エミッタ・ベース接合部との間に介在するトランジスタ層のトランジスタ頂面の横幅が非常に狭くなる。然し電気接点をエミッタ・コレクタ及びベースに夫々取付ける必要がある為、トランジスタ頂面のベース層の横幅を電気接点を取付け得る程度迄広くする必要がある。然し既知の方法ではトランジスタ頂面のベース層の横幅を広くすると、それ丈ベース層の厚さが厚くなり、トランジスタが大型となる欠点がある。

又トランジスタを超高周波で適当に作動せしめるに必要な超小型とする時は、トランジスタの接合部を保護し難くなり、電気接点をエミッタ・コレクタ及びベース部分に接続する際、導線より成るオーム接点が極めて僅かだけれども接合部を短絡してトランジスタが損傷して不良品となる。又高周波トランジスタではオーム接点部分の抵抗をできる限り小さくする為に、エミッタ・ベース及びコレクタのトランジスタ頂面の露出部分の略略全面を電気接点で覆う必要があり、超高周波用トランジスタでは、接合部から数分の1mm以内でオーム接点を接続する必要があるから、電気接点を既知の鍍金処理で接続する事は不適当である。上述した所から明らかにトランジスタのエミッタ・ベース及びコレクタ部分にオーム接点を適切に接続する事と、製造工程中接合部を誤つて短絡してトランジスタを損傷し、不良品の数を増さない様にする事が非常に重要である。又接合部を適切に保護し得ないと、トランジスタ特性を各製品毎に相違させると共に、トランジスタを劣化する。

ベース・コレクタ接合部の横の広がりを腐蝕処理によつて狭くし、高周波用超小型トランジスタを造る事も提案された。然し斯種トランジスタでは接合部を腐蝕処理によつて露出させる為、爾後の製造工程中に接合部が汚れて劣化すると共に、短絡を生じトランジスタを損傷する欠点がある。本発明に於ては超小型ではあるが、接合部を半導体中に完全に埋置したトランジスタを提供する。本発明に於ては斯種トランジスタに於て接合部を高温度で拡散中接合部と同時に形成した酸化物層

(4)

特公 昭 41 - 4218

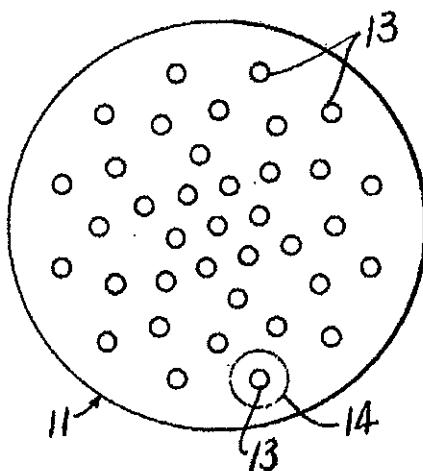
をベース層36の頂面にマスク孔42を経て接続し、コレクタ接点43（必要のときは導線47を接続）をウエフア32の底面に接続する事が出来る。斯く構成配置した第7図に示すトランジスタは高周波用として特に好適なるのみならず、製造工程中に生ずる惧れある接点の短絡による損傷を未然に防止し得る利点がある。更にコレクタ接点43をウエフアの底面から出すことはトランジスタを封入するときに極めて有利となる。即ちコレクタ接点43はウエフア32が永久にマウントされる台上に直接半田付けすることが出来る。半田付け操作は接点43と台（ヘッド）とを直接電気的に接続することを可能にし、接点43のために半田線を使用する手数を全く省くことが出来る。更に又接点43と台との間の接合面が極めて大きくなるためにウエフアから台への熱伝導が極めて良好となる。つまり半導体装置の冷却効果が大となりライフを延ばすことが出来るという利点をも有するものである。

上述した所は本発明半導体装置をトランジスタ特にNPN型トランジスタに就き説明したが、本発明はPNP型トランジスタにも適用し得る事勿論である。

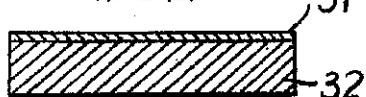
## 特許請求の範囲

1 一つの実質的に平らな上面と一つの下面とを有するあらかじめ定められた導電型を持つた半導体材料ウエフア、前記平らな上面から前記ウエフア内に拡散された前記あらかじめ定められた導電型と反対の導電型の第1領域、前記ウエフアと前記第1領域との間の境界を形成し前記平らな面まで延長している第1のP-N接合、前記第1領域の平らな上面から前記第1領域の内に拡散された前記第1領域と異なる導電型の第2領域、前記第1と第2各領域の間の境界を形成し、前記平らな上面まで延長している第2のP-N接合、前記第1領域と第2領域の各上面並びにウエフアの前記下面に設けられた三つの接点、及び前記第1領域が拡散されたところの開口部を有し少くとも前記平らな面上の第1のP-N接合部分を覆つて永久に残される第1の絶縁被膜と前記開口部内に形成され少くとも前記平らな面上の前記第2のP-N接合部を覆つている第2の絶縁被膜により構成されている半導体材料の化合物からなるところの絶縁被膜を有することを特徴とする半導体装置。

第1図



第2図



April 25, 1961

R. N. NOYCE

2,981,877

SEMICONDUCTOR DEVICE-AND-LEAD STRUCTURE

Filed July 30, 1959

3 Sheets-Sheet 1

FIG. 1

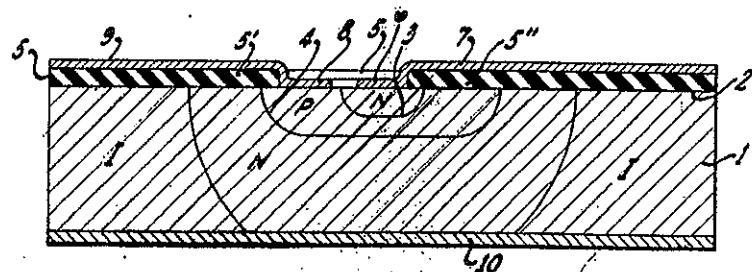
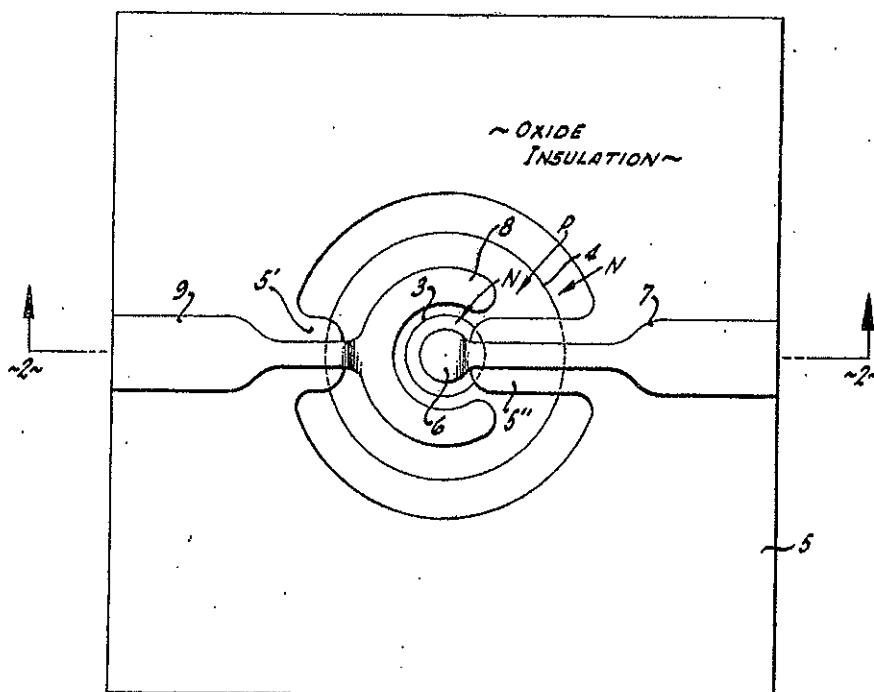


FIG. 2

INVENTOR.  
ROBERT N. NOYCE  
BY *Leppencott & Ralls*  
ATTORNEYS

April 25, 1961

R. N. NOYCE

2,981,877

## SEMICONDUCTOR DEVICE-AND-LEAD STRUCTURE

Filed July 30, 1959

3 Sheets-Sheet 2

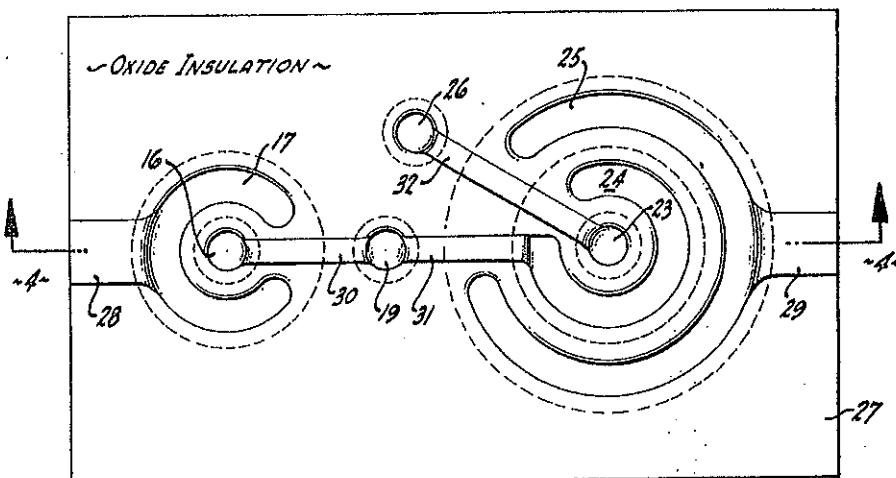


FIG. 3

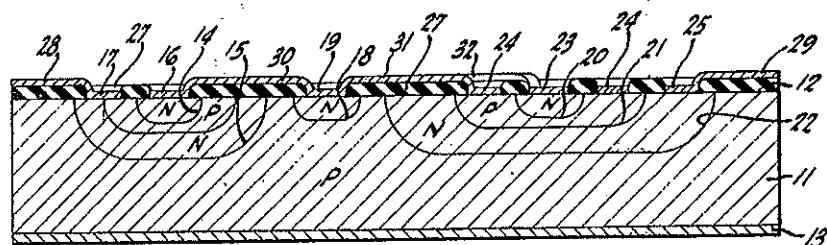


FIG. 4

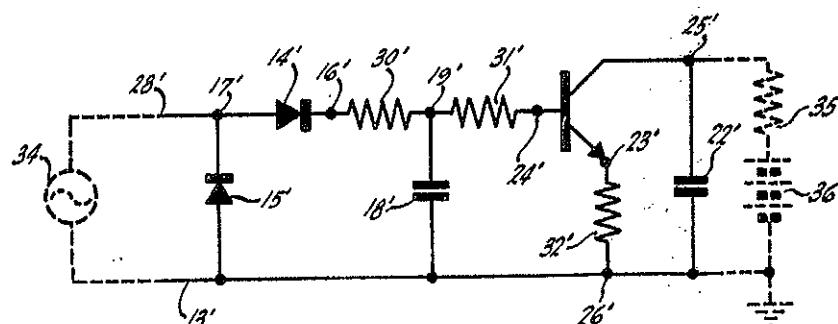


FIG. 5

INVENTOR.  
ROBERT N. NOYCE  
BY Leggett & Rollins  
ATTORNEYS

April 25, 1961

R. N. NOYCE

2,981,877

SEMICONDUCTOR DEVICE-AND-LEAD STRUCTURE

Filed July 30, 1959

3 Sheets-Sheet 3

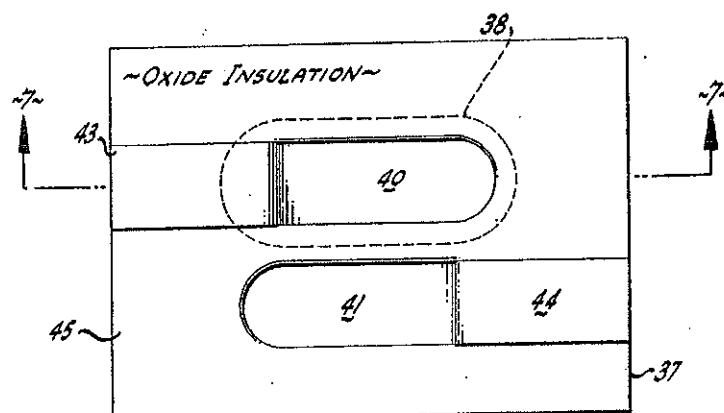


FIG. 6

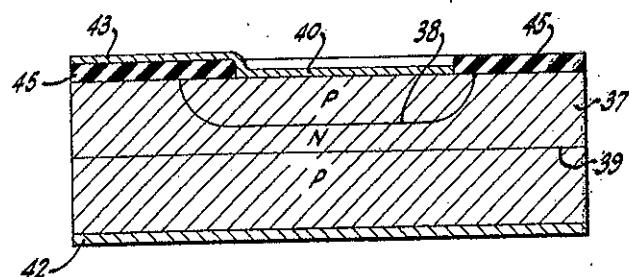


FIG. 7

INVENTOR.  
ROBERT N. NOYCE  
BY *Lippincott & Kalls*  
ATTORNEYS

## United States Patent Office

2,981,877

Patented Apr. 25, 1961

1

2,981,877

SEMICONDUCTOR DEVICE-AND-LEAD  
STRUCTURE

Robert N. Noyce, Los Altos, Calif., assignor to Fairchild Semiconductor Corporation, Mountain View, Calif., a corporation of Delaware

Filed July 30, 1959, Ser. No. 830,507

10 Claims. (Cl. 317—235)

This invention relates to electrical circuit structures incorporating semiconductor devices. Its principal objects are these: to provide improved device-and-lead structures for making electrical connections to the various semiconductor regions; to make unitary circuit structures more compact and more easily fabricated in small sizes than has heretofore been feasible; and to facilitate the inclusion of numerous semiconductor devices within a single body of material.

In brief, the present invention utilizes dished junctions extending to the surface of a body of extrinsic semiconductor, an insulating surface layer consisting essentially of oxide of the same semiconductor extending across the junctions, and leads in the form of vacuum-deposited or otherwise formed metal strips extending over and adherent to the insulating oxide layer for making electrical connections to and between various regions of the semiconductor body without shorting the junctions.

The invention may be better understood from the following illustrative description and the accompanying drawings.

Fig. 1 of the drawings is a greatly enlarged plan view of a transistor-and-lead structure embodying principles of this invention;

Fig. 2 is a section taken along the line 2—2 of Fig. 1;

Fig. 3 is a greatly enlarged plan view of a multi-device semiconductor-and-lead structure embodying principles of this invention;

Fig. 4 is a section taken along the line 4—4 of Fig. 3;

Fig. 5 is a simplified equivalent circuit of the structure shown in Figs. 3 and 4, with additional circuit elements external to said structure represented by broken lines;

Fig. 6 is a greatly enlarged plan view of another transistor-and-lead structure embodying principles of the invention;

Fig. 7 is a section taken along the line 7—7 of Fig. 6.

Figs. 1 and 2 illustrate one example of a structure according to this invention. A single-crystal body of semiconductor-grade silicon, represented at 1, has a high-quality surface 2, prepared in accordance with known transistor technology. Within the body 1 there are high-resistivity regions, designated I in the drawing, composed either of high-purity silicon having so few donor and acceptor impurities that it is a good insulator at ordinary temperatures and an intrinsic semiconductor at elevated temperatures, or of somewhat less-pure silicon containing a trace of a material such as gold that diminishes the effect of donor and acceptor impurities by greatly reducing the carrier concentrations.

Elsewhere within body 1, there are extrinsic N-type and extrinsic P-type regions, designated N and P respectively, formed in the well-known manner by diffusing N-type and P-type dopants through surface 2 into the crystal, with appropriate masking to limit the dopant to the desired areas. The smallest and uppermost N-type region constitutes an emitter layer of the transistor. This emitter layer overlies a somewhat larger P-type region which constitutes the base layer of the transistor. The base

2

layer, in turn, overlies a still larger N-type region which constitutes the collector layer of the transistor. Between the emitter and base layers there is a dished, P-N junction 3, having a circular edge which extends to surface 2 and there completely surrounds the emitter. Between the base and collector layers there is a dished, P-N junction 4, having a circular edge that extends to surface 2 and there completely surrounds the base. The thickness of the emitter and base layers has been exaggerated in the drawings: in actual practice each of these layers is but a few microns thick. The collector layer generally is considerably thicker, and in the example illustrated extends completely through the body 1 so that contact thereto may be made from the back side. Thus, the three extrinsic semiconductor layers described form a transistor equivalent to previously known types of double-diffused junction transistors.

During diffusion of the donor and acceptor impurities into the semiconductor, at elevated temperature in an oxidizing atmosphere, the surface of the silicon oxidizes and forms an oxide layer 5, often one micron or more in thickness, congenitally united with and covering surface 2. This layer may consist chiefly of silicon dioxide, or of disproportionated silicon suboxide, depending upon the temperature and conditions of formation. In any event, the oxide surface layer is durable and firmly adherent to the semiconductor body, and furthermore it is a good electrical insulator.

According to common prior practice in manufacturing diffused-junction transistors, the semiconductor body was deoxidized by chemical etching prior to deposition of metal contacts on the semiconductor surface. According to the present invention, only selected portions of the oxide layer are removed, as illustrated in Figs. 1 and 2, for example, while other portions of the oxide layer are left in place to serve as insulation for electrical leads used in making connections to and between the several semiconductor regions.

In particular, portions of the remaining oxide film extend across the edges of the P-N junctions at the surface of the semiconductor body, to facilitate the making of electrical connections from one side of a junction to another without shorting the junction. Thus, as illustrated in Figs. 1 and 2, the remaining oxide film comprises a tongue 5' that crosses the edge of junction 4, and another tongue 5'' that crosses the edges of both junctions 3 and 4. On the other hand, at least a portion of the surface over each of the emitter and base layers must be cleared to permit the formation of base and emitter contacts.

A convenient and highly accurate way to remove only selected portions of the oxide film is to use photoengraving techniques. The photoengraving resist is placed over the oxide-coated surface, and this is then exposed through a master photographic plate having opaque areas corresponding to the areas from which the oxide is to be removed. In the usual photographic developing, the unexposed resist is removed; and chemical etching can then be employed to remove the oxide layer from the unexposed areas, while the exposed and developed resist serves as a mask to prevent chemical etching of the oxide areas that are to be left on the semiconductor surface.

A discoid, metal, emitter contact 6 is adherent to surface 2, wholly within the edge of junction 3, centered upon and in electrical connection with the emitter region of the transistor. Electrical connections to this emitter contact are made through a metal strip 7 extending over and adherent to oxide layer 5. The strip 7 extends over the tongue 5'' of the insulating oxide layer across the junctions 3 and 4, and thus provides an electrical connection extending from one side of the

2,981,877

3

composite structure inward to the central emitter contact, without shorting any of the transistor junctions.

The base contact is a C-shaped, metal strip 8, adherent to surface 2 wholly between the edges of junctions 3 and 4, substantially concentric with the emitter contact 6 and substantially encircling the junction 3. It will be noted that tongue 5' and lead 7 extend between the two ends of the C-shaped contact 8, so that lead 7 and the emitter contact are effectively insulated from the base contact even though the base contact substantially surrounds the emitter junction. Electrical connection to contact 8 is made through a metal strip 9 extending over and adherent to the insulating oxide layer 5. Strip 9 extends over tongue 5' across the collector junction 4, and thus provides an electrical connection from one side of the composite structure into the base layer, which in this embodiment is completely surrounded by the collector layer at the surface 2, without shorting the collector junction 4.

Various methods may be employed for forming the base and emitter contacts and leads. By way of example, the contacts and leads can be deposited in the configuration shown by direct vacuum evaporation of aluminum, or other suitable contact metal, through a mask of suitable size and shape. Alternatively, a metal coating may be deposited over the entire upper surface of the composite structure, and the unwanted metal then removed by known photoengraving techniques to leave only the contact-and-lead configuration shown. After the contacts have been deposited upon surface 2 of the semiconductor, the structure is usually heated to form an alloy at the metal-silicon interface so that good, ohmic contact between the metal and the silicon is obtained.

It will be noted that regions of high-resistivity silicon are made to underlie portions of the leads 7 and 9. The principal purpose in this is to reduce the shunt capacitance between the leads and the semiconductor body. Otherwise, an undesirably high shunt capacitance may exist in some cases since the extrinsic semiconductor regions are fairly good conductors, and the insulating layer 5 has a thickness of only one to two microns. The high-resistivity regions act essentially as insulators rather than as conductors, and thus reduce the area of closely spaced conductors that lead to high shunt capacitances. Of course, in cases where the shunt capacitance is not excessive for the purposes desired, use of high-resistivity regions as disclosed is not required.

The transistor structure is completed by an electrical contact to the collector layer, which may take the form of a metal coating 10 plated over the entire back side of the silicon body.

Even in a single transistor, as illustrated in Figs. 1 and 2, the composite semiconductor-and-lead structure provided by this invention has significant advantages. According to prior practice, electrical connection to the base and emitter contacts had to be made by fastening wires directly to the contact areas. This led to certain manufacturing difficulties, particularly in the case of small devices wherein, for example, the emitter region might be only a few mils in diameter and a few microns in thickness. Merely to position the emitter lead on the emitter contact in such small structures required the use of microscopes and micro-manipulators; and the use of any considerable pressure or considerable heat in making the joint permanent could cause sufficient damage to destroy the transistor.

By means of the present invention, the leads 7 and 9 can be deposited at the same time and in the same manner as the contacts themselves. Furthermore, leads 7 and 9 can be made as large as may be desired at the point where wires or other external circuit elements are to be attached; and such attachments can be made at a distance from the active elements of the transistor proper, so that the chances of damage to the transistor are significantly reduced.

4

Further advantages accrue when it is desired to incorporate more than one circuit device into a single body of semiconductor. In this way exceptionally compact and rugged circuits can be constructed. One example of such a multi-device structure is illustrated in Figs. 3 and 4.

A single-crystal body 11 of silicon, largely P-type, has a high-quality surface 12 prepared in accordance with well known transistor technology. The other side of body 11 is plated with a metal coating 13, which serves as an electrical contact to the largest P-type region and as a ground plane for the electrical circuit. Various circuit elements may be formed within and on this body of silicon. N-type and P-type dopants, restricted to specific areas by known masking techniques, are diffused through surface 12 to form a plurality of N-type and P-type extrinsic semiconductor regions, separated from the underlying P-type region and from each other by a plurality of dished, P-N junctions of various diameters and depths, all having, in this particular example, circular edges extending to surface 12 and there surrounding the overlying semiconductor regions.

Toward the left end of the structure illustrated in Figs. 3 and 4, there will be found an N-type region overlying a small P-type region and separated therefrom by a dished junction 14. The small P-type region overlies another N-type region; and the underlying N-type region in turn overlies the large, grounded P-type region and is separated therefrom by a dished junction 15. The junction 16 between the two intermediate layers is shorted by contact 17. Consequently, this structure provides two rectifying junctions connected in series, each equivalent to a crystal diode.

Electrical connection to the upper N-type region is made through a discoid, metal contact 18, adherent to surface 12, wholly within junction 14 and substantially centered upon the N-type region. Electrical contact to the two regions between junctions 14 and 15 is made through a C-shaped metal contact 19, adherent to surface 12, wholly between the edges of junctions 14 and 15, concentric with contact 18 and substantially encircling the edge of junction 14, which extends to the surface 12.

Proceeding toward the right in the drawings, there will be found another N-type region, separated from the underlying, grounded, P-type region by a dished junction 20. Electrical connection to the N-type region in this case is made through a discoid, metal contact 21, adherent to surface 12 and substantially centered inside the edge of junction 20, which extends to the surface of the semiconductor.

Toward the right end of the structure illustrated, there will be found a small N-type region overlying a P-type region and separated therefrom by a dished junction 22. The last-mentioned P-type region in turn overlies a larger N-type region and is separated therefrom by a dished junction 23. The N-type region below junction 23 in turn overlies the grounded P-type region and is separated therefrom by a dished junction 24. In this case, the width of the P-type region between junctions 22 and 23 is less than a diffusion length, so that a substantial proportion of the electrons that cross junction 22 are collected by junction 23. The result is an N-P-N junction transistor, in which the small N-type region overlying junction 22 acts as the emitter, the P-type region between junctions 22 and 23 acts as the base, and the N-type region between junctions 23 and 24 acts as the collector.

The width of the last-mentioned N-type region is greater than a diffusion length, and consequently there is little interaction between junctions 23 and 24. As will be explained hereinafter, junction 24 is normally reverse-biased and acts much as a capacitor in the overall circuit. It serves the important function of isolating the collector of the transistor from the grounded, underlying, P-type region.

Electrical connections to the three active regions of the

2,981,877

## 5

transistor are made as follows: A discoid, metal contact 23 is adherent to surface 12, wholly within the edge of junction 20, centered upon and in electrical connection with the emitter layer of the transistor. A C-shaped contact 24 is a metal strip adherent to surface 12 between junctions 20 and 21, substantially surrounding the circular edge of junction 20 that extends to the surface of the semiconductor body. This contact overlies and is in electrical connection with the base layer of the transistor. Another and larger C-shaped contact 25, which overlies and is in electrical connection with the collector layer, is likewise in the form of a metal strip, adherent to surface 12 between junctions 21 and 22, and surrounding the circular edge of collector junction 21 that extends to the surface.

Still another contact is provided upon and adherent to surface 12. This is the discoid, metal contact 26, directly upon and in electrical connection with the grounded P-type layer, for the purpose of providing a ground terminal at the upper surface of the composite structure.

Except for the contacts described above, the entire surface 12 is covered with an insulating layer 27 of oxidized silicon, generally about one micron thick. This insulating layer may be formed upon the exposed surface of the silicon during diffusion of the N-type and P-type dopants into the silicon, at elevated temperatures and in an oxidizing atmosphere. The presence of water vapor will enhance oxidation of the silicon. Preferably, in accordance with this invention and contrary to prior practice, after diffusion is completed the oxide layer is never removed from the silicon, except for the areas to be covered by the contacts herein described. The contact areas are cleared by photoengraving, after which the contact metal can be deposited by various known processes, e.g., by the vacuum deposition of an aluminum film covering both the cleared and oxide-coated areas. Afterwards, unwanted metal can be removed from the oxide-coated areas by photoengraving. The aluminum contacts may be alloyed to the silicon to make ohmic contacts in a known manner.

The circuit structure is completed by providing metal strips extending over and adherent to the insulating oxide layer 27 and making electrical connections to and between the various contacts heretofore described. These metal strips may be deposited by vacuum evaporation and deposition, and may conveniently be parts of the deposited film from which contacts are made. The leads come from portions of the film that are deposited onto the oxide film and are thereby insulated from the semiconductor body. As hereinbefore explained, photoengraving can be used to remove the unwanted metal, leaving only the leads and contacts.

In the structure illustrated, there is an input lead 28 electrically connected to contact 17, and an output lead 29 electrically connected to contact 25. A lead 30 interconnects contacts 16 and 19; if desired, lead 30 can be made sufficiently thin and narrow to have an appreciable resistance, and thereby serve as a resistance element in the circuit. A similar lead 31 interconnects contacts 19 and 24, and still another lead 32, which may be made to have an appreciable resistance if desired, interconnects contacts 23 and 26.

The solid lines in Fig. 5 represent the simplified, equivalent circuit for the structure shown in Figs. 3 and 4, while the broken lines in Fig. 5 represent typical external circuit components added for purposes of explanation. The solid-line parts are identified by reference numbers identical to the reference numbers of corresponding parts in the structure of Figs. 3 and 4, with the addition of a prime to the reference numbers in Fig. 5.

Any desired source of an amplitude-modulated, A.-C. signal is represented at 34 in Fig. 5. This A.-C. signal is applied between the input lead 28' and the ground connection 13', corresponding to lead 28 and ground

## 6

plane 13 of the physical structure shown in Figs. 3 and 4. Lead 28 conducts the signal through contact 17 into the two layers between junctions 14 and 15. As hereinbefore explained, each of the junctions 14 and 15 performs essentially the functions of a crystal diode rectifier, as schematically represented at 14' and 15', Fig. 5.

Thus, as is evident from the equivalent circuit shown in Fig. 5, the input signal is rectified or detected by the junctions 14 and 15, to provide at contact 16 a signal essentially corresponding to the modulation envelope of the input signal. Because of its appreciable resistance, lead 30 acts as a circuit resistor, represented in Fig. 5 as 30'. It will be noted that the polarity of rectifying junctions 14 and 15 is such that the signal supplied to contact 19 has a D.-C. component of the polarity required to reverse-bias junction 18. Hence, the voltage across junction 18 is always in the high-resistance direction of the junction, and there is no appreciable current flow across this junction. However, there are charge layers 20 on both sides of the junction which form a capacitance, as is well known, and therefore the circuit function of junction 18 is to provide a capacitance, represented in Fig. 5 at 18'. The value of this capacitance can be made greater or less, as desired, by increasing or decreasing the area of junction 18.

Lead 31 has an appreciable resistance and therefore acts as a circuit resistor, represented at 31', Fig. 5. This leads to the base contact 24 of the transistor, shown at 24' in Fig. 5. The emitter contact of the transistor is connected through lead 32 and contact 26 to the grounded P-type semiconductor region. This is represented in Fig. 5 by the emitter terminal 23' connected through resistor 32' to the ground line 13'. The value of the resistor 32' is the sum of the resistances of contacts 23 and 26, lead 32, and the current path through the P-type layer between contact 26 and ground plane 13.

Normal operation of the N-P-N transistor requires that the N-type collector be supplied with a relatively positive voltage, as is accomplished in the equivalent circuit illustrated in Fig. 5 by the external voltage supply 36 connected to the collector terminal 25' through any appropriate load 35. It is evident that this supply voltage reverse-biases junction 22, and therefore, for reasons already explained, the junction 22 acts essentially as a capacitor, represented at 22' of the equivalent circuit shown in Fig. 5.

It should now be apparent that the structure shown in Figs. 3 and 4 comprises, within a single, rugged, compact unit, detector, filtering, and transistor-amplifier stages. It is believed to be evident that the principles of this invention make feasible the construction of an endless variety of circuit combinations, including combinations much more elaborate and complex than the simple circuit employed for purposes of illustration, all within a highly compact and rugged, essentially unitary, solid body.

Figs. 6 and 7 show an example in which the emitter and base contacts are parallel strips. A single-crystal body 37 of silicon contains a P-type, emitter layer overlying an N-type, base layer and separated therefrom by a dished junction 38, which extends to the upper surface of the semiconductor and there surrounds the P-type, emitter layer. In this case, the edge of junction 38 does not form a circle at the surface, but forms an elongated, closed figure. The N-type, base layer overlies a P-type, collector layer and is separated therefrom by a flat junction 39.

The emitter contact 40 is a straight strip of metal, vacuum-deposited or otherwise placed upon the upper surface of the silicon, and preferably alloyed thereto to form an ohmic contact. The base contact 41 is a similar strip of metal, parallel to contact 40. The edge of junction 38 extends between the two contacts, and around contact 40, as shown. The collector contact 42 may be

2,981,877

7

a metal layer plated onto the bottom surface of the silicon.

Except for the areas covered by contacts 40 and 41, the upper surface of the silicon is covered by an insulating oxide layer, congenitally united with the silicon and actually formed by heating the silicon in an oxidizing atmosphere. The oxide layer completely covers the edge of junction 38, and protects the junction against accidental shorting in addition to providing insulation between the electrical leads and the silicon.

Electrical connection to contact 40 is made by a metal strip 43, extending over and firmly adherent to the oxide layer. Electrical connection to contact 41 is made by a metal strip 44, similarly extending over and firmly adherent to the oxide layer. These metal strips can be formed by vacuum deposition through a mask, or by plating the entire surface and then removing unwanted metal by photoengraving, or by any other method providing metal strips that adhere securely to the oxide surface.

The invention in its broader aspects is not limited to the specific examples illustrated and described. What is claimed is:

1. A semiconductor device comprising a body of semiconductor having a surface, said body containing adjacent P-type and N-type regions with a junction therebetween extending to said surface, two closely spaced contacts a adherent to said surface upon opposite sides of and adjacent to one portion of said junction, an insulating layer consisting essentially of oxide of said semiconductor on and adherent to said surface, said layer extending across a different portion of said junction, and an electrical connection to one of said contacts comprising a conductor adherent to said layer, said conductor extending from said one contact over said layer across said different portion of the junction, thereby providing electrical connections to both of the closely spaced contacts.

2. A semiconductor device comprising a body of extrinsic semiconductor having a surface, said body containing adjacent P-type and N-type regions, one overlying the other, with a junction therebetween extending to said surface and there completely encircling said overlying region, the underlying one of said regions extending to said surface and there surrounding said junction, a first metal contact adherent to said surface in ohmic electrical connection with said overlying region, an insulating layer consisting essentially of oxide of said semiconductor united with said surface and extending across said junction, a metal strip adherent to said layer, said strip being electrically connected to said first contact and extending therefrom over said layer across said junction, and a second metal contact adherent to said surface in ohmic electrical connection with said underlying region, said second contact substantially encircling said junction from one side of said strip to the other.

3. A semiconductor device comprising a body of extrinsic semiconductor having a surface, said body containing adjacent P-type and N-type regions with a dished junction therebetween having a substantially circular edge at said surface, a discoid metal contact adherent to said surface wholly within and substantially concentric with said edge, a C-shaped metal contact adherent to said surface and substantially concentric with said discoid contact, said C-shaped contact being wholly outside of and substantially encircling said edge, said C-shaped contact having two ends defining a gap therebetween, an insulating layer consisting of oxide of said semiconductor on said surface extending through said gap and across said junction, and a metal strip over and adherent to said layer extending through said gap and across said junction to said discoid contact, said contacts being in direct electrical connection with respective ones of said regions, and said metal strip being in direct elec-

8

trical connection with said discoid contact but spaced and insulated from the ends of said C-shaped contact.

4. A diffused junction transistor comprising a body of extrinsic silicon having a surface, said body containing 5 adjacent base and emitter regions, with a discoid emitter junction therebetween having a substantially circular edge at said surface encircling said emitter region, a discoid metal contact to said emitter region adherent to said surface wholly within said edge, a C-shaped metal contact to said base region adherent to said surface and substantially encircling said edge, said C-shaped contact having two ends defining a gap therebetween, an insulating layer of oxidized silicon on said surface, said layer being congenitally united with said body and extending 10 across said junction, and a metal strip adherent to said layer, said strip extending from said discoid contact over said layer across said junction and between said ends forming an electrical connection to said emitter region.

5. A semiconductor device comprising a single-crystal 15 body of semiconductor material having a surface, said body containing a high-resistivity region and extrinsic P-type and extrinsic N-type regions with a P-N junction therebetween extending to said surface, a metal contact to one of said extrinsic regions adherent to said surface, 20 an insulating layer consisting essentially of oxide of said material on said surface, said layer being congenitally united with said body and extending across said junction, and an electrical connection to said contact comprising a metal strip adherent to said layer, said strip extending 25 from said contact over said layer across said junction, said high-resistivity region underlying a portion of said strip, reducing the shunt capacitance between said strip and said body.

6. A semiconductor device comprising a body of semiconductor having a surface, said body containing adjacent P-type and N-type regions, one overlying the other, with a junction therebetween extending to said surface, a first metal contact adherent to said surface in electrical connection to said overlying region, a second metal contact 30 in electrical connection with the underlying one of said regions, an insulating layer consisting essentially of oxide of said semiconductor on said surface, said layer being congenitally united with said body and extending across said junction, an electrical connection to said first contact comprising a metal strip adherent to said layer, said strip extending from said first contact over said layer across said junction, and circuit means for applying between said strip and second contact a D.C. voltage of the polarity that reverse-biases said junction, so that said 35 junction acts as a capacitor connected between said strip and said second contact.

7. A semiconductor device comprising a body of extrinsic semiconductor having a surface, said body containing adjacent, first, second and third regions, one overlying the other, P-type and N-type alternately, with a first, dished, P-N junction between said first and second regions having an edge extending to said surface and there surrounding said first region, and a second, dished, P-N junction between said second and third regions extending to said surface and there surrounding said second region, a first metal contact adherent to said surface in electrical connection with said first region, a second metal contact adherent to said surface in electrical connection with said second region, a third metal contact in electrical connection with said third region, an insulating layer consisting essentially of an oxide of said semiconductor on said surface, said layer being congenitally united with said body and extending across both of said junctions, an electrical connection to said first contact comprising a first metal strip adherent to said layer, said first strip extending from said first contact over said layer across both of said junctions, and an electrical connection to said second contact comprising a second metal strip 60 adherent to said layer, said second strip extending from 65 said second contact over said layer across both of said junctions, and an electrical connection to said third contact comprising a third metal strip adherent to said layer, said third strip extending from 70 said third contact over said layer across both of said junctions, and an electrical connection to said fourth contact comprising a fourth metal strip adherent to said layer, said fourth strip extending from 75 said fourth contact over said layer across both of said junctions.

2,981,877

9

said second contact over said layer across said second junction.

8. A semiconductor device as in claim 7, wherein said second contact is a C-shaped metal strip substantially encircling said first junction, and said third contact is a 5 larger C-shaped metal strip adherent to said surface and substantially encircling said second junction.

9. A semiconductor device comprising a body of extrinsic semiconductor having a surface, said body containing a plurality of dished, P-N junctions each having an edge extending to said surface and there surrounding and defining an enclosed region of said semiconductor, a plurality of metal contacts adherent to said surface in electrical connection with respective ones of said enclosed regions, an insulating layer consisting essentially of oxide 15 of said semiconductor on said surface, said layer being congenitally united with said body and extending across a plurality of said junctions, and electrical interconnections between said contacts comprising metal strips adherent to said layer and extending over said layer across a plurality of said junctions. 20

10

10. A semiconductor device comprising a body of extrinsic semiconductor having a surface, said body containing adjacent P-type and N-type regions with a dished junction therebetween, said junction having an edge that extends to said surface and there forms an elongated, closed figure, first and second contacts in the form of parallel metal strips adherent to said surface, said first contact being wholly within and said second contact wholly without said edge of the junction, an insulating layer consisting of oxide of said semiconductor on said surface and extending across said junction, and a metal strip adherent to said insulating layer and extending there-over across said junction to connect physically and electrically with said first contact.

## References Cited in the file of this patent

## UNITED STATES PATENTS

2,813,326	Liebowitz	-----	Nov. 19, 1957
2,836,878	Shepard	-----	June 3, 1958
2,842,723	Koch et al.	-----	July 8, 1958
2,849,664	Beale	-----	Aug. 26, 1958

99(5) H 0

特許公報

特許出願公告  
昭41-9936  
公告 昭41.5.27  
(全4頁)

## 複合半導体装置

特願	昭39-73896
出願日	昭35.7.16
特願	昭35-31267の分割
優先権主張	1959.7.30(アメリカ国) 830507
発明者	ロバート、ノートン、ノイス アメリカ合衆国カリフォルニア州 ロス、アルトス、ランディ、レイ ン11645
出願人	フェアチャイルド、カメラ、エン ド、インスツルメント、コーポレ ーション アメリカ合衆国ニューヨーク州ロ ングアイランド、シオセット、ロ ビンス、レーン300
代表者	ネルソン、ストーン
代理人	弁理士 杉村信近 外1名

## 図面の簡単な説明

第1図は従来の複合半導体装置の説明図、第2図は本発明半導体装置の拡大平面図、第3図は第2図のX-X線上の断面図、第4図は第2図および第3図に示す複合半導体装置の等価回路図を示す。

## 発明の詳細な説明

本発明は複合回路素子として好適な半導体装置に関するものである。本発明の目的は各種半導体領域に導線を接続し易く、全体が複合回路素子として簡単な單一體を構成し既知の半導体装置に比べ小型にして製作し易く複数個の半導体装置を表のはぼ平坦な单一基体半導体材料表面上に適切に配置し、かつ基体半導体材料の表面酸化被覆上に密着して有効な接続導線を与えた複合半導体装置を得んとするにある。

従来の複合半導体装置を例えれば第1図のごとくトランジスタ1とダイオード2を单一基体半導体3上に形成した後トランジスタ1のエミッタ領域4とダイオード2を細線5を熱圧接により接着し接合部6, 7, 8を跨いで接続して回路素子を作つていた。

かかる微小領域に細線をのせるだけでも顕微鏡

操作を用し、接合部に永久性を与えるために相当の圧力および温度を用いる際半導体素子を損傷する欠点がある。

この場合、細線5を接続する領域の表面積は極めて小さく、かつ一般に使用される細線5は前記表面積よりも更に細いものを用いなければならず、従つて接続に対し極めて困難を生ずる。更にまた細線の両端は接着固定されるが、中間は空間に浮いてしまうため振動衝撃に対して極めて弱いために装置全体としての信頼度が極めて低くなる。この場合接続細線およびその近傍に他の物質例えればシリコン樹脂を塗布して固着することも考えられるが、このようにすると表面上に更に樹脂の盛り上がりが生じ、小型化の目的に反しかつ樹脂が複合素子の表面に露出したPN接合部への悪影響を与え信頼性は更に劣化する。

また米国I.P.誌の1959年5月号の887頁に示されているごとく半導体接合部を感光絶縁材を用いて覆つた上にアルミニウムを真空蒸着して所定の半導体領域より接続を取り出す方法が発表されてはいるが、この構造では感光絶縁材を塗布したり、食刻したりするという手数を要する外感光絶縁材の耐熱性が悪く、また接合部に与える悪影響もある等の欠点がある。

本発明はかかる接続の欠点を完全に除去し信頼性の高い回路接続を有する複合半導体装置を提供するものである。即ち、ほぼ平坦な表面を持つ半導体結晶のこの結晶体内部には該表面まで延長するP-N接合を持ち、また該表面には被覆した絶縁皮膜と接点とを持つ回路素子を複数個含む複合半導体装置において、該絶縁皮膜は該半導体の酸化皮膜より成つていてP-N接合部が露出しないようになつており、かつ少くとも二つの該回路素子の接点の間に該P-N接合を横切ることなく該酸化皮膜に接着して接続された金属細条を含む半導体装置を得るにある。

本発明半導体装置によれば单一の半導体内に2個以上の複合回路素子を極めて簡潔かつ堅牢に構成する事ができる。かかる複合半導体装置の1例を第2および3図に示す。

本例ではけい素単結晶11の表面12を既知のトランジスタ技術によつて良質に仕上げる。けい素単結晶11の他側には金属層13をメッキ

(2)

特公昭41-9936

し、最大P型領域の電気接点として作用させると共に、電気回路の接地層として作用させる。けい素単結晶体11内に各種回路素子を形成する。N型ドーパントおよびP型ドーパントを既知の酸化物マスク技術によつて表面12から特定区域に限つて拡散させ、多数のN型領域およびP型領域を形成し、下側P型領域との間、ならびにこれらN、P両型領域間に多数の皿状PN接合部を介在させ、これら接合部の直径および深さを種々に変えると共に、その円形縁を表面12に交わらせ、上側半導体領域を囲む。

第2および3図に示す半導体装置の左端には、N型領域の下側に皿状接合部14を介して小さいP型領域を形成し、このP型領域の下側に他のN型領域を形成し、このN型領域の下側に皿状接合部15を介して大きい接地P型領域を形成する。2個の中間領域間に介在する接合部を接点17によつて短絡し、おのの鉱石ダイオードより成る直列接続の2個の整流接合部を構成する。

上側N型領域への電気接続は、円形金属接点16を接合部14内のN型領域のほぼ中心の表面12に被着し、この金属接点16を経て行う。両接合部14および15間に介在する領域への電気接続は、O字状金属接点17を、両接合部14および15の頂縁間の表面12に、接点16と同心的に接合部14の表面12と交わる頂縁を囲んで被着し、この金属接点17を経て行う。

本例では上記半導体領域の右側に他のN型領域を形成し、その下側接地P型領域との間には皿状接合部18を形成する。N型領域への電気接続は、円形金属接点19を、接合部18の半導体表面12と交わる頂縁のほぼ中心に被着し、この金属接点19を経て行う。

上記半導体領域の右側に小さいN型領域を形成し、その下側に皿状接合部20を介してP型領域を形成する。このP型領域の下側には皿状接合部21を介して大きいN型領域を形成し、このN型領域の下側を皿状接合部22によつて接地P型領域より分離する。両接合部20および21間に介在するP型領域の幅を、拡散長に比べ狭くし、接合部20を横切る大部分の電子を接合部21によつて捕捉し得るようにする。これが為全体としてNPN接合型トランジスタを構成し、接合部20の上側の小さいN型領域はエミッタとして作用し、両接合部20および21間に介在するP型領域はベースとして作用し、両接合部21および22間に介在するN型領域はコレクタとして作用する。

コレクタとして作用するN型領域の幅を拡散長に比べ広くし、両接合部21および22間の相互作用を防止する。後述するように接合部22を常時逆方向に偏倚し、総合回路のコンデンサとして作用させ、トランジスタのコレクタを下側接地P型領域より絶縁する効果を奏せしめる。

トランジスタの3活性領域への電気接続は以下説明するようにして行う。円形金属接点23を接合部20の表面12と交わる頂縁の中心に被着し、トランジスタのエミッタ層に電気的に接続する。O字状接点24は金属細条状とし、これを両接合部20および21間に介在する表面12に、接合部20の半導体表面と交わる円形縁をほぼ囲むように被着する。O字状接点24はトランジスタのベース層上でこれと電気的に接続する。他の大きいO字状接点25は同様に金属細条状とし、これを両接合部21および22間に介在する表面12に、コレクタ接合部21の半導体表面と交わる円形縁をほぼ囲むように被着する。

なお他の接点を表面12に被着する。これは円形金属接点26でこれを接地P型層上で直接被着して、これと電気的に接続し、半導体装置全体の頂面に接地端子を構成する用をさせる。

表面12の上述した諸接点以外の全面は、一般に厚さ約1ミクロンのけい素の酸化によつて生ずる絶縁層27で被覆されている。N型ドーパントおよびP型ドーパントを高温および酸化雰囲気中でけい素中に拡散せしめる間に、絶縁層27が露出けい素面に形成される。水蒸気が存在するとけい素の酸化を強める。本発明半導体装置を造る場合には、既知の方法とは反対に、拡散処理の完了後、接点を被着する区域を除きけい素より酸化物層を除去しないでそのままにして置く。接点区域は写真製版法によつて取除き、次に接点金属を種種の既知の処理によつて被着する。例えばアルミニウムフィルムを酸化物除去区域および酸化物被着区域の双方に真空蒸着し、次に酸化物被着区域から写真製版法によつて不要金属を取除き、アルミニウム接点をけい素に合金化し、既知のようにオーム接点を構成する。

上述したように金属細条を絶縁酸化物層27上に被着し、諸接点に電気的に接続して回路素子を完成する。金属細条を真空蒸着し、その1部をもつて接点を構成する。口出線は酸化物層上に被着した金属フィルムの1部で構成し、半導体から絶縁する。上述したように写真製版法を用い金属フィルムから不要金属を除去して接続用金属細条、

(3)

特公昭41-9936

口出線および接点だけを残す。

第2および3図に示す例では入力口出線28を接点17に電気的に接続し、出力口出線29を接点25に電気的に接続する。金属細条30によつて接点16および19間を接続し、所要に応じ金属細条30の厚さおよび幅をいづれも充分に小さく定め、抵抗を大きくし、回路の抵抗素子として作用させる。同様の金属細条31によつて接点19および24を互に接続し、他の金属細条32によつて接点23および26を互に接続し、金属細条32に所要に応じ相当大きい抵抗を賦与する。

第4図の実線は、第2および3図に示す半導体装置の等価回路を示し、第4図の点線は説明の便宜上、等価回路に接続した代表的外部回路素子を示す。実線部分は第2および3図に示す対応部分の符号にダッシュをつけた符号をつけて示す。

所要の振幅被変調交流信号源を第4図に34で示す。この交流信号を第2および3図に示す半導体装置の口出線28と接地板13とに相当する入力口出線28' と接地導線13'との間に加える。信号を口出線28から接点17を経て両接合部14および15に介在する2領域層に供給する。上述したように両接合部14および15は第4図に14' および15'に示す鉛石ダイオード整流器として作用する。

第4図に示す等価回路から明らかのように、入力信号を接合部14および15で整流し、接点16で入力信号の変調エンベロープに相当する信号を発生する金属細条30はその抵抗が大きい為、第4図に30'で示す回路抵抗として作用する。整流接合部14および15の極性を適当に定め、接点19に供給する信号が、逆偏倚接合部18に必要な極性の直流分を有するようとする。接合部18間に加わる電圧は、常に接合部の高抵抗方向にあつて接合部18間に左程電流が流れない。接合部18の両側には電荷層があつて接合部18はコンデンサを構成し、接合部18の回路作用は、第4図に18'で示すコンデンサを構成するにある。このコンデンサの容量は接合部の区域を増減して所要のよう増減できる。

金属細条31にも相当の抵抗を与え、第4図に

31'で示す回路抵抗として作用させる。金属細条31は第4図に24'で示すトランジスタのベース接点24に至る。トランジスタのエミッタ接点を金属細条32と接点26とを経て接地P型半導体領域に接続する。この部分を第4図ではエミッタ端子23'を抵抗32'を経て接地線13'に接続して示す。抵抗32'の値は接点23および26の抵抗と金属細条32の抵抗と、接点26および接地板13間に介在するP型層を経る電流通路の抵抗との和である。

NPN型トランジスタの常規作動に當つては、第4図に示す等価回路で、外部電圧源36を適當負荷35を経てコレクタ端子25'に接続した場合と同様、N型コレクタに比較的正電圧を供給する。この供給電圧によつて接合部22を逆偏倚する為、上述したように接合部22は、第4図の等価回路で22'で示すコンデンサとして作用する。

第2および3図に示す半導体装置によれば堅牢簡潔な單一体内に、検波段、濾波段およびトランジスタ増幅段を構成する事ができる。また堅牢簡潔な單一体内に上記のものに比べ大型かつ複雑な無数の回路素子を組合せ構成する事ができる。

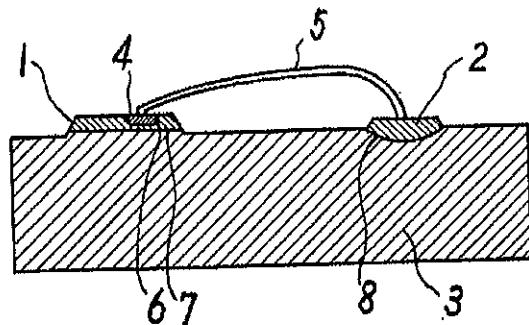
#### 特許請求の範囲

1 実質的に平らな表面をも半導体結晶体から成り該結晶体は前記平らな表面にまで延びている複数個の皿状PN接合部を有していてそれらPN接合部のうちの少くも2つは重ねられてブレーナトランジスタを形成しているところの少くとも一つのトランジスタを含む複数個の回路素子、前記平らな表面に接着されている接点、半導体結晶体にPN接合が形成される以前に形成されかつ前記平らな表面に達する孔を通して拡散されたP型あるいはN型のドーパントにより形成せられたPN接合が露出しないように表面上に残されている基体半導体の酸化被膜よりなる絶縁層、前記接点の必要なもの同志を接続し前記平らな表面にまで延長しているPN接合の少くとも一つを横切ることく前記絶縁層に被着している金属細条を含む電気的接続体とを有することを特徴とする複合半導体装置。

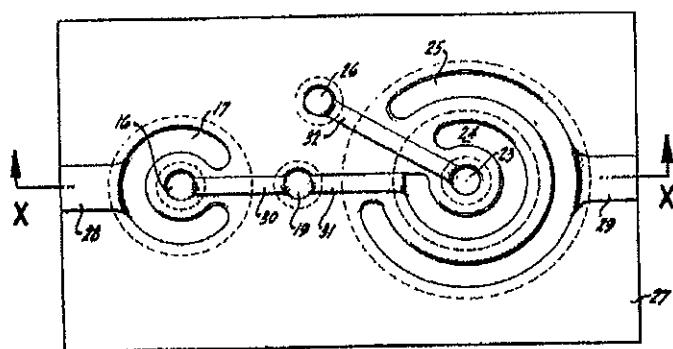
(4)

特公昭41-9936

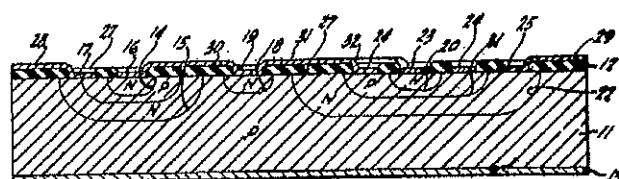
第1図



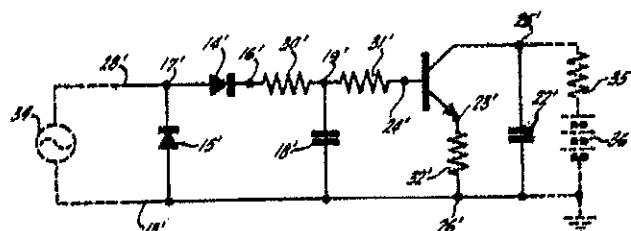
第2図



第3図



第4図



99(5) O 1  
 (99(5) O 12)  
 (99(5) H 0)

特許序  
**特許公報**

特許出願公告  
 昭43-15723  
 公告 昭43. 7. 2  
 (全4頁)

**半導体装置**

特 願	昭 35-31267
出 願 日	昭 35, 7, 16
優先権主張	1959. 7. 30 (アメリカ国) 830507
審 判	昭 39-1320
発明者	ロバート・ノートン・ノイス アメリカ合衆国カリフォルニア州 ロス・アルトス・ランディ・レイ ン 11645
出 願 人	フェアチャイルド・カメラ・エン ド・インスツルメント・コーポレ ーション アメリカ合衆国ニューヨーク州ロ ング・アイランド・シオセツト・ ロビンス・レーン 300
代 表 者	ネルソン・ストーン
代 理 人	弁理士 杉村信近 外1名

**図面の簡単な説明**

第1図は本発明半導体装置の一例であるトランジスタとその印出線とを示す拡大平面図、第2図は第1図のX-X線上の断面図を示す。

**発明の詳細な説明**

本発明は回路素子用として好適なトランジスタに関するものである。既知の半導体装置ではベース接点およびエミッタ接点への電気接続は、接点区域に印出線を直接取付けて行う必要がある。これが為エミッタ領域の直径が数ミルで、厚さが数ミクロンのごとく半導体装置が小型の場合にはその製作が難しくなる。かかる微小エミッタ領域上にエミッタ口出線をのせるだけでも、顕微鏡操作を要し、接合部に永久性を与える為に相当の圧力および温度を用いる際トランジスタを損傷する欠点がある。本発明の目的はトランジスタの各種半導体領域に導線を接続し易く、また接続した導線と半導体との間の並列容量が小さく既知のものに比べ小型にして製作し易いトランジスタを得んとするにある。

本発明トランジスタは、半導体内にその表面まで延長する接合部を挟んだ互に隣接するP型領域

およびN型領域と、半導体表面に被着し、前記領域のおおのに電気的にオーム接続し、かつ互に僅かだけ離れて位置した2個の接点とを有するトランジスタにおいて、前記半導体表面に被着した半導体の酸化物絶縁層で構成し前記接合部の異なる部分を横切つて延長する絶縁層と、該絶縁層に被着され、それぞれの接点より絶縁層上を延長して前記接合部を横切り電気接続部を構成する導電体とを具えた事を特徴とする。

図面に就き本発明の実施例を説明する。

第1および2図は本発明トランジスタの1例を示す。半導体けい素の单一体1の表面2を既知のトランジスタ技術によつて良質に仕上げる。半導体1内の高固有抵抗領域Iをドナー不純物およびアクセプタ不純物の少い高純度けい素で構成し、常温で良絶縁体とするか高温で固有半導体とするかあるいはまた高固有抵抗領域Iを金のようにキャリヤ濃度を甚だしく小さくしてドナー不純物およびアクセプタ不純物の効果を減縮する材料の痕跡を含むやや純度の低いけい素で構成する。

半導体1内にはその表面2に適當なマスクをあてN型ドーパントおよびP型ドーパントを所要区域だけでけい素結晶中に拡散させ、NおよびPで示すN型領域およびP型領域を形成する。最小最頂側のN型領域でトランジスタのエミッタ層を構成する。このエミッタ層の下側にやや大きいP型領域を形成し、これでトランジスタのベース層を構成する。このベース層の下側にこれよりも大きいN型領域を形成し、これでトランジスタのコレクタ層を構成する。エミッタ層およびベース層間にには皿状PN接合部3を形成し、その円形縁を表面2まで延長させ、エミッタを完全に囲む。ベース層およびコレクタ層間にには皿状PN接合部4を形成し、その円形縁を表面2まで延長させ、ベースを完全に囲む。エミッタ層およびベース層の厚さを拡大して示したが實際の厚さはいずれも数ミクロンに過ぎないものである。コレクタ層は一般に部厚で、本例では半導体1を貫通してその背側まで延長させ、その接点を背側に被着し得るようにした。上述した3個の半導体層は、既知の2重拡散接合型トランジスタと同じトランジスタを構成する。

ドナー不純物およびアクセプタ不純物を酸化

(3)

特公 昭43-15723

これと同時にかつ同様の方法で口出線用金属細条7および9を被着する事ができる。また口出線用金属細条7および9の大きいさを、導線その他の外部回路用素子の取付個所で必要とする大きいさに造る事ができ、導線その他の外部回路用素子の取付をトランジスタ自体の活性素子とは離れた個所で行う事ができる為、トランジスタにおよぼす損傷を充分に軽減する事ができる。また高固有抵抗領域は絶縁体として作用し、口出線用金属細条と半導体との間の並列容量を小さくし、かつ高電圧絶縁用として作用する。

## 特許請求の範囲

1 ほぼ平坦な表面を持つ高固有抵抗半導体結晶体内において、該表面から半導体結晶体に拡がるコレクタと、該コレクタの前記表面から拡散し前記コレクタと前記表面まで延長された皿状PN接合部をもつて境されたベース層と、該ベース層の前記表面から拡散し、前記ベース層と前記表面

まで延長された皿状PN接合部をもつて境されたエミッタ層とを有し、該半導体結晶体の表面の各層上には該半導体の酸化物よりなる絶縁層が覆い、さらに該絶縁層上にはその中の一つがエミッタ層に取付けられた接点から延長しつつ前記表面におけるエミッターベース接合部を横切るごとく、また他の一つがベース層に取付けられた接点から延長し、かつ前記表面におけるベースコレクタ接合部を横切るごとき金属細条が被着されていることを特徴とする半導体装置。

## 引用文献

特 公 昭32-6839

英國特許 769702

Proceedings of the I.R.E. 1959.5月

号 第887頁

米国特許 2796562

(19)日本国特許庁 (JP)

## (12) 特 許 公 報 (B 2)

(11)特許番号

第2628404号

(45)発行日 平成9年(1997)7月9日

(24)登録日 平成9年(1997)4月18日

(51)Int.Cl.<sup>6</sup>  
C 30 B 25/14  
29/38

H 01 L 21/205

識別記号 序内整理番号

F I  
C 30 B 25/14  
29/38

H 01 L 21/205

技術表示箇所  
C  
D

請求項の数1(全 6 頁)

(21)出願番号 特願平2-288665

(73)特許権者 99999999

日亜化学工業株式会社

徳島県阿南市上中町岡491番地100

(22)出願日 平成2年(1990)10月25日

(72)発明者 中村 修二

徳島県阿南市上中町岡491番地100 日亜  
化学工業株式会社内(65)公開番号 特開平4-164895  
(43)公開日 平成4年(1992)6月10日

(74)代理人 弁理士 豊橋 康弘

審査官 徳永 英男

(56)参考文献 *Journal of Electronic Materials*, 14 [5]  
(1985) P. 633-644

(54)【発明の名称】 半導体結晶膜の成長方法

1

## (57)【特許請求の範囲】

【請求項1】加熱された基板の表面に、基板に対して平行ないし傾斜する方向と、基板に対して実質的に垂直な方向からガスを供給して、加熱された基板の表面に半導体結晶膜を成長させる方法において、  
基板の表面に平行ないし傾斜する方向には反応ガスを供給し、基板の表面に対して実質的に垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給し、不活性ガスである押圧ガスが、基板の表面に平行ないし傾斜する方向に供給される反応ガスを基板表面に吹き付ける方向に方向を変更させて、半導体結晶膜を成長させることを特徴とする半導体結晶膜の成長方法。

## 【発明の詳細な説明】

## 【産業上の利用分野】

この発明は、主として窒素化合物の半導体結晶膜を成

2

長させる方法に関し、とくに、基板に反応ガスを噴射してその表面に半導体結晶膜を成長させる方法に関する。  
【従来の技術】

一般に、GaN、InN、AlNまたはこれらの半導体結晶は、第3図～第6図に示される装置で成長が行われる。

例えば、GaNを基板の表面に成長させる方法を第3図に基づいて説明すると次のようになる。

- ①基板として、通常サファイアのC面を使用する。サファイア基板1をカーボンサセプター4の上に載せる。
- ②H<sub>2</sub>を流しながら、高周波誘導加熱によりカーボンサセプター4を950°C～1150°Cまで高温に加熱する。
- ③Ga源として、トリメチルガリウム(TMG)、N源としてアンモニア(NH<sub>3</sub>)を、H<sub>2</sub>をキャリアーとして、反応ガス噴射管から基板表面に噴射する。

これらの反応ガスは、内径が約5mmφ～10mmφの細い

(2)

特許 2628404

3

反応ガス噴射管2でもって、基板1上部のすぐ近くに噴射される。反応ガスの流速は、2m/sec以上の高速流として、基板に吹き付けられる。

このようにして成長時間30分～60分間で約2～5 μm ぐらいいGaNをサファイア基板の上に成長できる。

#### 【発明が解決しようとする課題】

この方法で半導体結晶膜を基板上に成長させるには、反応ガスの流速を速くする必要がある。それは、反応ガスの流速を2m/sec以上に速くしないと、GaNを成長できないことが理由である。この原因は、反応ガスの流速を速くしないと、TMGとNH<sub>3</sub>が基板に到達するまでに、何か付加化合物ができてしまうとか、または反応温度が高いので熱対流が大きくて反応ガスが基板に到達しないことが理由と推測される。

このように、反応ガスを高速流とするために、従来の成長方法は、内径5mmΦ～10mmΦの細い反応ガス噴射管を使用している。細い反応ガス噴射管は、基板の上方から5mm～10mm離した位置に下端開口を配設する。

この状態で、サファイア基板の表面にGaNを成長させると、半導体結晶膜の面積も、約5mmΦ～10mmΦとなって非常に小さいものしか得られない。例えば、2インチ径のサファイア基板を使用すると、半導体結晶膜の成長面積は、約2/50以下であり、非常に歩留が悪い。このように、従来の成長方法では、基板の表面に10mmΦ以上の大面积に、半導体結晶膜を均一に成長できない欠点があった。

また、従来技術は、基板の表面に、一回半導体結晶膜を成長させる毎に、細い反応ガス噴射管の先に大量にGaNの粒が付着する。このため次回に半導体結晶膜を成長させるときに、温度を上昇させると、反応ガス噴射管に付着したGaNが分解してGaメタルができ、反応中にこのGaメタルが基板の上に落ちる欠点がある。基板の表面にGaが落ちた部分はGaNが成長しなくなる。このため、サファイア基板の歩留が極端に悪くなる欠点がある。

このため、極端な場合は、毎回反応のたびごとに、細い反応ガス噴射管を新しいものと交換するか、あるいは、洗浄する必要があり、作業性が非常に悪く大変であった。

さらに、ジャーナル オブ エレクトロニクス マテリアルズ (Journal of Electronic Materials) 14 [5] (1985) 第633～644頁には、基板の表面に、基板に対して平行ないし傾斜する方向と、基板に対して垂直な方向にガスを供給して、GaN, AlN, AlGaN等の、MOCVDエピタキシャル半導体結晶膜を成長させる方法が記載される。この刊行物に記載される方法は、TMG, TMA等の原料ガスを基板に向かって水平に噴射し、TMGと反応するN源であるNH<sub>3</sub>ガスを基板に垂直に噴射する。この方法は、膜質のよい半導体結晶膜を成長できない欠点がある。たとえば、この方法で窒化物半導体をMOCVD法で成長させる場合、基板を1000°C以上と極めて高温に加熱して半導体

10

4

結晶膜を成長させる必要がある。高温に加熱される基板は、半導体結晶膜を成長させる表面上で強い熱対流を発生させる。つまり、MOCVDのような大気圧中で結晶成長を行う手法は、アンモニアガスを水素等のキャリアガスと共に基板に垂直に吹き付けたとしても、加熱された基板による激しい熱対流のために、アンモニアガスは基板上で拡散してしまい、原料ガスと反応しない。したがって、この方法で成長された窒化物半導体層は、窒素空孔が多く、結晶欠陥の多い半導体結晶膜となる。このため、この方法によっても、格子欠陥の少ない半導体結晶膜を成長できない。

この発明は、これらの欠点を解決することを目的に開発されたもので、この発明の重要な目的は、基板表面に大面积の半導体結晶膜を高い歩留で成長できる半導体結晶膜の成長方法を提供するにある。

#### 【課題を解決するための手段】

この発明の半導体結晶膜の成長方法は、加熱された基板の表面に、基板に対して平行ないし傾斜する方向と、基板に対して実質的に垂直な方向からガスを供給して、

20 加熱された基板の表面に半導体結晶膜を成長させる方法を改良したものである。本発明の成長方法は、基板の表面に平行ないし傾斜する方向には反応ガスを供給し、基板の表面に対して実質的に垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給する。

基板に対して実質的に垂直に供給される反応ガスを含まない不活性な押圧ガスは、基板の表面に、平行ないし傾斜する方向に供給される反応ガスを、基板表面に吹き付ける方向に方向を変更させて、半導体結晶膜を成長させる。

30 基板の上部から垂直に流す不活性ガスである押圧ガスは、H<sub>2</sub>, N<sub>2</sub>ガスを単独で、あるいはこれ等の混合ガスを使用する。この方向に噴射される押圧ガスは、反応ガスの方向を基板に向かう方向に変えるものであるから、反応ガスに害をおよぼさない全ての不活性なガスを使用できる。

基板に上から垂直に押圧ガスを流す副噴射管は、好ましくは、下方に向かって太くなる円錐形に成形される。この形状の副噴射管で押圧ガスを噴射すると、反応ガスを均一に基板に向かって流すことができ、サファイア表面に均一にGaNを成長できる特長がある。

#### 【作用】

この発明の半導体結晶膜の成長方法は、第1図に示すように、反応ガスを基板1と平行ないしは傾斜して噴射し、さらに、不活性ガスである押圧ガスを基板1に向かう垂直方向に噴射して、反応ガスを基板1に吹き付ける方向に変更する。

以下、この発明の成長方法を実現する装置を示す第2図に基づいて、半導体結晶膜が成長される状態を説明する。

この図に示す装置を使用して、サファイア基板にGaN

50

(3)

特許2628404

5

を成長させるには、反応ガス噴射管2からTMGと、NH<sub>3</sub>と、H<sub>2</sub>とを混合した反応ガスを基板1と平行方向に流す。さらに、基板1の上部より、副噴射管3でもって、押圧ガスとしてN<sub>2</sub>+H<sub>2</sub>の混合ガスを基板1に向けて垂直に流す。

サファイア基板1は、1000～1050°Cに加熱されたサセプター4に載せられて水平面で回転される。サセプター4は、下面の中心に垂直に固定されたシャフト5で回転される。反応容器6内の成長圧力は大気圧に調整されている。

#### [実施例]

以下、この発明の実施例を図面に基づいて説明する。ただし、以下に示す実施例は、この発明の技術思想を具体化するための方法を例示するものであって、この発明の方法は、成長条件や使用する装置の構造を下記のものに特定するものでない。この発明の半導体結晶膜の成長方法は、特許請求の範囲に記載の範囲に於て、種々の変更を加えることができる。

さらに、実施例を説明する前に、この発明の成長方法に使用できる装置を説明する。

第2図に示す半導体結晶膜の成長装置は、GaN、AlN、InNあるいはこれ等の混晶のエピタキシャル膜を、MOCVD法で成長させる装置であって、反応容器6と、サセプター4と、ヒータ7と、反応ガス噴射管2と、副噴射管3とを備えている。

反応容器6は、ステンレスでもって、外気から遮断できる閉鎖された形状を作られている。反応容器6は、図示しないが、サファイアの基板1を出し入れする出入口が設けられている。出入口は、気密に閉塞できる蓋が取り付けられている。さらに、反応容器6には、内部のガスを排気する排気口8が開口されている。排気口8は、真空ポンプ（図示せず）に連結されておって、真空ポンプでガスが強制的に排気される構造となっている。

サセプター4は、上面が水平で、それ自体が水平面内で回転が自在にできるようになっており反応容器6内に配設されている。したがって、サセプター4は、例えば直径が30～100mmφ、高さが30～50mmの円柱状で、下面の中心に垂直にシャフト5で固定されている。

サセプター4は、下面に配設されたヒータ7によって1000°C以上に加熱される。サセプター4は耐熱性があり、しかも、加熱状態において反応容器6内のガスを汚染しない物質、例えば、炭素の表面を炭化硅素でコーティングした材質で作られる。

ヒータ7は、サセプター4の下方に、接近するが接触しないように配設されており、サセプターに内蔵された温度センサー（図示せず）で制御されて、サセプター4を設定温度に過熱する。

反応ガス噴射管2は、サセプター4の上に載せられた基板1の上面に、反応ガスを噴射する。したがって、反応ガス噴射管2は、反応容器6を、水平ないしは多少傾

6

斜して気密に貫通して固定されている。反応ガス噴射管2は、先端を基板1の近傍まで延長している。

反応ガス噴射管2は、水素と、アンモニアガスと、トリメチルガリウム（TMG）または、トリメチルアルミニウム（TMA）ガスを、基板1の表面に向かって噴射する。

このようにGaAlNの原料となるGa源ガスとAl源ガスとN源ガスとを一緒にして、反応ガスとして基板に対して平行方向若しくは傾斜した方向で吹き付けると、原料ガスが均一に基板表面で広がり膜質の安定した結晶を成長させることができる。しかも押圧ガスで反応ガスが熱対流により拡散しないようにしているので、基板の上にガスを薄い状態で広げることができる。

副噴射管3は、反応容器6の上面を気密に貫通して固定されている。副噴射管3は、上から下に向かって、水素や窒素等の不活性ガスを基板1に向けて噴射する。副噴射管3は、不活性なガスを基板1の上面に均一に吹き付けることができるように、下方に向かって開口面積が大きくなるテーパー状をしている。

20 テーパー状とした副噴射管は、押圧ガスが効果的に副噴射管の壁を伝って、基板表面に垂直にガスが供給できるようとする作用がある。また、反応中は不活性ガスが常時副噴射管内を流れているので、反応ガスの未反応物、副生成物が副噴射管内部に付着することなく、押圧ガスの流速、方向を変えることがない。従って常時安定した反応を行うことができる。

副噴射管3の下端開口部は、基板1の大きさにはば等しく設計される。さらに、副噴射管3の下端は、基板1の上面に接近して開口される。

30 第2図に示す半導体結晶膜の成長装置を使用して、下記の状態で窒素化合物である半導体結晶膜を成長させる。

#### [実施例1]

下記の工程でサファイア基板のC面にGaNを成長させる。

- ① 洗浄してきれいな2インチφのサファイア基板1をサセプター4の上に載せる。
- ② ステンレス製の反応容器6内の空気を真空ポンプで排気して、内部をH<sub>2</sub>で置換する。

40 ③ その後、H<sub>2</sub>ガスを、反応ガス噴射管2と副噴射管3から反応容器6に供給しながら、サセプター4を1150°Cまで上昇する。

④ その後、この状態を10分間保持し、サファイア基板表面の酸化膜を除去する。

⑤ 次に、基板1の温度を1000°Cまで下げて安定するまで待つ。

⑥ 続いて、反応容器6上部の副噴射管3から水素と窒素とを供給し、水平の反応ガス噴射管2からは、アンモニアガスと水素ガスとを供給する。

50 副噴射管3から反応容器6に供給する水素ガスの流量

(4)

特許 2628404

7

は、5リットル/分、窒素の流量は5リットル/分とする。反応ガス噴射管2から供給するアンモニアガスの流量は5リットル/分、水素ガスの流量は1リットル/分に調整し、この状態で、温度が安定するまで待つ。

窒化物半導体は成長温度が1000°C以上と高い。MOCVD法のように、常圧で結晶成長させる方法では基板の上に相当の熱対流が生じる。そのため、本実施例のように、反応ガスの流量よりも、副噴射管から流す押圧ガスの流量を多くすることにより、熱対流を抑え反応ガスを基板に押しつけて、均一な結晶成長を行うことができる。

⑦ その後、反応ガス噴射管2からアンモニアと水素ガスに加えて、TMGガスを供給し始める。TMGガスの流量は、 $5.4 \times 10^{-5}$ モル/分とする。この状態で、成長が開始され、60分間成長させる。この成長過程において、サセプター4を5rpmで回転させる。

冷却後、得られた基板を反応容器6から取り出し、ノマルスキー顕微鏡により膜厚分布を観測した。その結果半導体結晶膜の膜厚は面内で $4 \mu\text{m} \pm 10\%$ に入っており、非常に均一であった。

さらに、この実施例1で得られたGaNはキャリア濃度が $1 \times 10^{19}/\text{cm}^3$ 、ホール移動度が $250\text{cm}^2/\text{V}\cdot\text{sec}$ であった。

一般にホール測定において、キャリア濃度が低いほどキャリアとなる不純物濃度が低いか、またはキャリアとなる格子欠陥が少ないと考えられ、さらにホール移動度はその値が大きいほど、キャリアを散乱する不純物濃度、または格子欠陥が少ないと考えられている。通常、GaNの結晶ではN空孔がn型キャリアの起源とされており、一般的な電子キャリア濃度は $2 \times 10^{19}/\text{cm}^3$ 、ホール移動度はおよそ $50\text{cm}^2/\text{V}\cdot\text{sec}$ とされており、この発明の方法で得られたGaN結晶は、このN空孔の発生を抑えることができたため、移動度が5倍も高く結晶性が非常に優れている。

また、装置の上部の副噴射管は全く汚れずに綺麗であった。さらに、この装置で2回以上続けて反応させても、成長された半導体結晶膜の表面に全くGaは付かなかった。

### [実施例2]

下記の工程で、サファイア基板の表面にAlNをバッファ層として成長させ、その後GaNを成長する。

①～④ 実施例1と同じ。

⑤ 次に、基板1の温度を600°Cまでゆっくりと下げる。

基板1の温度が600°Cになると、上部の副噴射管3からH<sub>2</sub>を、反応ガス噴射管2からはアンモニアガスと水素とトリメチルアルミニウム(TMA)ガスとを供給する。

副噴射管3から供給する水素の流量は15リットル/分とする。反応ガス噴射管2から供給するアンモニアガスの流量は5リットル/分、水素の流量は1リットル/分、TMAガスの流量は $1 \times 10^{-5}$ モル/分とする。

8

この状態を1分間続けて、サファイア基板1の表面にAlNのバッファ層を成長させる。

⑥ 次にTMAガスの供給のみを停止して、他のガスを供給しながら、基板1の温度を1000°Cまで上昇させる。

⑦ 基板1が1000°Cに加熱された後、TMGに代わって、TMGガスを $5.4 \times 10^{-5}$ モル/分の流量で供給して、60分間でGaNを成長させる。

この時、副噴射管3と反応ガス噴射管2からは、水素とアンモニアガスとを前述の流量で供給する。

10 また、この成長過程において、サセプター4は5rpmで回転させる。

成長後、反応容器6から基板1を取り出して、ノマルスキー顕微鏡で観察した。その結果この実施例2で得られた半導体結晶膜は、2インチのサファイア基板1全面に成長されており、その表面は鏡面で、膜厚は2インチ基板1全面で $5 \mu\text{m} \pm 10\%$ であった。

また、ホール測定を行うとキャリア濃度 $1 \times 10^{17}/\text{cm}^3$ 、ホール移動度 $350\text{cm}^2/\text{V}\cdot\text{sec}$ であり、結晶性に優れたものが得られた。

20 さらに、この方法の装置で2回以上続けて反応しても、反応ガス噴射管からGaが基板1上に飛んでくることがなく、基板1上には全くGa粒が付かなかった。また上部の副噴射管も全く汚れなかった。

ちなみに、AlNバッファ層をGaNの成長前に形成するとGaNの結晶性が格段に向かうことが知られているが、そのAlNをバッファ層とする従来の方法で得られたものは、キャリア濃度 $5 \times 10^{17}/\text{cm}^3$ 、ホール移動度 $250\text{cm}^2/\text{V}\cdot\text{sec}$ であった。

### [実施例3]

30 下記の工程で、サファイア基板のC面にInGaNを成長する。

①～④ 実施例1と同じ。

⑤ 次に、基板1の温度をゆっくりと550°Cまで下げて安定するまで待つ。

⑥ 続いて、上部の副噴射管3から水素と窒素とを、反応ガス噴射管2からは、アンモニアガスと水素とTMGとトリメチルインジウム(TMI)ガスとを供給する。

副噴射管3から供給する水素の流量は5リットル/分、窒素の流量は5リットル/分とする。

40 反応ガス噴射管2から供給するアンモニアガスの流量は5リットル/分、水素の流量は1リットル/分、TMGガスの流量は $2.2 \times 10^{-6}$ モル/分、TMIガスの流量は $1.5 \times 10^{-7}$ モル/分とする。

この状態を120分続けて、サファイア基板1の表面に、In<sub>0.05</sub>Ga<sub>0.95</sub>Nの混晶膜を成長させる。

成長後、基板1を反応容器6から取り出し膜厚を観測した。その結果、2インチ基板1全面にわたって、膜厚が $2 \mu\text{m} \pm 10\%$ のInGaNが成長されていた。

なおこの試料のホール測定を行うと抵抗率が $10^9 \Omega \cdot \text{cm}$ 以上であり測定不可能であるため、フォトルミネッセ

(5)

特許 2628404

9

ンスの測定によって結晶性の評価を行った。

一般にInGaN結晶の抵抗率は非常に高く、ホール測定はほとんど不可能である。従って、結晶性の評価法としてフォトルミネッセンスの測定を行うのが通常である。また、InGaN結晶においては、室温で440nm付近の青色のフォトルミネッセンスの発光は観測されにくいので、液体窒素、液体ヘリウム等で冷却して測定される。にもかかわらず、この発明の方法によるInGaN結晶は室温で440nmの発光を観測することができた、このことは、この結晶性が非常に優れたことを示すものである。

#### 〔従来法によるGaNの成長〕

この発明の方法で得られた半導体結晶膜を従来品と比較するために、下記の工程でサファイア基板の表面にGaNを成長させた。

成長装置には、第3図に示す構造のものを使用した。この図に示す装置は、サファイア基板1の上に、基板1から10mm離して、内径が8mmの細い反応ガス噴射管2を垂直に固定する。

- ① 洗浄してきれいな2インチのサファイア基板1(C面)を、サセブター4の上に載せる。
- ② ステンレス製の反応容器6を真空ポンプで排気して、内部をH<sub>2</sub>で置換する。
- ③ その後、H<sub>2</sub>ガスを、反応ガス噴射管2から反応容器6に供給しながら、サセブター4を1150°Cまで上昇する。
- ④ その後、この状態を10分間保持し、サファイア表面の酸化膜を除去する。
- ⑤ 次に、基板1の反応温度を1000°Cまで下げて安定するまで静置する。
- ⑥ 続いて、反応ガス噴射管2から、アンモニアガスと水素ガスとを供給する。

反応ガス噴射管が噴射するアンモニアガスの流量は5リットル/分、水素ガスの流量は1リットル/分に調整し、この状態で、温度が安定するまで待つ。

- ⑦ その後、反応ガス噴射管2から、アンモニアと水素ガスに加えて、TMGガスを供給し始める。TMGガスの流量は、 $2.7 \times 10^{-3}$ モル/分とする。この状態で、成長が開始され、30分間成長させる。この成長過程において、サセブター4を5rpmで回転させる。

成長後、基板1を反応容器6から取り出して膜厚を観測すると、2インチのサファイア基板1の中心部に、約8mmのGaNが7μm成長しており、それより外側の領域はほとんど成長しなかった。

また、この方法は、1回の反応で反応容器6に設けられた上部の石英窓が真っ黒になり、内部が見えなくなってしまった。

さらに、この装置で続けて2回目の反応を行うと、サファイア基板1の中心8mmの成長領域に多数Gaが付着しており、このGaが付着しているところはGaNが成長しておらず、非常に歩留が悪かった。

(10)

#### 【発明の効果】

この発明の半導体結晶膜の成長方法は、結晶性の良い状態で成長させるのが極めて難しいとされる窒化物半導体等の半導体結晶膜を、優れた結晶状態に成長できる特長を実現する。それは、本発明の半導体結晶膜の成長方法が、基板に対して平行ないし傾斜する方向と、基板に対して実質的に垂直な方向からガスを供給することに加えて、基板の表面に平行ないし傾斜する方向には反応ガスを供給し、基板の表面に対して垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給して、押圧ガスでもって、基板の表面に平行ないし傾斜する方向に供給される反応ガスを基板表面に吹き付ける方向に方向を変更させて、半導体結晶膜を成長させるからである。

たとえば、基板と平行な方向と垂直な両方向に反応ガスを供給する従来の半導体結晶膜の成長方法は、供給された反応ガスが、高温に加熱された基板による激しい熱対流のために拡散してしまう。このため、理想的な状態で反応して半導体結晶膜として成長できない。したがって、この方法で、たとえば、好ましい結晶状態に成長させするのが難しいとされる窒化物半導体を成長させると、窒素空孔が多くなり、結晶欠陥の多い半導体結晶膜となる。たとえば、この方法で成長された窒化物半導体層は、キャリア濃度が $5 \times 10^{19} / \text{cm}^3$ 前後、移動度が $75 \text{cm}^2 / \text{V} \cdot \text{sec}$ のものしか得られない。

これに対して、本発明の実施例1の方法で成長された窒化物半導体は、キャリア濃度が $1 \times 10^{19} / \text{cm}^3$ 、ホール移動度が $250 \text{cm}^2 / \text{V} \cdot \text{sec}$ と、従来の方法とは比較にならない極めて優れた結晶性を示した。本発明の成長方法が、このように、優れた結晶性の半導体結晶膜を成長できるのは、反応ガスを基板と平行に供給し、反応ガスを含まない不活性ガスである押圧ガスを、基板に垂直に供給するからである。この状態で基板に供給される反応ガスは、高温加熱の基板表面にできる激しい熱対流に起因する弊害を押圧ガスによって解消し、さらに、基板上で分解されて優れた結晶性の半導体結晶膜として成長される。

さらに、この発明の半導体結晶膜の成長方法で、サファイア基板の表面に半導体結晶膜を成長させると、外径が2インチのサファイア基板を使用して、その全体にGaNを成長できる。

これに対して、従来の方法は、2インチのサファイア基板を使用するにもかかわらず、表面に成長させた半導体結晶膜の有効面積は僅かに10mm以下にしかならない。

この発明の方法は、2インチのサファイア基板(C面)の全面に、均一に結晶膜を成長でき、一度に大きな半導体結晶膜を成長でき、工業用、産業用のメリットは非常に大である。

また、この発明の方法は、基板に押圧ガスを噴射する副噴射管は、何度反応しても全く汚れなかった。このた

(6)

特許 2628404

11

め、副噴射管の外部に設けた赤外線放射温度計で、基板の温度をモニターすることができる。

さらに、反応ガスを流す反応ガス噴射管をサセプターの横に配設することができる、この温度がほとんど上昇せず、GaNの付着がほとんどなく、GaNメルトが反応中に基板に落ちて歩留を低下させることがない。

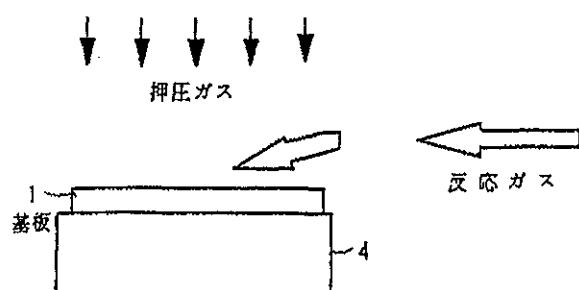
【図面の簡単な説明】

\*

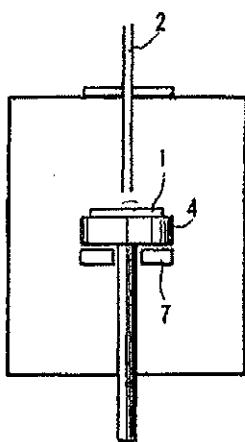
\* 第1図はこの発明の方法を示すガスの流动方向を示す側面図、第2図はこの発明の方法に使用する半導体結晶膜の成長装置の概略断面図、第3図ないし第6図は従来の半導体結晶膜の成長装置の概略断面図である。

1 ……基板、2 ……反応ガス噴射管、3 ……副噴射管、4 ……サセプター、5 ……シャフト、6 ……反応容器、7 ……ヒータ、8 ……排気口、12 ……放射温度計。

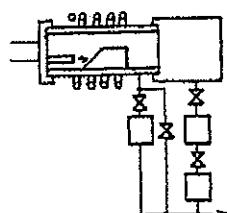
【第1図】



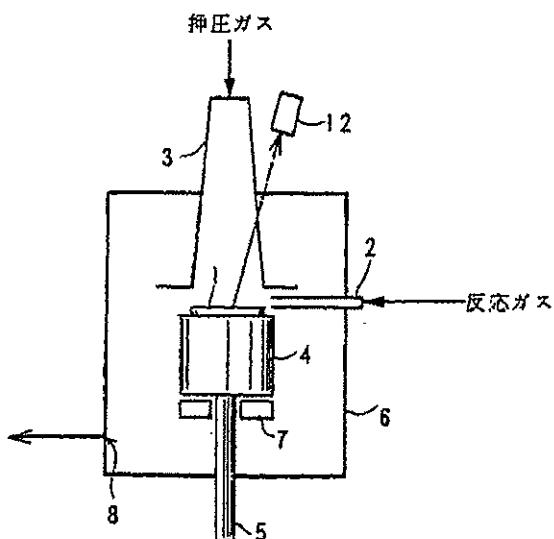
【第3図】



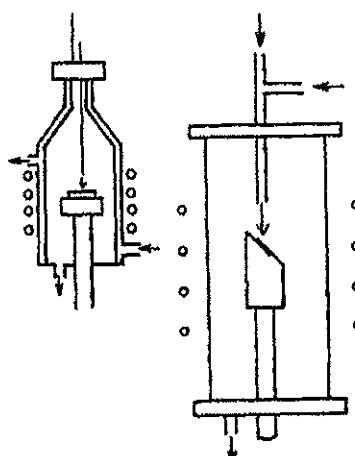
【第4図】



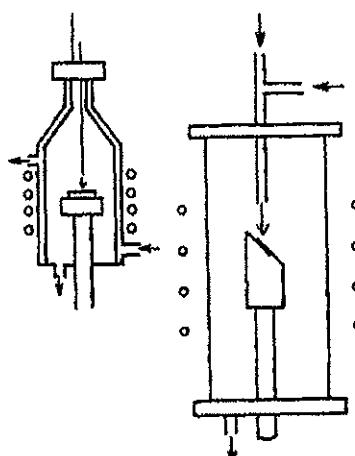
【第2図】



【第5図】



【第6図】



⑨ 日本国特許庁 (JP)      ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A)      昭63-7619

⑫ Int.CI.<sup>1</sup>  
 H 01 L 21/205  
 21/31

識別記号      庁内整理番号  
 7739-5F  
 6708-5F

⑬ 公開 昭和63年(1988)1月13日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 CVD装置のガスフロー方法

⑮ 特願 昭61-152123  
 ⑯ 出願 昭61(1986)6月28日

⑰ 発明者 楠本 淑郎	神奈川県茅ヶ崎市円蔵600-1-203
⑰ 発明者 高桑 一雄	神奈川県茅ヶ崎市萩園1462-20 コーポ秀建202号
⑰ 発明者 生田 哲也	神奈川県茅ヶ崎市萩園2767 日本真空萩園寮
⑰ 発明者 鈴木 章敏	神奈川県茅ヶ崎市萩園1433 富士見ハイツ201号
⑰ 発明者 中山 泉	神奈川県平塚市薙平12-12-2-707 バレ平塚すみれ平
⑰ 出願人 日本真空技術株式会社	神奈川県茅ヶ崎市萩園2500番地
⑰ 代理人 弁理士 飯阪 泰雄	

明細書

1 発明の名称

CVD装置のガスフロー方法

2 特許請求の範囲

(1) 密閉槽内に配設された基板の表面にほど平行に第1のガス流をシート状に導入し、かつ前記基板の表面に對向するよう第2のガス流を導入して、前記基板の表面の近傍に前記第1のガス流の層流状態を保持するようにしたことを特徴とするCVD装置のガスフロー方法。

(2) 前記密閉槽は真空槽である特許請求の範囲第1項に記載のCVD装置のガスフロー方法。

(3) 前記第1のガス流は、前記基板の表面に平行な少なくとも一つのスリット開口から噴出される特許請求の範囲第1項又は第2項に記載のCVD装置のガスフロー方法。

(4) 前記第1のガス流は反応性ガスから成る特許請求の範囲第1項、第2項及び第3項のいずれかに記載のCVD装置のガスフロー方法。

(5) 前記第2のガス流は不活性ガスから成る特

許請求の範囲第1項から第4項までのうちいづれか1項に記載のCVD装置のガスフロー方法。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明はCVD装置のガスフロー方法に関する。本発明はCVD装置のガスフロー方法に関する。従来のCVD装置のガスフロー方法では、例えば第9図(A)～(D)に示されるように単管(1)、多孔管(3)又は多孔板(4)を通して單一方向から、反応ガス又はキャリヤガスで希釈した反応ガスが真空槽、もしくは反応炉内に導入されている。なお、第9図において、(2)は排気口、(5)はウェハー支持台及び(6)はウェハー(基板)を表わしている。

第9図において、(A)では加熱基板(6)の鉛直上方から単管(1)を通してガスを吹きつけている。(B)では単管(1)から反応ガスを送り込んで流出側での低い堆積速度を補償する為、傾斜した支持台(5)が用いられている。(C)では浮力の影響が無視できる程度の減圧状態(<10Torr)では(6)と本質的に同じガスフロー方式である。(D)では直接、反応ガスに

## 特開昭63-7619(2)

基板(6)を曝さず、熱対流による再循環流を利用している。図では概型拡散炉方式で各基板(6)の隙間に反応ガスを吹き込んでいる。④では最も一般的な拡散炉方式で、①の場合と同じく基板表面は直接、反応ガス流と接触しない。そして⑤ではプラズマCVDで良く用いられる方法で多孔板(4)を通して反応ガスを基板(6)に吹きつけている。

## 〔発明が解決しようとする問題点〕

以上の従来のいづれの方法でも、流れの制御パラメータとしては圧力と反応ガス流量と云う二つの内部パラメータのみであり、乱流発生の抑止、自然対流の抑止等のために外部的にコントロールする事は不可能である。従って広い圧力、流量領域で再現性、制御性、均一性に優れた成膜を行えない問題点がある。また従来のいづれの方法でも、反応成分は炉内全域に拡散するので、炉壁、覗き窓等への反応成分の付着は不可避である。これによりダストの発生、薄膜内への不純物の混入などの問題点がある。

本発明は上記各従来方式の欠点を除去し、反応

制御性、再現性に優れている。

- 2) 第1のガスの成分が基板近傍のみに押さえ込まれる為炉壁、覗き窓の汚染を防止できる。
- 3) 第2のガス流の流量制御により基板上の膜厚分布を制御する事が可能になる。

## 〔実施例〕

以下、本発明の方式が適用されるCVD装置について、第1図～第8図を参照して説明する。

第1図～第3図は第1実施例を示すものであるが、真空槽内において一方の側壁部には反応ガス噴出ノズル部が気密に取り付けられ、その先端部(11a)は薄くなっていてスリット状の開口を有する。外部導管部から導入される反応ガスがこのスリット状の開口から真空槽内の内空間側に噴出されるようになっている。また、真空槽の底壁部の端部に排気口部が形成されている。

真空槽内でノズル先端部(11a)より下方に位置して円形の基板支持台が配設されており、これはシール部材間により気密にシールされ、真空槽の外部から突出する回転軸と一体的であり、

ガス流の安定性を外部的に制御することができ、反応成分を基板近傍のみに集中させることにより、すぐれた再現性、制御性を得て良質の薄膜を成長させ得るCVD装置のガスフロー方法を提供することを目的とする。

## 〔問題点を解決するための手段〕

上記の目的は、密閉槽内に配設された基板の表面にはより平行に第1のガス流をシート状に導入し、かつ前記基板の表面に對向するように第2のガス流を導入して、前記基板の表面の近傍に前記第1のガス流の層流状態を保持するようにしたことを特徴とするCVD装置のガスフロー方法によって達成される。

## 〔作用〕

第1のガス流を基板近傍領域に於いて制御性の良い層流状態に保つ事ができる。即ち第2のガス流は基板近傍で第1のガス流の鋭い上がり力学的に押え込むと共に第1のガスの成分の乱流拡散を防止する。その結果、

- 1) 第1のガスの流れが層流状態である為、制

これにより矢印で示すように所定速度で回転せられるようになっている。基板支持台はヒータ部を内蔵し、これによりこの上に載置せる基板を加熱するようになっている。

真空槽内において、基板支持台の上方には、これと對向して不活性ガス噴出板部が配設され、これは中空部(4)を有し、こゝにシール部材間によりシールされて真空槽の上壁部に取り付けられている導管部から不活性ガスが導入される。不活性ガス噴出板部の底壁部には小さな多数の孔が形成されており、こゝから不活性ガスが下方へと噴出されるようになっている。

ノズル先端部(11a)(反応ガスの噴出方向)は基板支持台の基板部を載置させている上面にはより平行に延びており、またそのスリット状開口も向上面に平行に延びている。ノズル先端部(11a)はなむかにスリット状開口の長さに比べて、この開口の巾は充分に小さく、レイノルズ数が10以上の流速にてこゝから反応ガスが噴出されるものとする。また基板支持台の上面からノズル先

## 特開昭 63-7619 (3)

端部(11a)のレベルまでの距離は基板支持台枠の上面から不活性ガス噴出板枠までの距離の約40%のところにあるものとする。

本発明の実施例は以上のように構成されるが、次にこの作用につき説明する。

ノズル先端部(11a)から2次元ジェット状に反応ガスRが真空槽内の空間内に噴出される。なお、空間内は予め真空状態にされているものとする。他方、上方の不活性ガス噴出板枠からは不活性ガスQが下方へと噴出される。反応ガスR及び不活性ガスQの噴出流量は外部から制御可能であるが、例えば後者は前者の3倍の流量とされる。基板支持台枠は所定速度で回転し、かつヒータ枠で加熱されている。

第3A図に示されるように反応ガスRの流れは基板枠の近傍に限られ、しかも層流状態が保たれる。これは不活性ガスQの流れが反応ガスRの流れを上方から抑止するためであると思われるが、このような安定化作用はコンピュータによる数値シミュレーション並びに四塙化チタン法可視化実

性、再現性にすぐれ、不活性ガスQの流量制御により基板枠に形成される膜厚分布制御が可能となってくる。

例えば、本ガスフロー方法で一枚の基板を基板支持台と同心的に配置しこの支持台を回転させながら成長温度350°Cでタンクステン・シリサイド成長を実施した（タンクステン・シリサイド膜の成長は供給雰囲であるため、流れの様子を忠実に反映しているものと考えられる）が理論と実験との一致は極めて良好であり、5インチウェハー内で±3.8%の高い均一性をもつた抵抗値分布を得た。理論的には8インチ内で±8.6%の均一性が予測される。

第4図は本発明の第2実施例を示すが、本実施例では反応ガスの噴出用ノズル側の形状が第1実施例と異なり、他は全く同一である。対応する部分については同一の符号を付すものとする。

すなわち、本実施例ではノズル側のスリット状開口端(30a)は円弧状となっており、基板支持台枠と同心的であって、その径は少し大きい。

第5図は本発明の第3実施例を示すが、本実施

験によって確認されている。なお、流れを全体として見れば、第3C図に示すように反応ガスRの流れ（ハッキングしてある）は局地化された層流となつておらず、不活性ガスQの流れがこの範囲を定めている。換言すれば、不活性ガスQの流量を制御することにより、ハッキングの部分の形状、大きさ、もしくは領域を制御することができる。

第3B図は上方からの不活性ガスQの流れがない場合を示すが、この場合には反応ガスRの流れは図示するように拡散し、空間上の領域では乱流状態となる。このような流れによって従来方式のように炉壁、のぞき窓などが汚染されることになる。

然しながら、本実施例によれば、反応ガスRの流れは第3A図又は第3C図に示すように安定化されるので、反応成分は基板枠の近傍のみに限定され、炉壁、のぞき窓などの汚染が防止される。従って、基板枠に形成される膜質の向上とダストパーティクルの低減が可能となる。

また反応ガスRの流れが層流とされるため制御

例では装置全体が第1実施例とは90°偏位した形態とされる。なお、第1実施例と対応する部分には同一の符号を付すものとする。

すなわち第1実施例では基板支持台枠は水平状態におかれているが、本実施例では鉛直状態におかれる。これに対応してノズル先端部(11a)、不活性ガス噴出板枠なども図示の如く鉛直状態に配設される。このような構成でも第1実施例と同様な作用を行ない、同様な効果を奏することは明らかである。なお、基板枠が基板支持台枠から滑落しないための手段は公知の手段を用いるものとする。

以上、本発明の各実施例について説明したが、勿論、本発明はこれらに限定されることなく本発明の技術的思想に基づいて種々の変形が可能である。

例えば、以上の実施例では、いわゆる熱CVDによる薄膜形成が説明されたが、プラズマCVDや光CVDなどにもまたドライエッティングなどにも本発明は適用可能である。

## 特開昭63-7619(4)

また以上の実施例では真空槽内の処理が説明されたが、真空を必要としない常圧でも基板への表面加工が可能なCVD装置にも本発明は適用可能である。

また以上の実施例では基板側の材質について特に言及しなかったが、例えば、Siウェーハや、ウェーハープロセスにおいて、すでにその表面に一定の薄膜形成、不純物拡散、微細加工等の処理を施されたものであってもよい。あるいは、ガラス、 $SiO_2$ 、 $Al_2O_3$ 、各種金属、合金等を素材とする基板にも本発明は適用可能である。

また以上の実施例では反応ガス孔を噴出するノズル(11a)側はスリット状開口を有するものであったが、第6図に示すように上述の実施例のようを偏平な中空管体側の端壁に多数の小孔列を形成させたものであってもよい。あるいは、第7図及び第8図に示すように偏平な中空管体側の端壁に横方向に並ぶスリット列又は上下方向に並ぶスリット列を形成させるようにしてもよい。また、これらの場合には各スリット列又は列物か

ら一方法によれば、第1のガスの流れが層流である為、その制御性、再現性に優れている。第1のガスの反応成分が基板近傍空間にのみ限定される為、炉壁、窓等の汚染が防止できる。従って品質の向上とダストパーティクルの低減が可能である。第2のガスの流量制御により基板上の膜厚分布制御が可能になる。基板回転機構を組み合わせて、大面积で、高均一性のある成膜が可能となるなど種々の効果を奏すことができる。

## 4 図面の簡単な説明

第1図は本発明のガスフロー方法を具体化するCVD装置の第1実施例の断面図、第2図は第1図に於けるⅠ-Ⅰ線方向断面図、第3A図、第3B図、第3C図は本実施例の作用を説明するための第1図と同様の断面図、第4図は本発明の第2実施例のCVD装置の第2図と同様な断面図、第5図は本発明の第3実施例のCVD装置の第1図と同様の断面図、第6図、第7図、第8図は各変形例を示す要部の正面図、及び第9図は従来の各種のガスフロー方法を示す概略図である。

らは異なる反応ガスが噴出されるようにしてもよい。この場合には管体側面内に仕切壁が設けられているが、一つのスリットを有する2つの別の管体を左右又は上下に並設するようにしてもよい。

また以上の実施例では不活性ガス噴出板間にいわゆる多孔板が用いられたが、これに代えて適当なアスペクト比をもつストレイナー、ハニカム(honeycomb)を用いてもよい。あるいはこれと多孔板とを併用するようにしてもよい。

また以上の実施例では第1のガス流として反応ガス孔が用いられたが、これに代えて反応ガスを主体とするガスを含むガスであってもよい。

また、以上の実施例では第2のガスとして不活性ガスを用いたが、これに代えて一部反応性ガスを含んでいるガスであってもよい。その場合、この反応性ガスはダストパーティクルを発生させないガス種であることが必要である。例えば、H<sub>2</sub>、N<sub>2</sub>、O<sub>2</sub>などが含まれていてもよい。

## 〔発明の効果〕

以上述べたように本発明のCVD装置のガスフ

を示す図において、

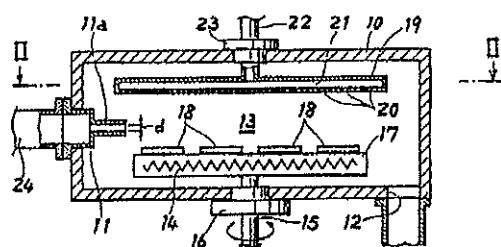
- (1) 真空槽
- (2) 噴出孔(6a) 反応ガス噴出ノズル
- (3) 基板
- (4) 不活性ガス噴出多孔板

代理人

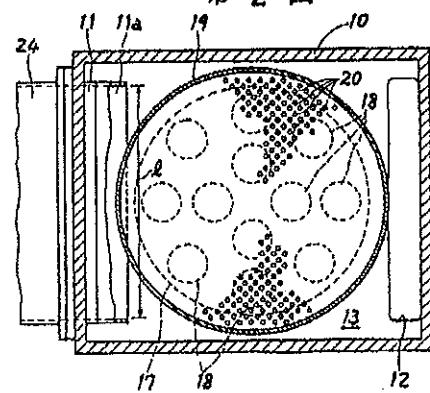
坂阪泰雄

特開昭63-7619(5)

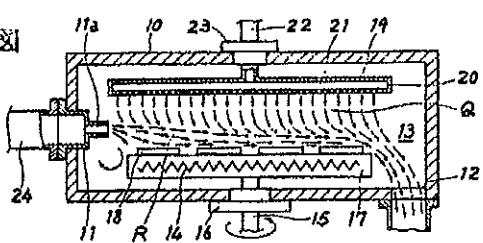
第1図



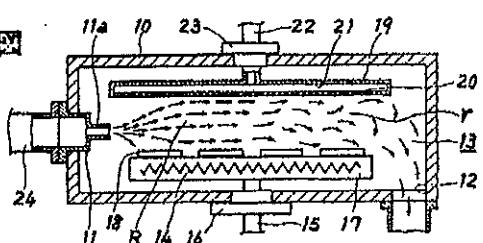
第2図



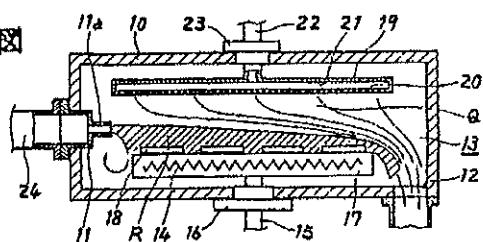
第3A図



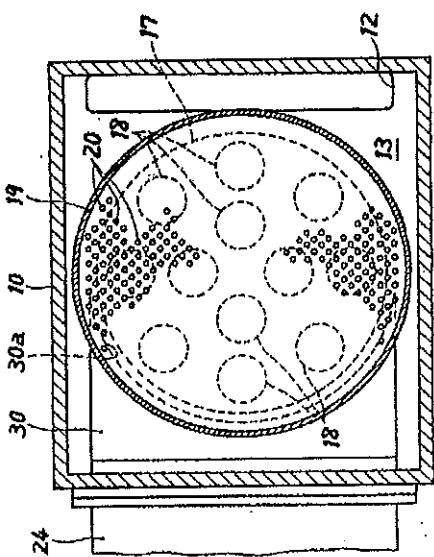
第3B図



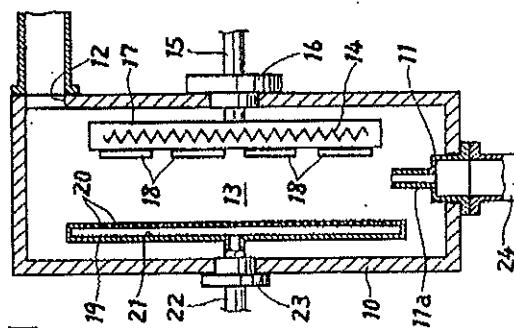
第3C図



第4図

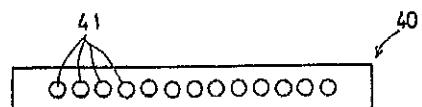


第5図

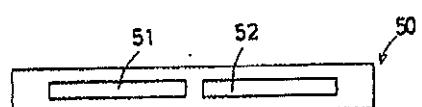


特開昭63-7619(6)

第 6 図



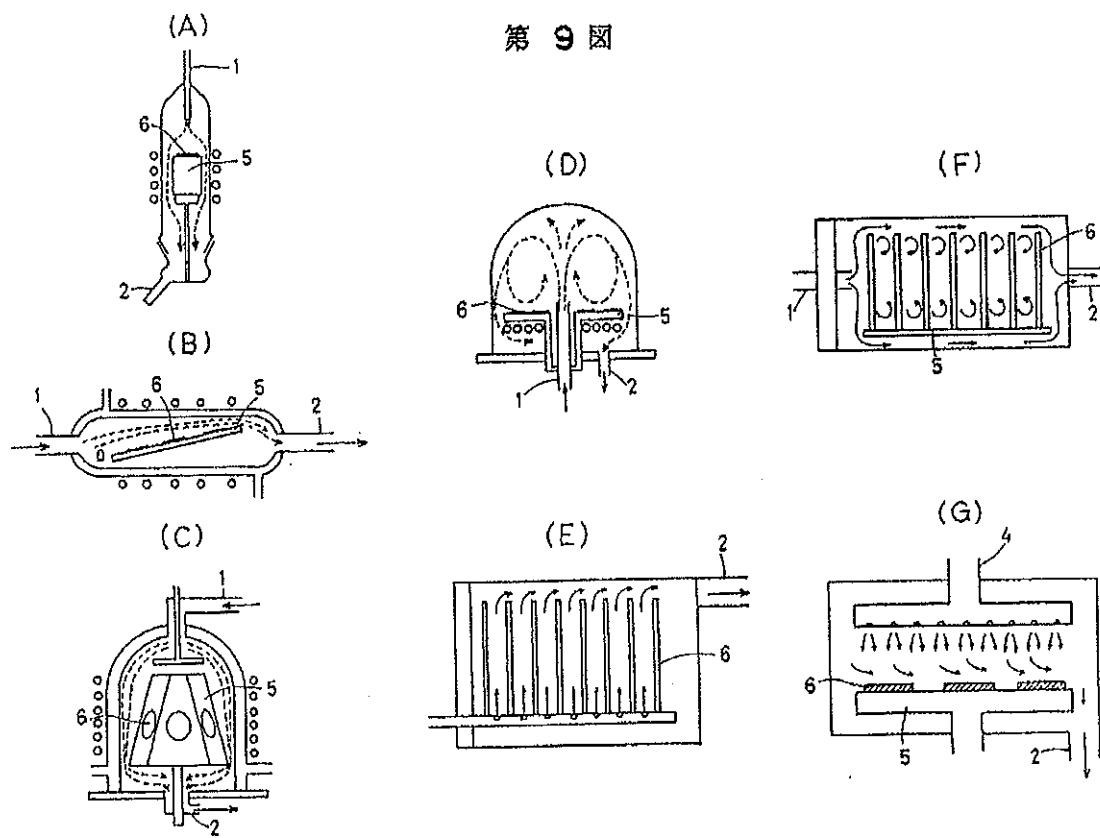
第 7 図



第 8 図



第 9 図



特開昭63-7619

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成6年（1994）2月25日

【公開番号】特開昭63-7619

【公開日】昭和63年（1988）1月13日

【年通号数】公開特許公報63-77

【出願番号】特願昭61-152123

【国際特許分類第5版】

H01L 21/205 7454-4M

21/31 8518-4M

手続補正書

平成5年5月31日

特許庁長官 麻生 渡 殿

## 1 事件の表示

昭和61年 特許願 第152123号

## 2 発明の名称

CVD装置のガスフロー方法

## 3 補正をする者

事件との関係 特許出願人

住所 神奈川県茅ヶ崎市萩園2500番地

名称 日本真空技術株式会社

代表者 上野 朝生

## 4 代理人

住所 神奈川県横浜市中区本町6の61  
原本社ビル

氏名 (7235)弁理士 飯坂泰雄

## 5 補正命令の日付

## 6 補正により増加する発明の数

## 7 補正の対象

明細書の発明の詳細な説明の欄。

## 8 補正の内容

(1) 明細書第3頁第17行の「不可壁」を「不可避」と補正する。

(2) 明細書第12頁第7行の「ストレイナー、ハネカム」を「ストレイナー又はハネカム」と補正する。

以上

⑩ 日本国特許序 (JP)      ⑪ 特許出願公開  
 ⑫ 公開特許公報 (A)      昭63-28868

⑥Int.Cl. <sup>4</sup>	識別記号	序内整理番号	③公開 昭和63年(1988)2月6日
C 23 C 16/30		6554-4K	
16/42		6554-4K	
16/46		6554-4K	
H 01 L 21/285		C-7638-5F	審査請求 未請求 発明の数 1 (全8頁)
21/88		B-6708-5F	

④発明の名称 CVD法

②特 願 昭61-172314  
 ②出 願 昭61(1986)7月22日

②発明者 楠本 淑郎	神奈川県茅ヶ崎市円蔵600-1-203
②発明者 高桑 一雄	神奈川県茅ヶ崎市萩園1462-20 コーポ秀建202号
②発明者 生田 哲也	神奈川県茅ヶ崎市萩園2767 日本真空萩園寮
②発明者 鈴木 章敏	神奈川県茅ヶ崎市萩園1433 富士見ハイツ201号
②発明者 中山 泉	神奈川県平塚市兒平12-12-2-707 バレ平塚すみれ平
②出願人 日本真空技術株式会社	神奈川県茅ヶ崎市萩園2500番地
②代理人 弁理士 飯阪 泰雄	

### 明細書

#### 1 発明の名称

CVD法

#### 2 特許請求の範囲

(1) 金属元素を含んだ反応性を有するガスと金属元素を含んでいない反応性を有するガスとを減圧下の反応槽内の基板の表面にはメタリックにシート状の流れで導入し、かつ前記基板の表面に対向するようにな活性ガスのガス流又は不活性ガスを主体とするガス流を導入しながら、前記基板に加熱ランプの光を照射し、前記基板を加熱することにより前記基板の表面において化学反応を生じさせ、前記基板の表面に前記金属元素を含んだ薄膜を形成することを特徴とするCVD法。

(2) 金属元素を含んでいない反応性を有するガスを SiH<sub>4</sub>、H<sub>2</sub>、SiH<sub>2</sub>Cl<sub>2</sub>のいづれか1つ又はそれらの2つ以上、金属元素を含んだ反応性を有するガスを WF<sub>6</sub>、MoF<sub>6</sub>、TaF<sub>5</sub>、CrF<sub>6</sub>、TiF<sub>4</sub>、MoCl<sub>6</sub>、WCl<sub>6</sub>、AlCl<sub>3</sub>等の金属ハロゲン化物のガスのいづれか1つ又はそれらの2つ以上にすることを特徴とする特許請求の

#### 範囲第1項記載のCVD法。

##### 3 発明の詳細な説明

###### 【産業上の利用分野】

この発明は、基板の表面に金属元素を含んだ薄膜を形成するCVD法に関するものである。

###### 【従来の技術】

従来のCVD法に用いられている装置は特開昭59-179775号公報に掲載され、その概要は第13図～第15図に示されている。第13図は真空ハウジングを切断した装置の断面図を示しており、Q1は真空ハウジング、Q2は真空ハウジングQ1内に配設され、基板(図示せず)を保持するタレット組立、Q3は真空ハウジングQ1を水冷する冷却コイル、Q4は真空ハウジングQ1内を排気する排気パイプ、Q5は排気用マニホールド、Q6は真空ポンプ(図示せず)等を備えた真空／排気システム、Q7は水冷システム、Q8はマイクロプロセッサ、Q9はRF発信器、Q10はHeガスとSiH<sub>4</sub>とを貯える第1のバンク、Q11はHeガスのキャリアとWF<sub>6</sub>とを貯える第2のバンクである。第14図は真空ハウジングの頂部を除去した平面図を

特開昭63-28868 (2)

示しており、図はキャップ、側は頂部の八角形リング、側はモルタル製のプラテンである。第15図は内部構造を露出するように一部を切断したタレット組立体の一部切欠断面図を示しており、側は底部の八角形リング、側は冷却パイプ、側は水冷システム側からの水を冷却パイプ側に供給したのち再び水冷システム側に戻す二重管、側はタレット組立体側の内部に配設された加熱ランプで、モルタル製のプラテン側を背面より加熱している。またパンク側から反応ガスはそれ自体パイプ側及び混合チャンバー側を介してハウジング側内に導入される。

従って、従来のCVD法は、マイクロプロセッサ側でプラテン側の外表面の温度が一定になるよう制御しながら、加熱ランプ側でモルタル製のプラテン側を背面より加熱し、プラテン側の熱をプラテン側で保持している基板に伝達して、基板の表面の温度とプラテン側の外表面の温度とがはゞ同じになるように加熱し、基板の表面において化学反応を生じさせて、基板の表面に金属元素を含む。

点がある。また、反応成分は炉内全域に拡散するので、炉壁、覗き窓等への反応成分の付着を避けるためにハウジング側等を冷却するようになっているが、なお反応成分の付着に起因するダストの発生、薄膜内への不純物の混入などの問題は避けられない。

この発明は、上記のような従来の方法のもつ種々の問題点を解決して、基板に形成する金属元素を含んだ薄膜の成長速度を上記金属元素を含む反応性を有するガスの使用量を少量に抑えて高速度化でき、かつ制御性、再現性が良く、均一性の高い薄膜形成が出来るCVD法を提供することを目的としている。

#### 〔問題点を解決するための手段〕

以上の目的は、金属元素を含んだ反応性を有するガスと金属元素を含んでいない反応性を有するガスとを減圧下の反応槽内の基板の表面にはゞ平行にシート状の流れで導入し、かつ前記基板の表面に対向するように不活性ガスのガス流又は不活性ガスを主体とするガス流を導入しながら、前記

だ薄膜を形成するようしている。

#### 〔発明が解決しようとする問題点〕

従来のCVD法では、薄膜の成長速度は金属元素を含んだ反応性を有するガス流量に比例し、又その比例定数が小さいので成長速度の高速度化には多量の上記金属元素を含んだ反応性を有するガスを供給する必要があった。しかし金属元素を含んだ反応性を有するガスは、通常、激しい有毒性、腐蝕性を有し、又高価であるため上記ガスの使用量は自ずと制約を受ける。

また、この薄膜成長速度の制約が、ウェハー(基板)の大口径化に伴って装置を放棄化(ウェハー一枚一枚処理する方式)することへの支障となっている。

また、従来の方式ではガス流の制御パラメータとしては圧力と反応ガス流量と云う2つの内部パラメータのみであり、乱流発生の抑制、自然対流の抑制等のために外部的にコントロールする事は不可能である。従って広い圧力、流量領域で再現性、制御性、均一性に優れた成膜を行えない問題

基板に加熱ランプの光を照射し、前記基板を加熱することにより前記基板の表面において化学反応を生じさせ、前記基板の表面に前記金属元素を含んだ薄膜を形成することを特徴とするCVD法によって達成される。

#### 〔作用〕

基板の表面で成長する金属元素を含んだ薄膜の成長速度を基板表面に加熱ランプの光を照射することにより従来の方法に比べて上記金属元素を含む反応性を有するガスの使用量を少量に抑えで高速度化するようになる。

また、金属元素を含んだ反応性を有するガスと金属元素を含んでいない反応性を有するガスとの流れを基板近傍全域において制御性のよい層流状態に保つことができ、基板に均一性の高い成膜を行うことができる。また、従来の方法のよう、反応槽に冷却手段を用いなくても炉壁、覗き窓などの汚染を防止することができる。よって装置全体を簡素化することができる。

## 特開昭63-28868 (3)

## 〔実施例〕

以下、この発明の実施例について図面を参照しながら説明する。第1図はこの発明の実施例に用いられる装置の概略構成図である。同図において、(1)は減圧される反応槽である。反応槽(1)内には、回転自在な基板ホルダ(2)に設置された基板(3)が配設されている。反応槽(1)の側部(1a)にはスリット状の開口をもつた2つのガス導入部(4a)(4b)が設けられ、一方のガス導入部(4a)からは金属元素を含んでいない反応性を有するガスであるSiH<sub>4</sub>と不活性ガスであるArガスとが反応槽(1)内に基板(3)の表面に平行にシート状に導入され、他方のガス導入部(4b)からは金属元素を含んだ反応性を有するガスであるWF<sub>6</sub>とArガスとが反応槽(1)内の基板(3)の表面に平行にシート状に導入されている。反応槽(1)内に導入されるSiH<sub>4</sub>、WF<sub>6</sub>及びArガスは、反応槽(1)内において、基板(3)の表面に沿って流れようになっている。反応槽(1)の天部(1b)には透明な石英ガラス製透過窓(5)と不活性ガス導入部(6)とが設けられている。不活性ガス導入部(6)

のガス噴出部(6a)は多孔板になつた透明な石英ガラスでできており、石英ガラス製透過窓(5)の下方に位置して、不活性ガスであるArガスを反応槽(1)内に下方に噴出するようになっている。反応槽(1)内において下方に噴出するArガスは、基板(3)の表面に沿って流れるSiH<sub>4</sub>、WF<sub>6</sub>及びArガスが流れる過程で上方に拡がるのを防止するためにSiH<sub>4</sub>、WF<sub>6</sub>及びArガスが流れに對して、上方より略垂直に交わるようになっている。反応槽(1)の底部(1c)には排気部(7)が設けられSiH<sub>4</sub>とWF<sub>6</sub>とArガスとが反応槽(1)内より排氣されている。反応槽(1)の天部(1b)より上方に位置する反応槽(1)外のところには、加熱ランプ(8)が配設されている。加熱ランプ(8)からの光は、石英ガラス製透過窓(5)と透明な石英ガラスでできている不活性ガス導入部(6)のガス噴出部(6a)とを透過して、基板(3)の表面を照射するようになっている。反応槽(1)外のところにはコントローラ(9)が配設され、このコントローラ(9)は反応槽(1)内の特定な位置における温度が一定に維持できるように加熱ランプ(8)の出力を制御している。

従つて、上記第1図の装置を用いて、第2図に示すような(3)にWSixの金属元素を含んだ薄膜を形成するときのCVD法は、コントローラ(9)で反応槽(1)内の特定な位置における温度を一定に維持すると共に、上記SiH<sub>4</sub>とWF<sub>6</sub>とArガスとを減圧下の反応槽(1)内に導入しながら、加熱ランプ(8)からの光を石英ガラス製透過窓(5)と透明な石英ガラスでできている不活性ガス導入部(6)のガス噴出部(6a)とを透過させて回転中の基板(3)に照射させると基板(3)の表面において化学反応が生じ、WSixが時間の経過とともに成長し、第3図に示すようにWSixの金属元素を含んだ薄膜即ち基板(3)に形成されるようになる。

この場合、反応槽(1)内の特定な位置における温度はコントローラ(9)によって一定に維持されている。

第4図は、この発明の実施例の方法と従来の方法によるWSixの成長速度を比較するグラフであつて、横軸にWF<sub>6</sub>の流量(SCCM)、縦軸にWSixの成長速度(Å/MIN)をとり、この発明の実施例の

方法によるWSixの成長速度を符号A、従来の方法によるWSixの成長速度を符号Bで示している。

次に本実施例のガスフローの作用、効果などについて説明する。ノズル(4a)からは2次元ジェット状に反応ガスRとしてのSiH<sub>4</sub>及びArガスが槽(1)内の空間Aに噴出される。またノズル(4b)からは反応ガスR'としてのWF<sub>6</sub>ガス及びArガスと同じく2次元ジェット状に噴出される。他方、上方の不活性ガス噴出部(6a)からは不活性ガスQとしてのArガスが下方へと噴出される。反応ガスR、R'及び不活性ガスQの噴出流量は外部から制御可能であるが、例えば後者は前者の3倍の流量とされる。

第5A図に示されるように反応ガスR、R'の流れは基板(3)の近傍に限られ、しかも層流状態となる。これは不活性ガスQの流れが反応ガスR、R'の流れを上方から抑圧するためであると思われるが、このような安定化作用はコンピュータによる数値シミュレーション並びに四塗化チタン法可視化実験によって確認されている。なお、流れを

## 特開昭63-28868 (4)

金体として見れば、第5C図に示すように反応ガスR、R'の流れ(ハッキングしてある)は局限化された層流となっており、不活性ガスQの流れがこの範囲を定めている。換言すれば、不活性ガスQの流量を制御することにより、ハッキングの部分の形状、大きさ、もしくは領域を制御することができる。

第5B図は上方からの不活性ガスQの流れがない場合を示すが、この場合には反応ガスR、R'の流れは図示するように拡散し、空間 $\tau$ の領域では乱流状態となる。このような流れによって従来方式のように冷却手段を用いなければ、炉壁、覗き窓などが汚染されることになる。

然しながら、本実施例によれば、反応ガスR、R'の流れは第5A図又は第5C図に示すように安定化されるので、反応成分は基板(3)の近傍のみに限定され、炉壁、覗き窓などの汚染が防止される。従って、基板(3)に形成される薄膜の膜質の向上とダストパーティクルの低減が可能となる。

また反応ガスR、R'の流れが層流とされるため

れに限定されることなく、例えば、Siの代りに $SiO_2$ 、 $Al_2O_3$ ガラス又はサファイヤ等の材質を用いてもよく、また第6図に示すように平板なSi(3)の表面の一部に $SiO_2$ の絶縁薄膜<sup>膜</sup>を形成したもの等いかなる構造のものであってもよい。この場合にはSi(3)への金属元素又はこれを含んだ化合物の侵入、いわゆるエンクローチメントの成長を抑えることができる。また加熱ランプ(8)はいかなるものであってもよい。第7図に示すように加熱ランプ(8)と透明石英ガラス製透過窓(5)との間に光学フィルタ<sup>類</sup>を配設して、光学フィルタ<sup>類</sup>を通過した光を基板(3)に照射してもよい。加熱ランプ(8)からの照射は、第8図及び第9図に示すように基板の背面からであってもよい。第8図及び第9図において、基板ホルダ(2)は石英等の透明な部材でできており、側面は不活性ガス導入口である。これから不活性ガスにより加熱ランプ(8)や基板ホルダ(2)に反応物が付着することが防止される。第10図に示すように基板ホルダ(2)は加熱手段<sup>類</sup>を備えたものであってもよい。基板(3)を回動させているが、基板(3)を回

制御性、再現性にすぐれ、不活性ガスQの流量制御により基板(3)に形成される膜厚分布制御が可能となってくる。

なお、上記実施例では、金属元素を含んだ反応性を有するガスにWF<sub>6</sub>を用いているが、これに限定されず、金属元素を含んだ反応性を有するガスはいかなるものであってもよく、例えば、MoF<sub>6</sub>、TaF<sub>6</sub>、CrF<sub>6</sub>、TiF<sub>6</sub>、TiCl<sub>4</sub>、MoCl<sub>6</sub>、WCl<sub>6</sub>、AlCl<sub>6</sub>等の金属ハロゲン化物のガスのいづれか一つ又はそれら二つ以上の組合せであってもよい。金属元素を含んでいない反応性を有するガスにSiH<sub>4</sub>を用いているが、これに限定されず、金属元素を含んでいない反応性を有するガスはいかなるものであってもよく、例えば、H<sub>2</sub>、SiH<sub>4</sub>Cl<sub>2</sub>等であってもよい。金属元素を含んだ反応性を有するガスであるWF<sub>6</sub>と金属元素を含んでいない反応性を有するガスであるSiH<sub>4</sub>とは共にArガスを混入して反応槽内に導入されているが、これに限定されず、WF<sub>6</sub>とSiH<sub>4</sub>とは共にArガスを混入しないで反応槽内に導入してもよい。基板(3)は平板なSiを用いているが、こ

動させなくてもよい。

また以上の実施例では反応ガスR、R'を噴出するノズル(4a)(4b)はスリット状開口を有するものであったが、第11図に示すように上述の実施例のような偏平な中空管体<sup>類</sup>の端盤に多數の小孔<sup>類</sup>を形成させたものであってもよい。あるいは、第12図に示すように偏平な中空管体<sup>類</sup>の端盤に横方向に並ぶスリット<sup>類</sup>を形成させるようにしてもよい。

また以上の実施例では不活性ガス噴出部(6a)にはいわゆる多孔板が用いられたが、これに代えて適当なアスペクト比をもつ透明なストレイナー又はハニカム(honeycomb)を用いてもよい。あるいはこれと多孔板とを併用するようにしてもよい。

また、以上の実施例では基板に対向するガスとして不活性ガスを用いたが、これに代えて一部反応性ガスを含んでいるガスであってもよい。その場合、この反応性ガスはダストパーティクルを発生させないガス種であることが必要である。例えば、H<sub>2</sub>、N<sub>2</sub>、O<sub>2</sub>などが含まれていてもよい。

特開昭 63-28808 (5)

## 〔発明の効果〕

この発明は、上記のように基板の表面で成長する金属元素を含んだ薄膜の成長速度を基板表面に加熱ランプの光を照射することにより、上記金属元素を含む反応性を有するガスの使用量を少量に抑えて從来の方法に比べて高速度化するようになる。また、冷却手段を用いながらも炉鐘や覗き窓への反応物の付着を防止することができ、良質の薄膜を基板上に形成することができる。

## 4 図面の簡単な説明

第1図はこの発明の実施例に用いられる装置の概略断面図、第2図は基板(3)の断面図、第3図は第2図に示す基板(3)にWSixの金属元素を含んだ薄膜層を形成した状態を示す断面図、第4図はこの発明の実施例の方法と從来の方法によるWSixの成長速度を比較するグラフ、第5A図～第5C図はガス流の作用を示すための第1図と同様な概略断面図、第6図は表面の一部にSiO<sub>2</sub>の絶縁薄膜層を形成した平板なSiの基板(3)を示す断面図、第7図は加熱ランプ(8)と透明な石英ガラス窓(6)と

の間に光学フィルタ(12)を配設して、光学フィルタ(12)を通過した光を基板(3)に照射する断面図、第8図及び第9図は基板(3)の背面より加熱ランプ(8)からの光を照射する断面図、第10図は基板ホルダ(2)に加熱手段(4)を備えた断面図、第11図、第12図は変形例の要部の正面図、第13図は從来の方法に用いられる装置の概略断面図、第14図は第13図に示す真空ハウジングの頂部を除去した平面図、第15図はタレット組立体の内部構造を露出するように一部を切断した一部切欠断面図である。

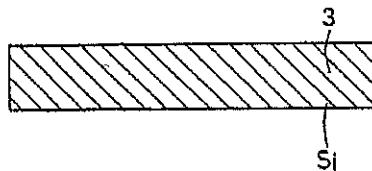
なお図において、

- |            |            |
|------------|------------|
| (1) .....  | 反応槽        |
| (3) .....  | 基板         |
| (8) .....  | 加熱ランプ      |
| (10) ..... | 金属元素を含んだ薄膜 |

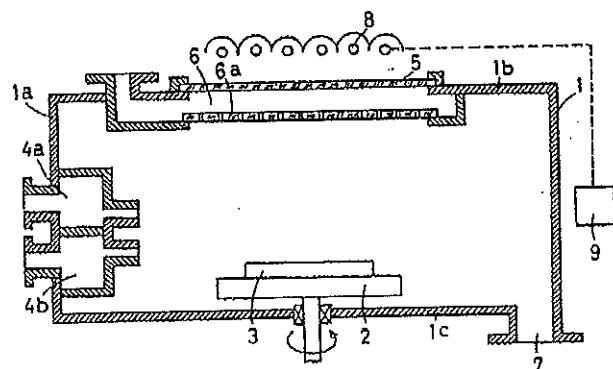
なお、図中、同一符号は同一又は相当部分を示す。

代理人  
坂本泰雄

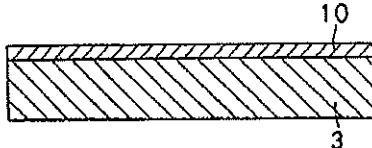
第2図



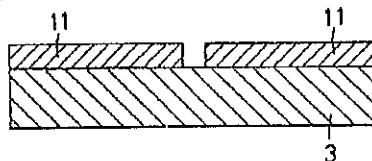
第1図



第3図

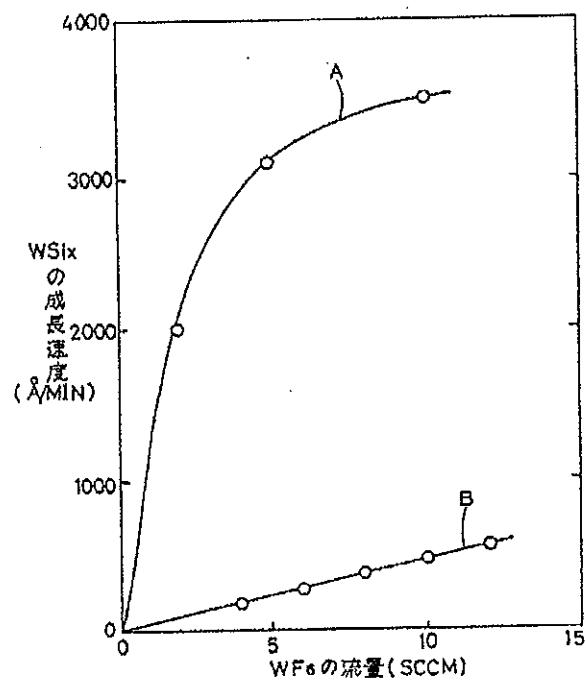


第6図

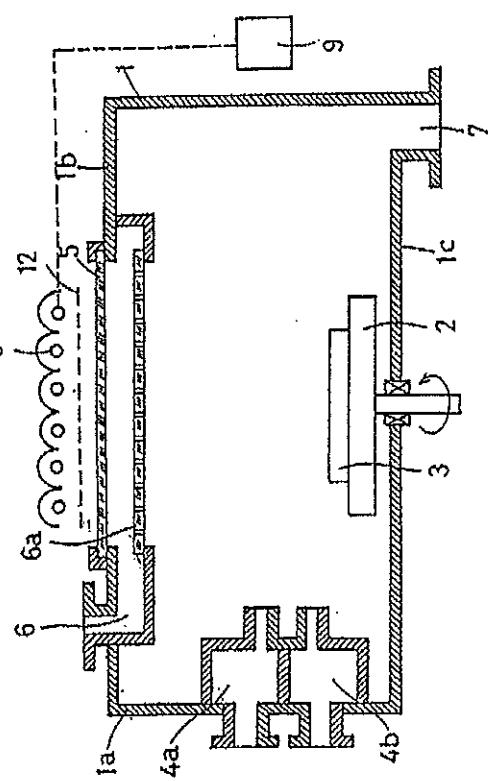


特開昭 63-28868 (6)

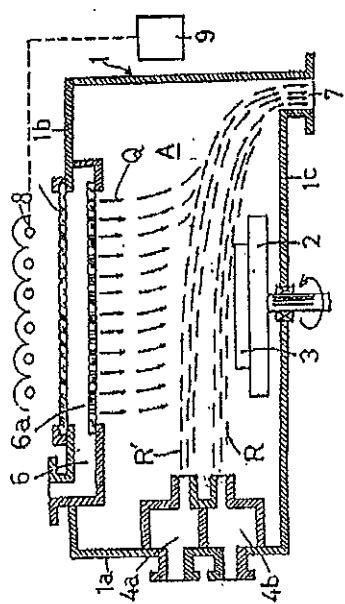
第4図



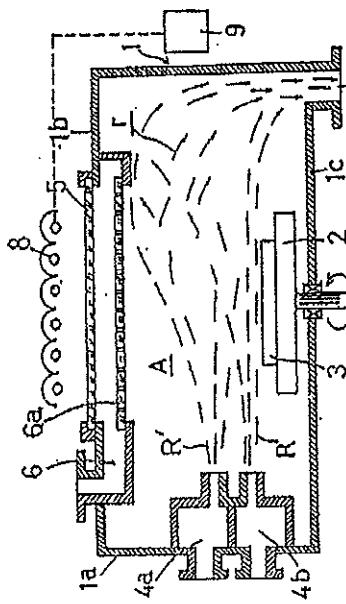
第7図



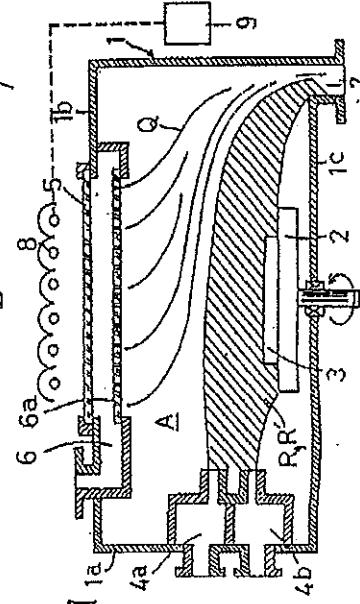
第5A図



第5B図

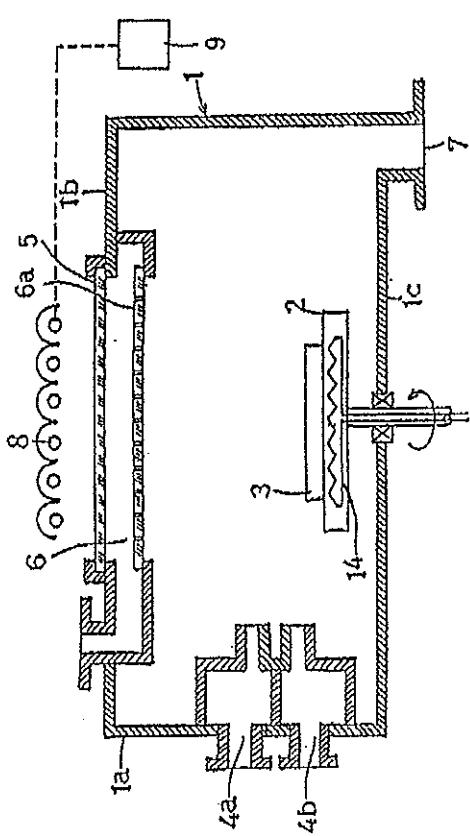


第5C図

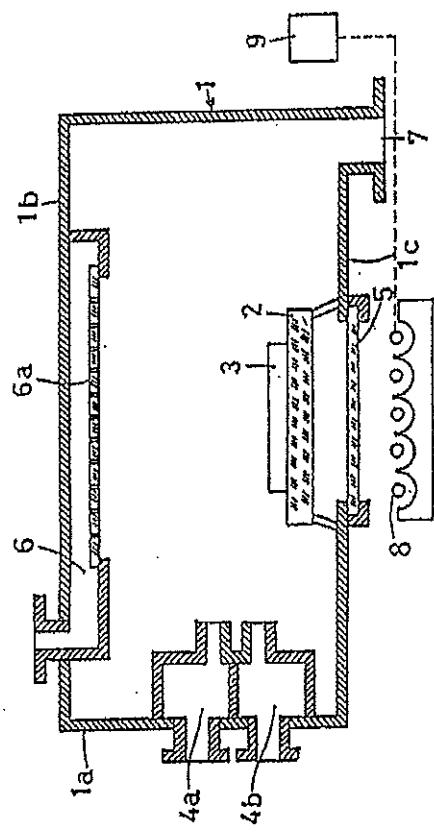


特開昭 63-28868 (7)

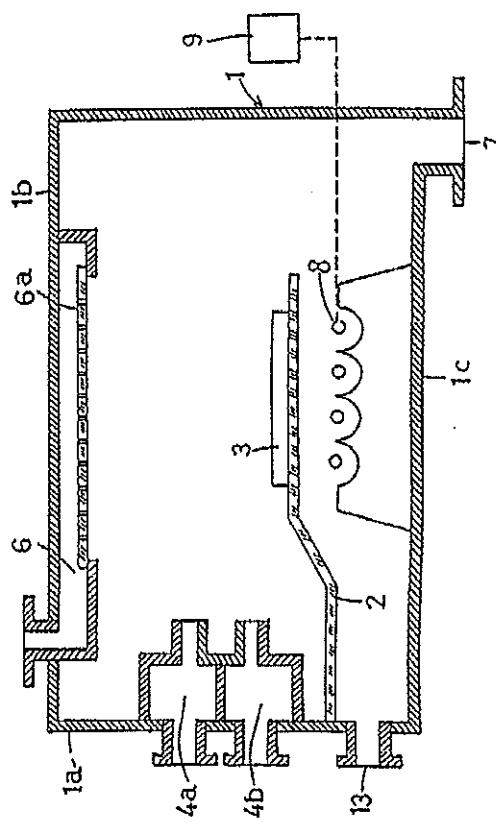
第 10 図



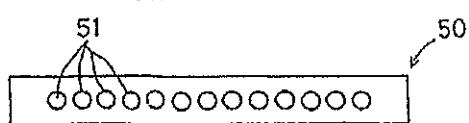
第 8 図



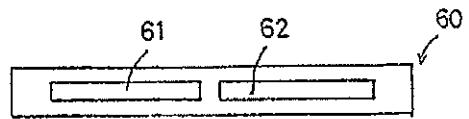
第 9 図



第 11 図

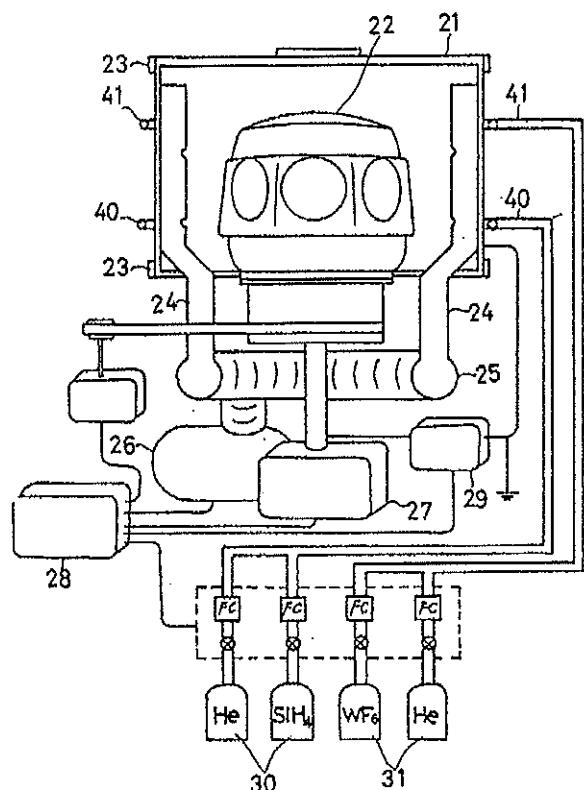


第 12 図

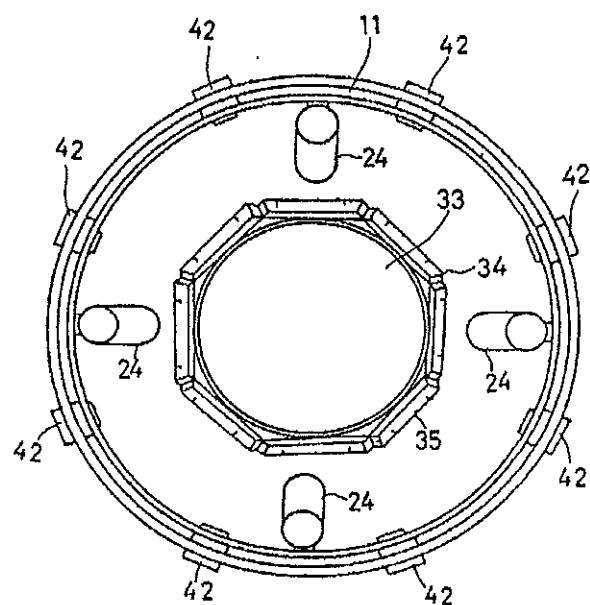


特開昭63-28868 (8)

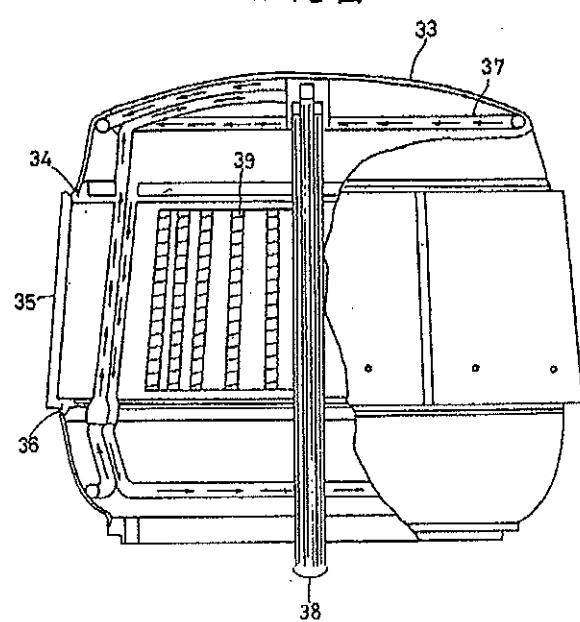
第13図



第14図



第15図



平成10年異議第70036号

(19) 【発行国】 日本国特許庁 (JP)

(12) 【公報種別】 特許異議決定公報

(45) 【発行日】 平成11年(1999)7月26日

【種別】 特許異議の申立についての決定

【全頁数】 7

【異議番号】 平成10年異議第70036号

【管理番号】 00007615

【異議決定分類】

P1651.121-YA :C30B

(11) 【特許番号】 第2628404号

(73) 【特許権者】

【識別番号】

【氏名又は名称】 日亜化学工業株式会社

【住所又は居所】 徳島県阿南市上中町岡491番地100

(74) 【代理人】

【弁理士】

【氏名又は名称】 豊橋 康弘

【異議申立人】

【氏名又は名称】 高橋 満

【住所又は居所】 神奈川県横浜市港北区新羽町2056 ファミール・イイジマ  
205号

【異議決定日】 平成10年11月18日

【合議体】

【審判長】 内野 春喜

【審判官】 松本 悟

【審判官】 関根 恒也

【訂正明細書】 有

【決定の表示】

特許第2628404号「窒素化合物半導体結晶膜の成長方法」の特許につい

(2)

平成10年異議第70036号

て、次のとおり決定する。

### 【結論】

訂正を認める。

特許第2628404号の特許を維持する。

### 【理由】

#### (1) 手続の経緯

本件特許第2628404号発明は、平成2年10月25日に特許出願され、平成9年4月18日にその特許の設定登録がなされ、その後高橋満より特許異議の申立てがなされ、取消理由通知がなされ、その指定期間内である平成10年7月14日に訂正請求がなされたものである。

#### (2) 訂正の適否についての判断

##### ア. 訂正の要旨

###### ① 訂正事項 a

発明の名称の「半導体結晶膜の成長方法」を、不明りりょうな記載の釈明を目的として「窒素化合物半導体結晶膜の成長方法」と訂正する。

###### ② 訂正事項 b

特許請求の範囲の請求項1の「加熱された基板の表面に半導体結晶膜を成長させる方法において、基板の表面に平行ないし傾斜する方向には反応ガスを供給し、基板の表面に対して実質的に垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給し、不活性ガスである押圧ガスが、基板の表面に平行ないし傾斜する方向に供給される反応ガスを基板表面に吹き付ける方向に方向を変更させて、半導体結晶膜を成長させることを特徴とする半導体結晶膜の成長方法」を、特許請求の範囲の減縮を目的として、「加熱された基板の表面に窒素化合物半導体結晶膜をMOCVD法でもつて常圧で成長させる方法において、基板の表面に平行ないし傾斜する方向には、窒素化合物半導体の原料となる反応ガスを供給し、基板の表面に対して実質的に垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給し、不活性ガスである押圧ガスが、基板の表面に平行ないし傾斜する方向に供給される、窒素化合物半導体の原料となる反応ガスを基板表面に吹き付ける方向に方向を変更させて、窒素化合物の半導体結晶膜を成長させるこ

(3)

平成10年異議第70036号

とを特徴とする窒素化合物半導体結晶膜の成長方法」と訂正する。

#### ③ 訂正事項 c

明細書の第1頁第16行目～第18行目における、「この発明は、主として窒素化合物の半導体結晶膜を成長させる方法に関し、とくに、基板に反応ガスを噴射してその表面に半導体結晶膜を成長させる方法に関する。」を、不明りょうな記載の釈明を目的として、「この発明は窒素化合物の半導体結晶膜を成長させる方法に関し、とくに、基板に反応ガスを噴射してその表面に窒素化合物の半導体結晶膜を成長させる方法に関する。」と訂正する。

#### ④ 訂正事項 d

明細書の第2頁第7行目における、「この方法で半導体結晶膜を基板上に成長させるには」を、不明りょうな記載の釈明を目的として、「この方法で窒素化合物の半導体結晶膜を基板上に成長させるには」と訂正する。

#### ⑤ 訂正事項 e

明細書の第3頁第25行目～第4頁第5行目における、「加熱された基板の表面に半導体結晶膜を成長させる方法を改良したものである。本発明の成長方法は、基板の表面に平行ないし傾斜する方向には反応ガスを供給し、基板の表面に対して実質的に垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給する。」

基板に対して実質的に垂直に供給される反応ガスを含まない不活性ガスは、基板の表面に、平行ないし傾斜する方向に供給される反応ガスを、基板表面に吹き付ける方向に方向を変更させて、半導体結晶膜を成長させる。基板の上部から垂直に流す不活性ガスである押圧ガスは、H<sub>2</sub>、N<sub>2</sub>ガスを単独で、あるいはこれ等の混合ガスを使用する。この方向に噴射される押圧ガスは、反応ガスの方向を基板に向かう方向に変えるものであるから、「」を、不明りょうな記載の釈明を目的として「加熱された基板の表面に窒素化合物半導体結晶膜をMOCVD法でもつて常圧で成長させる方法を改良したものである。本発明の成長方法は、基板の表面に平行ないし傾斜する方向には、窒素化合物半導体の原料となる反応ガスを供給し、基板の表面に対して実質的に垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給する。基板に対して実質的に垂直に供給される反応

(4)

平成10年異議第70036号

ガスを含まない不活性な押圧ガスは、基板の表面に、平行ないし傾斜する方向に供給される、窒素化合物半導体の原料となる反応ガスを、基板表面に吹き付ける方向に方向を変更させて、半導体結晶膜を成長させる。基板の上部から垂直に流す不活性ガスである押圧ガスは、H<sub>2</sub>、N<sub>2</sub>ガスを単独で、あるいはこれ等の混合ガスを使用する。この方向に噴射される押圧ガスは、窒素化合物半導体の原料となる反応ガスの方向を基板に向かう方向に変えるものであるから、」と訂正する。

#### ⑥ 訂正事項 f

明細書の第4頁第12行目における、「この発明の半導体結晶膜の成長方法は」を、不明りょうな記載の釈明を目的として、「この発明の窒素化合物半導体結晶膜の成長方法は」と訂正する。

#### ⑦ 訂正事項 g

明細書の第4頁第28行目における「この発明の半導体結晶膜の成長方法は」を、不明りょうな記載の釈明を目的として、「この発明の窒素化合物半導体結晶膜の成長方法は」と訂正する。

#### ⑧ 訂正事項 h

明細書の第11頁第4行目における「この発明の半導体結晶膜の成長方法は」を、不明りょうな記載の釈明を目的として、「この発明の窒素化合物半導体結晶膜の成長方法は」と訂正する。

#### イ. 訂正の目的の適否、新規事項の有無及び拡張・変更の存否

上記訂正事項 b は、請求項 1 における、「半導体結晶膜の成長方法」を、より下位概念である「窒素化合物半導体結晶膜を MOCVD 法でもつて常圧で成長させる方法」に限定するとともに「反応ガス」を「窒素化合物半導体の原料となる反応ガス」に限定するものであるから、特許請求の範囲の減縮に該当し、願書に添付した明細書に記載した事項の範囲内のものであり（原明細書第1頁第14行～第15行、第11頁第5行～第7行、第8頁第12行、第7頁第16行～第17行及び第10頁第4行～第13行参照）、実質的に特許請求の範囲を拡張又は変更するものではない。

上記訂正事項 a、c、d、e 及び f は、請求項 1 が訂正されたことに伴い特許

請求の範囲の記載と発明の名称及び発明の詳細な説明の記載との整合を図るための訂正であり、願書に添付した明細書に記載した事項の範囲内のものであり、不明りょうな記載の糾明を目的としたものである。

#### ウ. 独立特許要件の判断

##### (本件発明)

訂正明細書の本件発明は、その特許請求の範囲の請求項1に記載された次のとおりのものである。「加熱された基板の表面に、基板に対して平行ないし傾斜する方向と、基板に対して実質的に垂直な方向からガスを供給して、加熱された基板の表面に窒素化合物半導体結晶膜をMOCVD法でもつて常圧で成長させる方法において、基板の表面に平行ないし傾斜する方向には、窒素化合物半導体の原料となる反応ガスを供給し、基板の表面に対して実質的に垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給し、不活性ガスである押圧ガスが、基板の表面に平行ないし傾斜する方向に供給される、窒素化合物半導体の原料となる反応ガスを基板表面に吹き付ける方向に方向を変更させて、窒素化合物の半導体結晶膜を成長させることを特徴とする窒素化合物半導体結晶膜の成長方法。」

(以下、「本件発明」という。)

##### (引用例)

訂正明細書の本件発明に対して、当審が通知した取消理由で引用した特開昭63-7619号公報(以下、「引用例1」という。)には、CVD装置のガスフロー方法が開示されている。そして同引用例の特許請求の範囲には、「(1)密閉槽内に配設された基板の表面にほぼ平行に第1のガス流をシート状に導入し、かつ前記基板の表面に対向するように第2のガス流を導入して、前記基板の表面の近傍に第1のガス流の層流状態を保持するようにしたことを特徴とするCVD装置のガスフロー方法。・・・。(4)前記第1のガス流は反応性ガスから成る・・・CVD装置のガスフロー方法。(5)前記第2のガス流は不活性ガスから成る・・・CVD装置のガスフロー方法。」と記載され、第2頁右上欄第15~19行には「第1のガス流を基板近傍全域に於いて制御性の良い層流状態に保つ事ができる。即ち第2のガス流は基板近傍で第1のガス流の舞い上がり力学的に抑え込むと共に第1のガスの成分の乱流拡散を防止する。」と記載され、第3頁

(6)

平成10年異議第70036号

左下欄第4～7行には「本ガスフロー方法で・・・タンクステン・シリサイド膜の成長を実施した」と記載され、第3頁右下欄第17行～第4頁左上欄第4行には「以上の実施例では、いわゆる熱CVDによる薄膜形成が説明されたが、プラズマCVDや光CVDなどにも・・・適用可能である。また以上の実施例では真空槽内での処理が説明されたが、真空を必要としない常圧でも基板への表面加工が可能なCVD装置にも本発明は適用可能である。」と記載されている。

同じく引用した特開昭63-28868号公報（以下、「引用例2」という。）には、CVD法が開示されている。そして同引用例2の特許請求の範囲の第1項には、「（1）金属元素を含んだ反応性を有するガスと金属元素を含んでいない反応性を有するガスとを減圧下の反応槽内の基板の表面にほぼ平行にシート状の流れで導入し、かつ前記基板の表面に対向するように不活性ガスのガス流又は不活性ガスを主体とするガス流を導入しながら、前記基板に加熱ランプの光を照射し、前記基板を加熱することにより前記基板の表面において化学反応を生じさせ、前記基板の表面に前記金属元素を含んだ薄膜を形成することを特徴とするCVD法。」と記載され、第4頁右上欄第4行～第10行には「上記実施例では、金属元素を含んだ反応性を有するガスにWF<sub>6</sub>を用いているが、これに限定されず、金属元素を含んだ反応性を有するガスはいかなるものであってもよく、例えば、MoF<sub>6</sub>、・・・等の金属ハロゲン化物のいづれか1つ又はそれら2つ以上の組合せであってもよい。」と記載されている。

と記載されている。

#### （対比・判断）

本件発明と引用例1、2とを対比すると、引用例1、2には、本件発明の必須の構成要件である、半導体結晶膜の成長方法において、反応ガスとして「窒素化合物半導体の原料となる反応ガスを供給」する点及び窒素化合物半導体を「MO CVD法でもって常圧で成長させる」点についての記載はない。

したがって、本件発明が引用例1又は2記載の発明と同一発明であるとすることはできない。

よって、本件発明は特許出願の際独立して特許を受けることができない発明であるとするることはできない。

エ. むすび

以上のとおりであるから、上記訂正請求は、特許法第120条の4第2項及び同条第3項で準用する特許法第126条第2から4項の規定に適合するので、当該訂正を認める。

### (3) 特許異議の申立てについての判断

#### ア. 申立ての理由の概要

申立人高橋満は、甲第1号証（特開昭63-7619号公報：引用例1）及び甲第2号証（特開昭63-28868号公報：引用例2）を提示して本件発明は、甲第1及び2号証に記載された発明に基いて当業者が容易に発明をすることができたものであり特許法第29条第2項の規定に違反してなされたものであるから、特許を取り消すべきものと主張している。

#### イ. 判断

申立人高橋満提出の甲第1号証及び甲第2号証は、（2）ウの引用例の項で検討した引用例1及び引用例2と同一のものであり、それぞれ（2）ウで述べた発明が記載されている。

本件発明と引用例1、2とを対比すると、引用例1、2には、本件発明の必須の構成要件である、半導体結晶膜の成長方法において、反応ガスとして「窒素化合物半導体の原料となる反応ガスを供給」する点及び窒素化合物半導体を「MOCVD法でもつて常圧で成長させる」点についての記載はないし、これらの点を示唆する記載もない。

そして、本件発明によれば、結晶性の良い状態で成長させるのが極めて難しいとされる窒化物半導体等の半導体結晶膜を、優れた結晶状態に成長できる（本件特許公報第10欄第2～5行参照）という引用例1、2にはない作用効果を奏するものである。

よって、本件発明は、前記引用例1、2により当業者が容易に為し得たものと認めることはできない。

また、他に本件特許を取り消すべき理由を発見しない。

よって、結論のとおり決定する。

(8)

平成10年異議第70036号

(19) 【発行国】 日本国特許庁 (JP)

【種別】 訂正明細書 (H)

【全頁数】 16

(51) 【国際特許分類第6版】

C30B 25/14

29/38

H01L 21/205

【F I】

C30B 25/14 C

29/38 D

H01L 21/205

(11) 【特許番号】 第2628404号

【異議番号】 平成10年異議第70036号

【異議申立日】 平成10年1月8日

【異議決定確定日】 平成11年1月14日

(70) 【訂正請求人】

【氏名又は名称】 日亜化学工業株式会社

【住所又は居所】 徳島県阿南市上中町岡491番地100

(74) 【代理人】

【弁理士】

【氏名又は名称】 豊栖 康弘

【訂正の要旨】

訂正事項 a

発明の名称の「半導体結晶膜の成長方法」を、不明りょうな記載の駁明を目的として「窒素化合物半導体結晶膜の成長方法」と訂正する。

訂正事項 b

特許請求の範囲の請求項1の「加熱された基板の表面に半導体結晶膜を成長させる方法において、基板の表面に平行ないし傾斜する方向には反応ガスを供給し、基板の表面に対して実質的に垂直な方向には、反応ガスを含まない不活性ガス

(9)

平成10年異議第70036号

の押圧ガスを供給し、不活性ガスである押圧ガスが、基板の表面に平行ないし傾斜する方向に供給される反応ガスを基板表面に吹き付ける方向に方向を変更させて、半導体結晶膜を成長させることを特徴とする半導体結晶膜の成長方法」を、特許請求の範囲の減縮を目的として、「加熱された基板の表面に窒素化合物半導体結晶膜をMOCVD法でもつて常圧で成長させる方法において、基板の表面に平行ないし傾斜する方向には、窒素化合物半導体の原料となる反応ガスを供給し、基板の表面に対して実質的に垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給し、不活性ガスである押圧ガスが、基板の表面に平行ないし傾斜する方向に供給される、窒素化合物半導体の原料となる反応ガスを基板表面に吹き付ける方向に方向を変更させて、窒素化合物の半導体結晶膜を成長させることを特徴とする窒素化合物半導体結晶膜の成長方法」と訂正する。

## 訂正事項 c

明細書の第1頁第16行目～第18行目における、「この発明は、主として窒素化合物の半導体結晶膜を成長させる方法に関し、とくに、基板に反応ガスを噴射してその表面に半導体結晶膜を成長させる方法に関する。」を、不明りような記載の釈明を目的として、「この発明は窒素化合物の半導体結晶膜を成長させる方法に関し、とくに、基板に反応ガスを噴射してその表面に窒素化合物の半導体結晶膜を成長させる方法に関する。」と訂正する。

## 訂正事項 d

明細書の第2頁第7行目における、「この方法で半導体結晶膜を基板上に成長させるには」を、不明りような記載の釈明を目的として、「この方法で窒素化合物の半導体結晶膜を基板上に成長させるには」と訂正する。

## 訂正事項 e

明細書の第3頁第25行目～第4頁第5行目における、「加熱された基板の表面に半導体結晶膜を成長させる方法を改良したものである。本発明の成長方法は、基板の表面に平行ないし傾斜する方向には反応ガスを供給し、基板の表面に対して実質的に垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給する。」

基板に対して実質的に垂直に供給される反応ガスを含まない不活性な押圧ガス

(10)

平成10年異議第70036号

は、基板の表面に、平行ないし傾斜する方向に供給される反応ガスを、基板表面に吹き付ける方向に方向を変更させて、半導体結晶膜を成長させる。基板の上部から垂直に流す不活性ガスである押圧ガスは、H<sub>2</sub>、N<sub>2</sub>ガスを単独で、あるいはこれ等の混合ガスを使用する。この方向に噴射される押圧ガスは、反応ガスの方向を基板に向かう方向に変えるものであるから、「」を、不明りょうな記載の釈明を目的として「加熱された基板の表面に窒素化合物半導体結晶膜をMOCVD法でもつて常圧で成長させる方法を改良したものである。本発明の成長方法は、基板の表面に平行ないし傾斜する方向には、窒素化合物半導体の原料となる反応ガスを供給し、基板の表面に対して実質的に垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給する。基板に対して実質的に垂直に供給される反応ガスを含まない不活性な押圧ガスは、基板の表面に、平行ないし傾斜する方向に供給される、窒素化合物半導体の原料となる反応ガスを、基板表面に吹き付ける方向に方向を変更させて、半導体結晶膜を成長させる。基板の上部から垂直に流す不活性ガスである押圧ガスは、H<sub>2</sub>、N<sub>2</sub>ガスを単独で、あるいはこれ等の混合ガスを使用する。この方向に噴射される押圧ガスは、窒素化合物半導体の原料となる反応ガスの方向を基板に向かう方向に変えるものであるから、「」と訂正する。

#### 訂正事項 f

明細書の第4頁第12行目における、「この発明の半導体結晶膜の成長方法は」を、不明りょうな記載の釈明を目的として、「この発明の窒素化合物半導体結晶膜の成長方法は」と訂正する。

#### 訂正事項 g

明細書の第4頁第28行目における「この発明の半導体結晶膜の成長方法は」を、不明りょうな記載の釈明を目的として、「この発明の窒素化合物半導体結晶膜の成長方法は」と訂正する。

#### 訂正事項 h

明細書の第11頁第4行目における「この発明の半導体結晶膜の成長方法は」を、不明りょうな記載の釈明を目的として、「この発明の窒素化合物半導体結晶膜の成長方法は」と訂正する。

(11)

平成10年異議第70036号

## (54) 【発明の名称】

窒素化合物半導体結晶膜の成長方法

## 【特許請求の範囲】

(1) 加熱された基板の表面に、基板に対して平行ないし傾斜する方向と、基板に対して実質的に垂直な方向からガスを供給して、加熱された基板の表面に窒素化合物半導体結晶膜をMOCVD法でもって常圧で成長させる方法において、

基板の表面に平行ないし傾斜する方向には、窒素化合物半導体の原料となる反応ガスを供給し、基板の表面に対して実質的に垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給し、

不活性ガスである押圧ガスが、基板の表面に平行ないし傾斜する方向に供給される、窒素化合物半導体の原料となる反応ガスを基板表面に吹き付ける方向に方向を変更させて、窒素化合物の半導体結晶膜を成長させることを特徴とする窒素化合物半導体結晶膜の成長方法。

## 【発明の詳細な説明】

## 【産業上の利用分野】

この発明は、窒素化合物の半導体結晶膜を成長させる方法に関し、とくに、基板に反応ガスを噴射してその表面に窒素化合物の半導体結晶膜を成長させる方法に関する。

## 【従来の技術】

一般に、GaN、InN、AlNまたはこれらの半導体結晶は、第3図～第6図に示される装置で成長が行われる。

例えば、GaNを基板の表面に成長させる方法を第3図に基づいて説明すると次のようになる。

- ① 基板として、通常サファイアのC面を使用する。サファイア基板1をカーボンサセプター4の上に載せる。
- ② H<sub>2</sub>を流しながら、高周波誘導加熱によりカーボンサセプター4を950℃～1150℃まで高温に加熱する。
- ③ Ga源として、トリメチルガリウム(TMG)、N源としてアンモニア(NH<sub>3</sub>)を用いて成長させる。

(12)

平成10年異議第70036号

$H_2$ ）を、 $H_2$ をキャリアーとして、反応ガス噴射管から基板表面に噴射する。

これらの反応ガスは、内径が約 $5\text{ mm}\phi$ ～ $10\text{ mm}\phi$ の細い反応ガス噴射管2でもって、基板1上部のすぐ近くに噴射される。反応ガスの流速は、 $2\text{ m/sec}$ 以上の高速流として、基板に吹き付けられる。

このようにして成長時間30分～60分間で約 $2\sim 5\mu\text{m}$ ぐらいのGaNをサファイア基板の上に成長できる。

#### 【発明が解決しようとする課題】

この方法で窒素化合物の半導体結晶膜を基板上に成長させるには、反応ガスの流速を速くする必要がある。それは、反応ガスの流速を $2\text{ m/sec}$ 以上に速くしないと、GaNを成長できないことが理由である。この原因は、反応ガスの流速を速くしないと、TMGとNH<sub>3</sub>が基板に到達するまでに、何か付加化合物ができてしまうとか、または反応温度が高いので熱対流が大きくて反応ガスが基板に到達しないことが理由と推測される。

このように、反応ガスを高速流とするために、従来の成長方法は、内径 $5\text{ mm}\phi$ ～ $10\text{ mm}\phi$ の細い反応ガス噴射管を使用している。細い反応ガス噴射管は、基板の上方から $5\text{ mm}$ ～ $10\text{ mm}$ 離した位置に下端開口を配設する。

この状態で、サファイア基板の表面にGaNを成長させると、半導体結晶膜の面積も、約 $5\text{ mm}\phi$ ～ $10\text{ mm}\phi$ となって非常に小さいものしか得られない。例えば、2インチ径のサファイア基板を使用すると、半導体結晶膜の成長面積は、約 $2/50$ 以下であり、非常に歩留が悪い。このように、従来の成長方法では、基板の表面に $10\text{ mm}\phi$ 以上の大面积に、半導体結晶膜を均一に成長できない欠点があった。

また、従来技術は、基板の表面に、一回半導体結晶膜を成長させる毎に、細い反応ガス噴射管の先に大量にGaNの粒が付着する。このため次回に半導体結晶膜を成長させるときに、温度を上昇させると、反応ガス噴射管に付着したGaNが分解してGaメタルができ、反応中にこのGaメタルが基板の上に落ちる欠点がある。基板の表面にGaが落ちた部分はGaNが成長しなくなる。このため、サファイア基板の歩留が極端に悪くなる欠点がある。

このため、極端な場合は、毎回反応のたびごとに、細い反応ガス噴射管を新し

いものと交換するか、あるいは、洗浄する必要があり、作業性が非常に悪く大変であった。

さらに、ジャーナル オブ エレクトロニクス マテリアルズ (Journal of Electronic Materials) 14 [5] (1985) 第633～644頁には、基板の表面に、基板に対して平行ないし傾斜する方向と、基板に対して垂直な方向にガスを供給して、 $GaN$ 、 $AlN$ 、 $AlGaN$ 等の、MOCVDエピタキシャル半導体結晶膜を成長させる方法が記載される。この刊行物に記載される方法は、TMG、TMA等の原料ガスを基板に向かって水平に噴射し、TMGと反応するN源である $NH_3$ ガスを基板に垂直に噴射する。この方法は、膜質のよい半導体結晶膜を成長できない欠点がある。たとえば、この方法で窒化物半導体をMOCVD法で成長させる場合、基板を1000℃以上と極めて高温に加熱して半導体結晶膜を成長させる必要がある。高温に加熱される基板は、半導体結晶膜を成長させる表面上で強い熱対流を発生させる。つまり、MOCVDのような大気圧中で結晶成長を行う手法は、アンモニアガスを水素等のキャリアガスと共に基板に垂直に吹き付けたとしても、加熱された基板による激しい熱対流のために、アンモニアガスは基板上で拡散してしまい、原料ガスと反応しない。したがって、この方法で成長された窒化物半導体層は、窒素空孔が多く、結晶欠陥の多い半導体結晶膜となる。このため、この方法によっても、格子欠陥の少ない半導体結晶膜を成長できない。

この発明は、これらの欠点を解決することを目的に開発されたもので、この発明の重要な目的は、基板表面に大面積の半導体結晶膜を高い歩留で成長できる半導体結晶膜の成長方法を提供するにある。

#### 【課題を解決するための手段】

この発明の半導体結晶膜の成長方法は、加熱された基板の表面に、基板に対して平行ないし傾斜する方向と、基板に対して実質的に垂直な方向からガスを供給して、加熱された基板の表面に窒素化合物半導体結晶膜をMOCVD法でもって常圧で成長させる方法を改良したものである。本発明の成長方法は、基板の表面に平行ないし傾斜する方向には、窒素化合物半導体の原料となる反応ガスを供給

し、基板の表面に対して実質的に垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給する。

基板に対して実質的に垂直に供給される反応ガスを含まない不活性な押圧ガスは、基板の表面に、平行ないし傾斜する方向に供給される、窒素化合物半導体の原料となる反応ガスを、基板表面に吹き付ける方向に方向を変更させて、半導体結晶膜を成長させる。

基板の上部から垂直に流す不活性ガスである押圧ガスは、H<sub>2</sub>、N<sub>2</sub>ガスを単独で、あるいはこれ等の混合ガスを使用する。この方向に噴射される押圧ガスは、窒素化合物半導体の原料となる反応ガスの方向を基板に向かう方向に変えるものであるから、反応ガスに害をおよぼさない全ての不活性なガスを使用できる。

基板に上から垂直に押圧ガスを流す副噴射管は、好ましくは、下方に向かって太くなる円錐形に成形される。この形状の副噴射管で押圧ガスを噴射すると、反応ガスを均一に基板に向かって流すことができ、サファイア表面に均一にGaNを成長できる特長がある。

#### 【作用】

この発明の窒素化合物半導体結晶膜の成長方法は、第1図に示すように、反応ガスを基板1と平行ないしは傾斜して噴射し、さらに、不活性ガスである押圧ガスを基板1に向かう垂直方向に噴射して、反応ガスを基板1に吹き付ける方向に変更する。

以下、この発明の成長方法を実現する装置を示す第2図に基づいて、半導体結晶膜が成長される状態を説明する。

この図に示す装置を使用して、サファイア基板にGaNを成長させるには、反応ガス噴射管2からTMGと、NH<sub>3</sub>と、H<sub>2</sub>とを混合した反応ガスを基板1と平行方向に流す。さらに、基板1の上部より、副噴射管3でもって、押圧ガスとしてN<sub>2</sub>+H<sub>2</sub>の混合ガスを基板1に向けて垂直に流す。

サファイア基板1は、1000～1050℃に加熱されたサセプター4に載せられて水平面で回転される。サセプター4は、下面の中心に垂直に固定されたシャフト5で回転される。反応容器6内の成長圧力は大気圧に調整されている。

## 【実施例】

以下、この発明の実施例を図面に基づいて説明する。ただし、以下に示す実施

例は、この発明の技術思想を具体化するための方法を例示するものであって、この発明の方法は、成長条件や使用する装置の構造を下記のものに特定するものでない。この発明の窒素化合物半導体結晶膜の成長方法は、特許請求の範囲に記載の範囲に於て、種々の変更を加えることができる。

さらに、実施例を説明する前に、この発明の成長方法に使用できる装置を説明する。

第2図に示す半導体結晶膜の成長装置は、GaN、AlN、InNあるいはこれ等の混晶のエピタキシャル膜を、MOCVD法で成長させる装置であって、反応容器6と、サセプター4と、ヒータ7と、反応ガス噴射管2と、副噴射管3とを備えている。

反応容器6は、ステンレスでもって、外気から遮断できる閉鎖された形状に作られている。反応容器6は、図示しないが、サファイヤの基板1を出し入れする出入口が設けられている。出入口は、気密に閉塞できる蓋が取り付けられている。さらに、反応容器6には、内部のガスを排気する排気口8が開口されている。排気口8は、真空ポンプ（図示せず）に連結されておって、真空ポンプでガスが強制的に排気される構造となっている。

サセプター4は、上面が水平で、それ自体が水平面内で回転が自在にできるようになっており反応容器6内に配設されている。したがって、サセプター4は、例えば直径が30～100mm、高さが30～50mmの円柱状で、下面の中心に垂直にシャフト5で固定されている。

サセプター4は、下面に配設されたヒータ7によって1000℃以上に加熱される。サセプター4は耐熱性があり、しかも、加熱状態において反応容器6内のガスを汚染しない物質、例えば、炭素の表面を炭化珪素でコーティングした材質で作られる。

ヒータ7は、サセプター4の下方に、接近するが接触しないように配設されており、サセプターに内蔵された温度センサー（図示せず）で制御されて、サセプ

ター4を設定温度に過熱する。

反応ガス噴射管2は、サセプター4の上に載せられた基板1の上面に、反応ガスを噴射する。したがって、反応ガス噴射管2は、反応容器6を、水平ないしは

多少傾斜して気密に貫通して固定されている。反応ガス噴射管2は、先端を基板1の近傍まで延長している。

反応ガス噴射管2は、水素と、アンモニアガスと、トリメチルガリウム(TM-G)または、トリメチルアルミニウム(TMA)ガスを、基板1の表面に向かって噴射する。

このようにGaAlNの原料となるGa源ガスとAl源ガスとN源ガスと一緒にして、反応ガスとして基板に対して平行方向若しくは傾斜した方向で吹き付けると、原料ガスが均一に基板表面で広がり膜質の安定した結晶を成長させることができ。しかも押圧ガスで反応ガスが熱対流により拡散しないようにしているので、基板の上にガスを薄い状態で広げることができる。

副噴射管3は、反応容器6の上面を気密に貫通して固定されている。副噴射管3は、上から下に向かって、水素や窒素等の不活性なガスを基板1に向けて噴射する。副噴射管3は、不活性なガスを基板1の上面に均一に吹き付けることができるよう、下方に向かって開口面積が大きくなるテーパー状をしている。

テーパー状とした副噴射管は、押圧ガスが効果的に副噴射管の壁を伝って、基板表面に垂直にガスが供給できるようにする作用がある。また、反応中は不活性ガスが常時副噴射管内を流れているので、反応ガスの未反応物、副生成物が副噴射管内部に付着することなく、押圧ガスの流速、方向を変えることがない。従って常時安定した反応を行うことができる。

副噴射管3の下端開口部は、基板1の大きさにほぼ等しく設計される。さらに、副噴射管3の下端は、基板1の上面に接近して開口される。

第2図に示す半導体結晶膜の成長装置を使用して、下記の状態で窒素化合物である半導体結晶膜を成長させる。

#### [実施例1]

下記の工程でサファイヤ基板のC面にGaNを成長させる。

- ① 洗浄してきれいな2インチのサファイア基板1をサセプター4の上に載せる。
- ② ステンレス製の反応容器6内の空気を真空ポンプで排気して、内部をH<sub>2</sub>で置換する。
- ③ その後、H<sub>2</sub>ガスを、反応ガス噴射管2と副噴射管3から反応容器6に供給しながら、サセプター4を1150℃まで上昇する。
- ④ その後、この状態を10分間保持し、サファイア基板表面の酸化膜を除去する。
- ⑤ 次に、基板1の温度を1000℃まで下げて安定するまで待つ。
- ⑥ 続いて、反応容器6上部の副噴射管3から水素と窒素とを供給し、水平の反応ガス噴射管2からは、アンモニアガスと水素ガスとを供給する。  
副噴射管3から反応容器6に供給する水素ガスの流量は、5リットル/分、窒素の流量は5リットル/分とする。反応ガス噴射管2から供給するアンモニアガスの流量は5リットル/分、水素ガスの流量は1リットル/分に調整し、この状態で、温度が安定するまで待つ。

窒化物半導体は成長温度が1000℃以上と高い。MOCVD法のように、常圧で結晶成長させる方法では基板の上に相当の熱対流が生じる。そのため、本実施例のように、反応ガスの流量よりも、副噴射管から流す押圧ガスの流量を多くすることにより、熱対流を抑え反応ガスを基板に押しつけて、均一な結晶成長を行うことができる。

- ⑦ その後、反応ガス噴射管2からアンモニアと水素ガスに加えて、TMGガスを供給し始める。TMGガスの流量は、 $5 \cdot 4 \times 10^{-5}$ モル/分とする。この状態で、成長が開始され、60分間成長させる。この成長過程において、サセプター4を5 rpmで回転させる。

冷却後、得られた基板を反応容器6から取り出し、ノマルスキー顕微鏡により膜厚分布を観測した。その結果半導体結晶膜の膜厚は面内で4μm±10%に入っており、非常に均一であった。

さらに、この実施例1で得られたGaNはキャリア濃度が $1 \times 10^{18} / \text{cm}^3$ 、

ホール移動度が $250\text{ cm}^2/\text{V}\cdot\text{sec}$ であった。

一般にホール測定において、キャリア濃度が低いほどキャリアとなる不純物濃度が低いか、またはキャリアとなる格子欠陥が少ないと考えられ、さらにホール移動度はその値が大きいほど、キャリアを散乱する不純物濃度、または格子欠陥が少ないと考えられている。通常、GaNの結晶ではN空孔がn型キャリアの起

源とされており、一般的な電子キャリア濃度は $2\times10^{19}/\text{cm}^3$ 、ホール移動度はおよそ $50\text{ cm}^2/\text{V}\cdot\text{sec}$ とされており、この発明の方法で得られたGaN結晶は、このN空孔の発生を抑えることができたため、移動度が5倍も高く結晶性が非常に優れている。

また、装置の上部の副噴射管は全く汚れずに綺麗であった。さらに、この装置で2回以上続けて反応させても、成長された半導体結晶膜の表面に全くGaは付かなかつた。

### [実施例2]

下記の工程で、サファイア基板の表面にAlNをバッファ層として成長させ、その後GaNを成長する。

①～④ 実施例1と同じ。

⑤ 次に、基板1の温度を $600^\circ\text{C}$ までゆっくりと下げる。

基板1の温度が $600^\circ\text{C}$ になると、上部の副噴射管3からH<sub>2</sub>を、反応ガス噴射管2からはアンモニアガスと水素とトリメチルアルミニウム(TMA)ガスとを供給する。

副噴射管3から供給する水素の流量は15リットル/分とする。反応ガス噴射管2から供給するアンモニアガスの流量は5リットル/分、水素の流量は1リットル/分、TMAガスの流量は $1\times10^{-5}$ モル/分とする。

この状態を1分間続けて、サファイア基板1の表面にAlNのバッファ層を成長させる。

⑥ 次にTMAガスの供給のみを停止して、他のガスを供給しながら、基板1の温度を $1000^\circ\text{C}$ まで上昇させる。

⑦ 基板1が $1000^\circ\text{C}$ に加熱された後、TMAに代わって、TMGガスを5・

(19)

平成10年異議第70036号

$4 \times 10^{-5}$  モル／分の流量で供給して、60分間でGaNを成長させる。

この時、副噴射管3と反応ガス噴射管2からは、水素とアンモニアガスとを前述の流量で供給する。

また、この成長過程において、サセプター4は5 rpmで回転させる。

成長後、反応容器6から基板1を取り出して、ノマルスキーピー顕微鏡で観察した。その結果この実施例2で得られた半導体結晶膜は、2インチのサファイア基板

1

全面に成長されており、その表面は鏡面で、膜厚は2インチ基板1全面で $5 \mu\text{m}$ ±10%であった。

また、ホール測定を行うとキャリア濃度 $1 \times 10^{17} / \text{cm}^3$ 、ホール移動度 $350 \text{ cm}^2 / \text{V}\cdot\text{sec}$ であり、結晶性に優れたものが得られた。

さらに、この方法の装置で2回以上続けて反応しても、反応ガス噴射管からGaNが基板1上に飛んでくることがなく、基板1上には全くGaN粒が付かなかった。また上部の副噴射管も全く汚れなかった。

ちなみに、AlNバッファ層をGaNの成長前に形成するとGaNの結晶性が格段に向上することが知られているが、そのAlNをバッファ層とする従来の方法で得られたものは、キャリア濃度 $5 \times 10^{17} / \text{cm}^3$ 、ホール移動度 $250 \text{ cm}^2 / \text{V}\cdot\text{sec}$ であった。

### [実施例3]

下記の工程で、サファイア基板のC面にInGaNを成長する。

①～④ 実施例1と同じ。

⑤ 次に、基板1の温度をゆっくりと550℃まで下げて安定するまで待つ。

⑥ 続いて、上部の副噴射管3から水素と窒素とを、反応ガス噴射管2からは、アンモニアガスと水素とTMGとトリメチルインジウム(TMI)ガスとを供給する。

副噴射管3から供給する水素の流量は5リットル／分、窒素の流量は5リットル／分とする。

反応ガス噴射管2から供給するアンモニアガスの流量は5リットル／分、水素

(20)

平成10年異議第70036号

の流量は1リットル／分、TMGガスの流量は $2.2 \times 10^{-6}$ モル／分、TMIガスの流量は $1.5 \times 10^{-7}$ モル／分とする。

この状態を120分続けて、サファイア基板1の表面に、In<sub>0.96</sub>Ga<sub>0.04</sub>Nの混晶膜を成長させる。

成長後、基板1を取り出し膜厚を観測した。その結果、2インチ基板1全面にわたって、膜厚が $2\text{ }\mu\text{m} \pm 10\%$ のInGaNが成長されていた。

なおこの試料のホール測定を行うと抵抗率が $10^9\text{ }\Omega\cdot\text{cm}$ 以上であり測定不可能であるため、フォトルミネッセンスの測定によって結晶性の評価を行った。

一般にInGaN結晶の抵抗率は非常に高く、ホール測定はほとんど不可能である。従って、結晶性の評価法としてフォトルミネッセンスの測定を行うのが通常である。また、InGaN結晶においては、室温で440nm付近の青色のフォトルミネッセンスの発光は観測されにくいので、液体窒素、液体ヘリウム等で冷却して測定される。にもかかわらず、この発明の方法によるInGaN結晶は室温で440nmの発光を観測することができた。このことは、この結晶性が非常に優れたことを示すものである。

#### [従来法によるGaNの成長]

この発明の方法で得られた半導体結晶膜を従来品と比較するために、下記の工程でサファイア基板の表面にGaNを成長させた。

成長装置には、第3図に示す構造のものを使用した。この図に示す装置は、サファイア基板1の上に、基板1から10mm離して、内径が8mmφの細い反応ガス噴射管2を垂直に固定する。

- ① 洗浄してきれいな2インチφのサファイア基板1(C面)を、サセプター4の上に載せる。
- ② ステンレス製の反応容器6を真空ポンプで排気して、内部をH<sub>2</sub>で置換する。
- ③ その後、H<sub>2</sub>ガスを、反応ガス噴射管2から反応容器6に供給しながら、サセプター4を1150℃まで上昇する。

- ④ その後、この状態を10分間保持し、サファイア表面の酸化膜を除去する。
- ⑤ 次に、基板1の反応温度を1000℃まで下げて安定するまで静置する。
- ⑥ 続いて、反応ガス噴射管2から、アンモニアガスと水素ガスとを供給する。

反応ガス噴射管が噴射するアンモニアガスの流量は5リットル／分、水素ガスの流量は1リットル／分に調整し、この状態で、温度が安定するまで待つ。

- ⑦ その後、反応ガス噴射管2から、アンモニアと水素ガスに加えて、TMGガスを供給し始める。TMGガスの流量は、 $2.7 \times 10^{-5}$ モル／分とする。この状態で、成長が開始され、30分間成長させる。この成長過程において、サセプター4を5rpmで回転させる。

成長後、基板1を反応容器6から取り出して膜厚を観測すると、2インチφのサファイア基板1の中心部に、約8mmφのGaNが7μm成長しており、それよ

り外側の領域はほとんど成長しなかった。

また、この方法は、1回の反応で反応容器6に設けられた上部の石英窓が真っ黒になり、内部が見えなくなつた。

さらに、この装置で続けて2回目の反応を行うと、サファイア基板1の中心8mmφの成長領域に多数GaNが付着しており、このGaNが付着しているところはGaNが成長しておらず、非常に歩留が悪かつた。

#### 【発明の効果】

この発明の窒素化合物半導体結晶膜の成長方法は、結晶性の良い状態で成長させるのが極めて難しいとされる窒化物半導体等の半導体結晶膜を、優れた結晶状態に成長できる特長を実現する。それは、本発明の半導体結晶膜の成長方法が、基板に対して平行ないし傾斜する方向と、基板に対して実質的に垂直な方向からガスを供給することに加えて、基板の表面に平行ないし傾斜する方向には反応ガスを供給し、基板の表面に対して垂直な方向には、反応ガスを含まない不活性ガスの押圧ガスを供給して、押圧ガスでもって、基板の表面に平行ないし傾斜する方向に供給される反応ガスを基板表面に吹き付ける方向に方向を変更させて、半導体結晶膜を成長させるからである。

たとえば、基板と平行な方向と垂直な両方向に反応ガスを供給する従来の半導

体結晶膜の成長方法は、供給された反応ガスが、高温に加熱された基板による激しい熱対流のために拡散してしまう。このため、理想的な状態で反応して半導体結晶膜として成長できない。したがって、この方法で、たとえば、好ましい結晶状態に成長させるのが難しいとされる窒化物半導体を成長させると、窒素空孔が多くなり、結晶欠陥の多い半導体結晶膜となる。たとえば、この方法で成長された窒化物半導体層は、キャリア濃度が $5 \times 10^{19} / \text{cm}^3$ 前後、移動度が $75 \text{ cm}^2 / \text{V.sec}$ のものしか得られない。

これに対して、本発明の実施例1の方法で成長された窒化物半導体は、キャリア濃度が $1 \times 10^{18} / \text{cm}^3$ 、ホール移動度が $250 \text{ cm}^2 / \text{V.sec}$ と、従来の方法とは比較にならない極めて優れた結晶性を示した。本発明の成長方法が、このように、優れた結晶性の半導体結晶膜を成長できるのは、反応ガスを基板と平行に供給し、反応ガスを含まない不活性ガスである押圧ガスを、基板に垂直に供給するからである。

ある。この状態で基板に供給される反応ガスは、高温加熱の基板表面にできる激しい熱対流に起因する弊害を押圧ガスによって解消し、さらに、基板上で分解されて優れた結晶性の半導体結晶膜として成長される。

さらに、この発明の半導体結晶膜の成長方法で、サファイア基板の表面に半導体結晶膜を成長させると、外径が2インチ $\phi$ のサファイア基板を使用して、その全体にGaNを成長できる。

これに対して、従来の方法は、2インチ $\phi$ のサファイア基板を使用するにもかかわらず、表面に成長させた半導体結晶膜の有効面積は僅かに10mm $\phi$ 以下にしかならない。

この発明の方法は、2インチ $\phi$ のサファイア基板(C面)の全面に、均一に結晶膜を成長でき、一度に大きな半導体結晶膜を成長できて、工業用、産業用のメリットは非常に大である。

また、この発明の方法は、基板に押圧ガスを噴射する副噴射管は、何度反応しても全く汚れなかった。このため、副噴射管の外部に設けた赤外線放射温度計で、基板の温度をモニターすることができる。

(23)

平成10年異議第70036号

さらに、反応ガスを流す反応ガス噴射管をサセプターの横に配設することが可能となるので、この温度がほとんど上昇せず、GaNの付着がほとんどなく、GaN メルトが反応中に基板に落ちて歩留を低下させることがない。

#### 【図面の簡単な説明】

第1図はこの発明の方法を示すガスの流動方向を示す側面図、第2図はこの発明の方法に使用する半導体結晶膜の成長装置の概略断面図、第3図ないし第6図は従来の半導体結晶膜の成長装置の概略断面図である。

- |              |              |
|--------------|--------------|
| 1 … 基板、      | 2 … 反応ガス噴射管、 |
| 3 … 副噴射管、    | 4 … サセプター、   |
| 5 … シャフト、    | 6 … 反応容器、    |
| 7 … ヒータ、     | 8 … 排気口、     |
| 1 2 … 放射温度計。 |              |

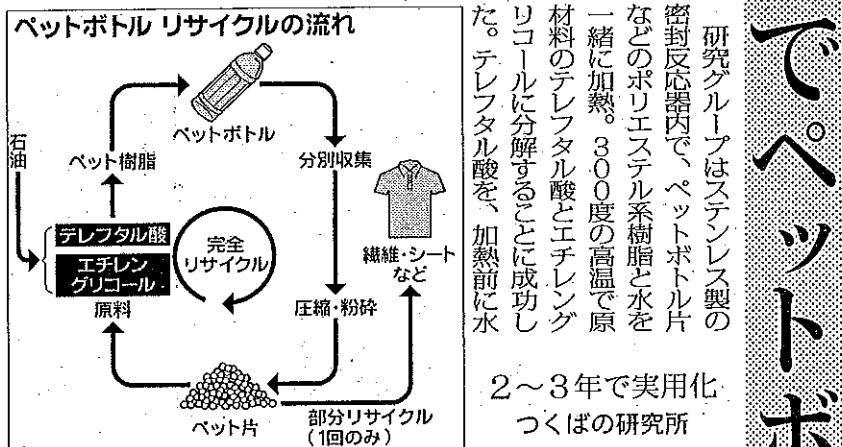
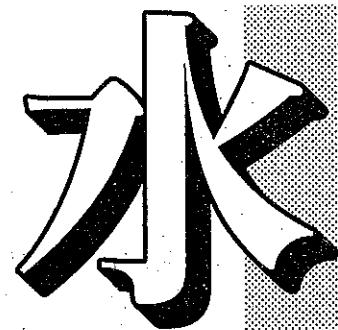
(第3種郵便物認可)

毎日新聞

2006.5/5

ペットボトルなどを高温の水を使って原材料まで効率よく分解することに、独立行政法人・産業技術総合研究所（茨城県つくば市）が成功した。原材料まで戻す完全リサイクルで、繰り返しペットボトルを再生産できる。さらにごみ処理場の排熱で加熱できるため資源の有効利用につながる。従来、分解には毒性の強いメタノールを用いていた。同研究所は2～3年後の実用化を目指す。19日に東京都内で開かれる石油学会で発表する。

【中村牧生】



## 完全リサイクル可能に

に加えておいくど、約47度でも分解できることを突き止めた。ペット樹脂は、エチレングリコールとテレフタル酸が交互に結合。この間に高温の水の分子が入り込み結合を切断する。300度を超えると、エチレングリコール自身も分解されてしまうという。ごみ処理場に年間数百トンを処理できる分解用の装置を併設し、一定の地域内でリサイクルシステムが実現すれば、ペットボトル原料を石油から生産するより、2～3割安く作ることが可能という。

メタカーボンで作るPETボトルリサイクル推進協議会（東京都）によると、ペントボトルの国内生産量は年間約51万㌧で、推定約75%がリサイクルされる。主流は、シートに加工する方法。メタノールを使う方法は帝人ファイバー（大阪市）などが02年度に始めたが、全体の数%。採算を取るには年間数万㌧規模で処理しなければならないなど課題があった。

同研究所コンパクト化学プロセス研究センターの白井誠之・触媒反応チーム長は「ポリエチレンを300度以下の高温の水でほぼ100%分解できることが分かったことは大きな成果」と話した。

## 平成18年度弁理士試験志願者統計

1. 先頭土官連合会員登録内訳		
一般	10,003	98.4
工務所有權法免除者	(9,335)	(99.7)
登記試験免除者	6 (4)	0.1
計	51 (5)	0.5
平均受験回数	10,060 (9,863)	100.0

## 13. 出身地別内訳

東京 大学	550 (544)	5.5
京都 大学	495 (477)	4.9
早稲田 大学	493 (452)	4.9
大阪 大学	475 (457)	4.7
東京工業大学	385 (387)	3.8
東京理科大学	374 (360)	3.7
慶應義塾大学	348 (328)	3.5
東北 大学	281 (273)	2.9
日本 大学	280 (282)	2.8
中央 大学	235 (230)	2.3
名古屋 大学	229 (211)	2.3
九州 大学	200 (204)	2.0
北海道 大学	181 (176)	1.8
立命館 大学	164 (165)	1.8
明治 大学	162 (163)	1.6
同志社 大学	161 (168)	1.6
電気通信大学	210 (205)	5.7
司法試験合格者	4 (4)	0.1
薬剤師	223 (218)	4.7
行政書士	197 (231)	4.2
司法書士	2 (37)	0.5
名古屋 法科大学	124 (118)	1.2
平均受験回数	2.53 (2.48)	2.5
合計	10,060 (9,863)	100.0
平均受験回数	1.63 (1.60)	1.6
合計	10,060 (9,863)	100.0
10. 選択科目別内訳	79.7	79.7
地政工学	161 (158)	3.4
機械工学	483 (452)	9.8
物理工学	768 (726)	16.3
情報通信工学	1,217 (1,217)	25.9
応用化學	1,239 (1,083)	26.4
バイオテクノロジー	601 (574)	12.8
弁理士の業務に関する生物学	291 (283)	5.4
計	4,702 (4,477)	100.0
11. 選択科目別内訳	63.6	63.6
修士・博士	649 (582)	6.5
自習	195 (195)	1.9
技術士	167 (174)	3.6
一般建築士	46 (50)	1.0
電気主任技術者	67 (55)	1.4
情報処理技術者	75 (60)	1.5
計	10,060 (9,863)	100.0
12. 出身地別内訳	57.7	57.7
東京	6,415 (6,272)	63.8
大阪	2,500 (2,530)	24.9
仙台	162 (164)	1.5
名古屋	36 (37)	0.4
平均受験回数	1.63 (1.60)	1.6
合計	10,060 (9,863)	100.0
13. 出身地別内訳	52.3	52.3
東京	6,415 (6,272)	63.8
大阪	2,500 (2,530)	24.9
仙台	162 (164)	1.5
名古屋	36 (37)	0.4
平均受験回数	1.63 (1.60)	1.6
合計	10,060 (9,863)	100.0
14. 出身地別内訳	26.7	26.7
東京	5,981 (5,582)	54.1
神奈川	1,760 (1,631)	16.3
大阪	1,036 (1,082)	11.0
千葉	752 (735)	7.5
埼玉	687 (676)	6.8
兵庫	553 (574)	5.5
愛知	486 (475)	4.8
京都	287 (295)	2.9
滋賀	236 (231)	2.1
奈良	191 (191)	1.9
京都府立大学	129 (125)	1.3
電気通信大学	108 (109)	1.1
大阪府立大学	107 (102)	1.1
東京農業大学	98 (98)	1.0
名古屋工業大学	94 (92)	0.9
法政大学	85 (85)	0.9
東京工業大学	80 (79)	0.9
法文系	1,585 (1,561)	15.6
その他	49 (45)	4.3
計	10,060 (9,863)	100.0
15. 離島別内訳	63.4	63.4
沖縄	76 (76)	0.8
鹿児島	78 (78)	0.8
宮崎	141 (142)	1.4
佐賀	101 (101)	1.0
長崎	70 (70)	0.7
福岡	707 (707)	7.0
宮崎県	63.4 (63.4)	63.4
鹿児島県	7.0 (7.0)	7.0
沖縄県	0.8 (0.8)	0.8
佐賀県	1.4 (1.4)	1.4
長崎県	1.0 (1.0)	1.0
福岡県	236 (236)	2.3
宮崎県	154 (154)	1.5
鹿児島県	23.9 (23.9)	23.9
沖縄県	7.0 (7.0)	7.0
16. 年齢別内訳	7.0	7.0
10代	2,750 (2,709)	27.4
20代	3,883 (3,783)	38.4
30代	2,050 (2,018)	20.4
40代	1,119 (1,061)	11.9
50代	1,030 (983)	10.0
60代	235 (226)	2.3
70代	36.9 (36.8)	0.1
80代	36.9 (36.8)	0.1
90代	36.9 (36.8)	0.1
平均年齢	36.9 (36.8)	36.9
最年少	19才(17)	19才(17)
最年長	91才(90)	91才(90)
合計	10,060 (9,863)	100.0